

BAC 2005
ACCORDEUR AUTOMATIQUE
et
AMPLIFICATEUR
de Guitare Electrique



Sciences Techniques Industrielles
Génie ELECTRONIQUE

MORTEAU

LAVAUD Henri
BARBOSA Christophe



Glossaire :**Système technique :**

1) Mise en situation du système technique	P3
1-1) Introduction	P3
1-2) Constitution d'une guitare	P4
1-3) Comment accorder une guitare	P6
1-4) Amplificateur de guitare	P9
2) Analyse fonctionnelle du système technique	P10

OT1 accordeur de guitare

1) Fonction d'usage	P12
2) Élargissement de l'étude	P12
3) Retour vers l'OT	P13
3-1) Approche des milieux	P13
3-2) Schéma fonctionnel de niveau 2	P13
4) Schéma fonctionnel de degré 1	P14
5) Définition des fonctions principales	P15
6) Etude fonctionnelle de degré 2	P18
6-1) FP1	P18
6-2) FP2	P19
6-3) FP3	P20
6-4) FP4	P21
6-5) FP5	P23
6-6) FP6	P24
6-7) FP7	P25
6-8) FP8	P26
6-9) FP9	P26
6-10) FP10	P26
6-11) FP11	P26
7) Etude logicielle de l'accordeur automatique	P27
7-1) Algorithme programme principal	P27
7-2) Programme source assembleur de l'accordeur	P28

OT2 Amplificateur de guitare

1) Fonction d'usage	P42
2) Élargissement de l'étude	P42
3) Retour vers l'OT	P42
3-1) Approche des milieux associés	P42
3-2) Schéma fonctionnel de niveau 2	P42
4) Schéma fonctionnel de degré 1	P43
5) Définition des fonctions principales	P44
6) Etude fonctionnelle de degré 2	P46
6-1) FP1	P46
6-2) FP2	P47
6-3) FP3	P49
6-4) FP4	P50
6-5) FP5	P51

Travail demandé

1) Constitution des groupes de travail	P53
2) Travail commun à tous les groupes	P54
3) Proposition de plan pour votre rapport	P55
4) Travaux par groupes	P56



1. Mise en situation

1-1) Introduction

Pour ce Thème de BAC 2005, nous vous proposons d'étudier un accordeur de guitare automatique accompagné d'un amplificateur de guitare électrique.

Avant d'aborder les notions techniques de ces appareils, les paragraphes suivants vont vous permettre de vous familiariser au domaine de la musique.

Jouer d'un instrument de musique débute inévitablement par une séance d'accordage pour obtenir une musique la plus harmonieuse possible. Cette étape devient mécanique pour les musiciens avertis et est parfois fastidieuse pour les débutants, surtout si l'on n'a pas « l'oreille musicale ». Pour notre étude, on ne s'intéressera qu'à un seul instrument : la guitare.

Une guitare est un instrument à 6 cordes, toutes de tailles différentes. Lorsqu'elles vibrent les cordes produisent des sons ou notes plus ou moins aiguës ou graves. Un son est défini par :

- sa **hauteur** (fréquence de la note ou fondamental du signal) :

Une corde qui vibre en faisant 110 allers-retours en 1 seconde émettra un son de fréquence 110 Hz. Une telle fréquence correspond à une note plutôt grave appelée LA1.

Un l'instrument, le « diapason » donne une note de **LA**. Sa fréquence est de 440 Hz. La touche de LA qui se situe au milieu du clavier d'un piano est également de 440 Hz. (LA3).

Si on veut obtenir un LA plus aigu, il faut jouer le LA qui est une octave* au-dessus. Sa fréquence sera double : 880 Hz (LA4). Si au contraire on veut obtenir un LA plus grave, on joue le LA qui est une octave en dessous : sa fréquence sera de 220Hz (LA2) : la moitié

**(Une octave est un intervalle de 8 degrés DO,RE,MI,FA,SOL,LA,SI,DO ou 12 demi tons).*

Dans le cas de la partition de l'octave en douze demi-tons égaux, la fréquence du n-ième demi-ton au-dessus de la fondamentale est, par définition:

$$f_n = f_o \times 2^{n/12}$$

- son **intensité**, c'est la puissance du son ("Mettre plus fort", c'est augmenter l'intensité). C'est aussi l'amplitude du signal électrique (en V).
- son **timbre**. On peut jouer un LA sur une guitare, un piano, ou un violon. Si tous les 3 peuvent vibrer à la même fréquence (le LA de 440 Hz) et à la même intensité (aussi fort l'un que l'autre), chaque instrument a pourtant un son bien à lui, une "voix" qui nous permet de le distinguer des autres et de le reconnaître.

Ce son particulier, cette voix, c'est le timbre.

Pour nous techniciens, le timbre correspond aux harmoniques du signal, de fréquences multiples du signal fondamental et d'amplitudes variables selon l'instrument (voir Fourier !).

Le diapason est neutre car sa vibration est (presque) pure : il n'a pas de "caisse de résonance" pour lui apporter des vibrations annexes (Celles du bois, par exemple). Quand il y a combinaison d'un trop grand nombre de fréquences, il n'y a plus que du bruit.



1-2) Constitution d'une guitare électrique

Une guitare électrique se compose d'un corps ou caisse* (**body**), d'un manche (**neck** ou plus rarement **fingerboard**) et d'une tête (**head**).

Le manche peut être soit vissé, soit collé, soit être d'un seul tenant avec le corps.

Une barre de tension (**truss rod**) située à l'intérieur du manche offre une meilleure résistance à la tension des cordes et permet même de modifier l'inclinaison du manche par rapport au corps de la guitare.

Les cordes (**strings**) sont fixées côté corps à un cordier (**tailpiece**), côté tête aux clés.



Le chevalet (**bridge saddle**) et le sillet (**nut**) surélèvent les cordes par rapport au manche.

Le manche est divisé en cases séparées par les barrettes ou frettes (**frets**).

Les vibrations émises par les cordes sont captées par le ou les micros (**pick-ups**) situés sur le corps de la guitare. S'il y a plusieurs micros, il est possible de les sélectionner soit individuellement, soit plusieurs à la fois grâce à un sélecteur (**switch**) situé lui aussi sur le corps.

Le connecteur s'appelle un jack (**jack**).

Des potentiomètres placés également sur le corps de la guitare permettent de faire varier le volume et la tonalité des micros.

Le câble (**cord**) se branche sur une entrée généralement placée sur la tranche* de la guitare.

Certaines guitares disposent d'un levier-vibrato (**tremolo bridge**). Cette fonction présentait à sa création l'inconvénient majeur de rapidement désaccorder la guitare. Des systèmes modernes qui bloquent les cordes après accordage permettent d'éviter ce genre de problème.

On parle de "caisse" pour une guitare acoustique ou électro-acoustique. De même, pour les guitares acoustiques, la tranche s'appelle "éclisse" (**side**).

Les cordes de guitares sont généralement en acier. On fabrique les cordes les plus graves en entourant autour d'une âme centrale (ronde ou hexagonale) un fil soit en métal blanc (inox, nickel ou cuivre argenté) soit en métal jaune (bronze, laiton, ...). Le métal utilisé doit de toute façon posséder certaines propriétés magnétiques pour fonctionner avec les micros.



Un micro de guitare électrique constitué d'une spirale de fil métallique appelée **bobine** et d'un **aimant** placé sous chaque corde de la guitare..

Le mouvement de la corde dans le champ magnétique émis par l'aimant entraîne une modification du flux dans la bobine. Un courant alternatif circule dans la bobine. Les variations captées par les micros sont ensuite pré-amplifiées puis amplifiées de manière à restituer un son.

Divers effets peuvent être combinés afin d'offrir une palette de sons encore plus large.

La dernière nouveauté en date est le micro piézo placé sous le chevalet. Particularité : ce type de micro permet de reproduire le son d'une guitare acoustique.



1-3) Comment accorder une guitare ?

Accorder une guitare consiste à tendre plus ou moins ses cordes de façon à obtenir des notes bien précises.

Pour l'accord le plus courant (MI,LA,RE,SOL,SI,mi), les cordes ont les caractéristiques suivantes :

Numéro de la corde	Note	Fréquence théorique (en Hz)
1 (la plus grosse)	Mi-grave	82.41
2	LA	110
3	RE	146.83
4	SOL	196
5	Si	246.94
6	Mi-aigu	329.63

(Le LA₃, tonalité du téléphone à une fréquence 440Hz)

A l'heure actuelle, le guitariste dispose de deux solutions afin d'accorder son instrument :

- ☐ L'oreille, s'il dispose d'une bonne « oreille musicale ».
- ☐ L'accordeur de guitare.

La première solution consiste à comparer la hauteur des cordes les unes par rapport aux autres. Pour un accordage standard, la corde la plus basse est accordée sur un MI et la corde suivante sur un LA. En posant un doigt sur la 5^{ème} case du manche de la guitare de la corde de MI, on obtient un LA (de la même octave que la 4^{ème} corde). En comparant ces deux notes, le guitariste ajuste la deuxième corde en fonction de la première. L'accordage complet de la guitare se fait selon le même procédé. Cette technique fonctionne relativement bien pour autant que la première corde soit bien accordée. Dans le cas contraire, toutes les cordes seront mal accordées. Le grand défaut de cette technique réside dans le temps d'accordage, sans compter les difficultés de précision de l'accord (en fonction des personnes ! !)

Le guitariste qui ne joue pas dans une formation peut se satisfaire de cette solution car il n'a pas l'obligation d'être accordé sur la même tonalité que les autres musiciens. A partir du moment où plusieurs instruments sont joués ensemble, les différences d'accordage sont audibles. Il est donc nécessaire pour le guitariste d'utiliser un accordeur.

Cette deuxième solution est la plus répandue. Elle nécessite l'utilisation d'un outil supplémentaire. Avant l'arrivée de l'électronique, on utilisait un diapason qui donne un LA à 440 Hz. Cet instrument est à l'heure actuelle de plus en plus remplacé par les accordeurs électroniques.

Un accordeur ne permet pas au guitariste de jouer pendant qu'il accorde son instrument. Chaque corde doit être jouée indépendamment des autres et ajustée à la main. L'utilisation d'un accordeur est très simple. Lorsqu'une corde est jouée, un affichage indique la hauteur de la note jouée et une autre LED¹ ou une aiguille, indique quand cette note est juste. Cette solution offre une précision satisfaisante qui néanmoins varie avec le prix de l'appareil utilisé.



Voici quelques types d'accordeur de guitare électronique



Remarque :

Chaque instrument de musique a tendance à se désaccorder. Les instruments à cordes, en particulier les guitares électriques subissent de nombreuses contraintes qui augmentent cette tendance.

La guitare électrique est un instrument en bois, sensible aux changements de température, au taux d'humidité et à la force exercée sur les cordes en jouant. Même dans un environnement où ces paramètres ne fluctuent que très peu il est nécessaire d'accorder la guitare après chaque morceau pour garantir un instrument parfaitement accordé.

Accordeur de guitare électronique automatique :

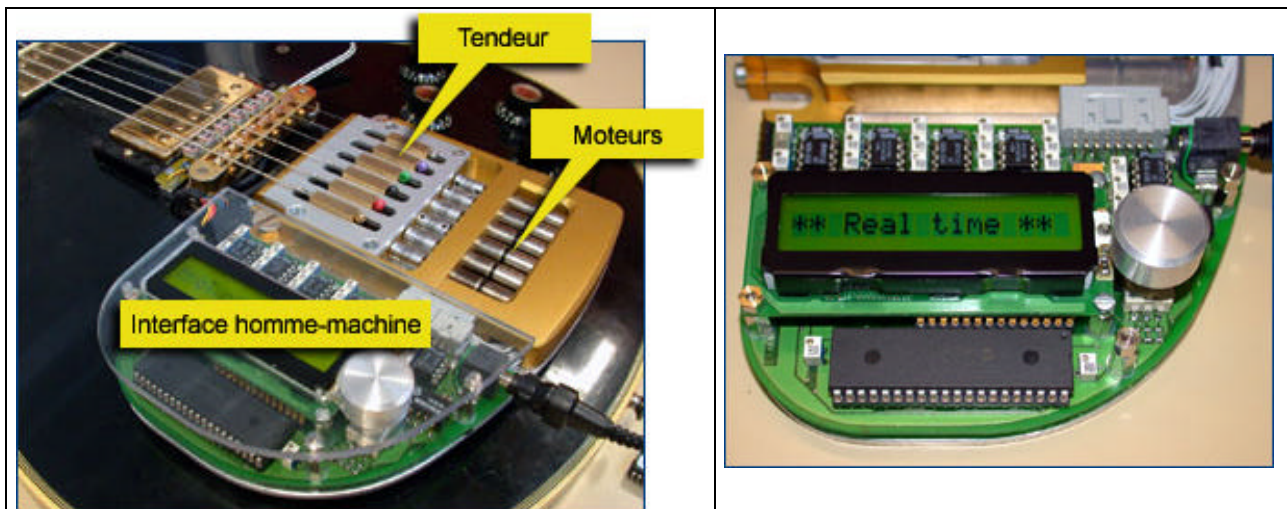
D'autres accordeurs dits « **automatique** » existent sur le marché. Ces appareils munis d'un ou plusieurs moteurs, ajustent eux-mêmes la tension mécanique des cordes de la guitare.

Exemple : Pour ce modèle, l'embout est placé sur une des clés de la guitare.



Un produit plus élaboré a été développé par une équipe d'ingénieurs suisse : **le Protun6**.

C'est un système d'accord en continu complet de l'instrument, le musicien n'a plus besoin de s'occuper des réglages. Les corrections s'effectuent en temps réel. Six micros moteurs associés à des tendeurs assurent le réglage des cordes.



Dans le cadre du projet de BAC 2005, on se propose d'étudier et de concevoir un accordeur automatique proche du premier modèle présenté. L'utilisateur de l'instrument ne règle plus lui-même les papillons de tension des cordes. C'est un moteur qui assure cette fonction.

1-4) Amplificateur de guitare

Une guitare électrique est un instrument sans caisse de résonance, les signaux produit pour les micros de la guitare doivent être préamplifiés puis amplifiés.

Il existe sur le marché une multitude d'amplificateur de guitare dont des grandes marques de fabricants réputés comme MARSCHALL, FENDEUR,...



En plus de la simple amplification, les amplificateurs possèdent de nombreuses fonctions de correction du son :

- réglage de la tonalité (grave, aigu, médium),
- réglage de la saturation ou non du son (distorsion, appréciée des groupes de Hard Rock). Etc..

Remarque :

Bien souvent, pour enrichir leur son, les guitaristes insèrent des boites ou pédales dit « d'effets » dans la chaîne d'amplification.

Voici quelques exemples d'effets : Distorsion / Overdrive, Reverb, Chorus, Wah-wah, Phaser, Vibrato, Humanizer, Flanger : voir site : <http://users.skynet.be/stamjer/>

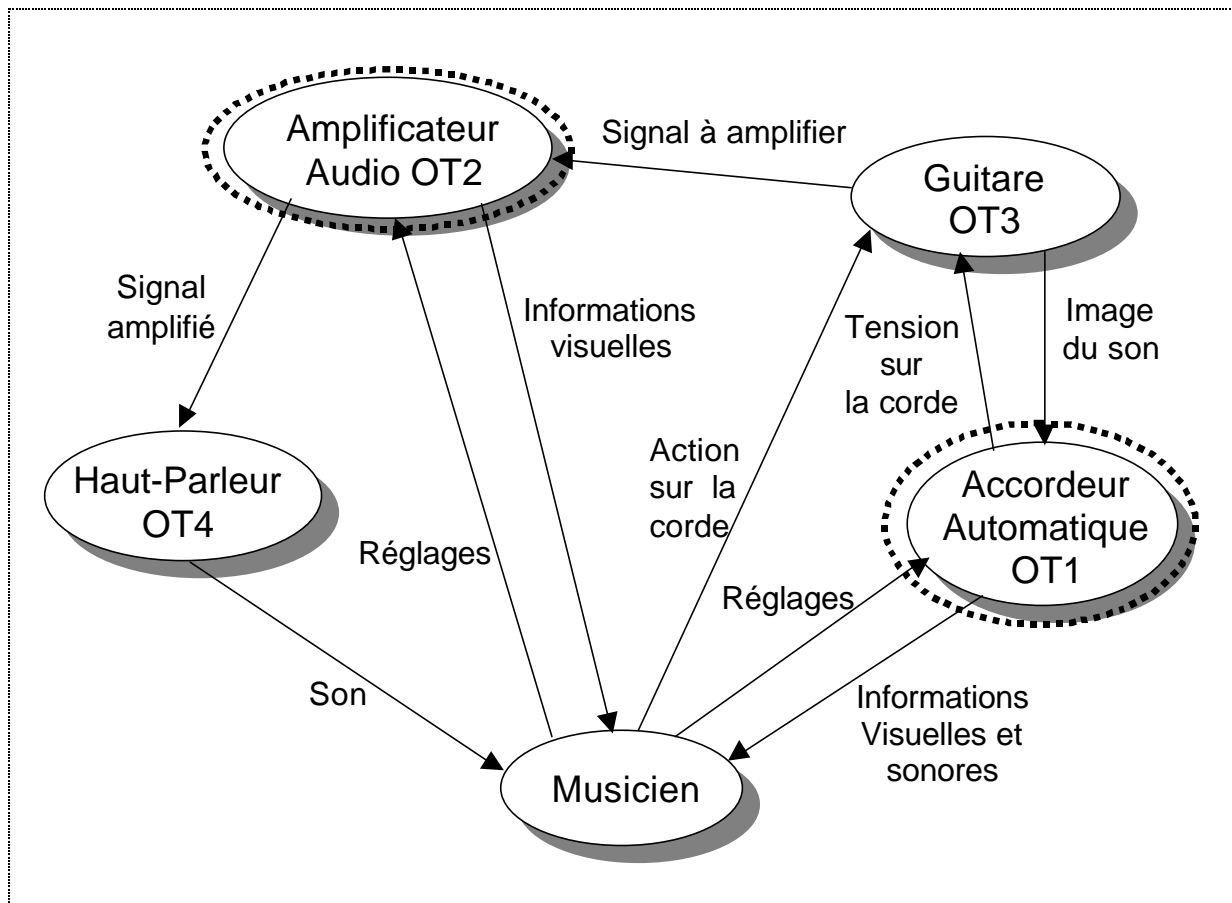


Une deuxième partie de notre étude de projet de BAC 2005 consistera à étudier et concevoir un amplificateur de guitare.



2. Etude Fonctionnelle du système technique

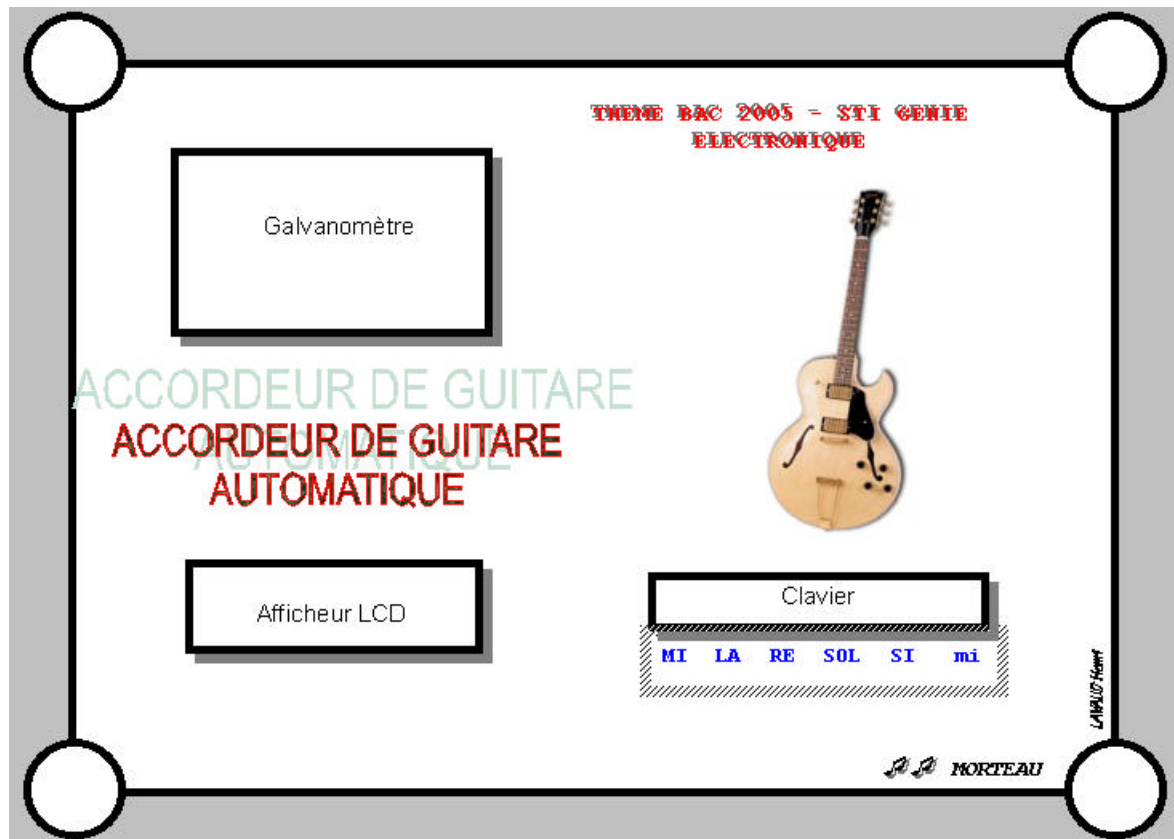
Diagramme Sagittal



Accordeur automatique de guitare



Etude de L'objet Technique OT1



1. Fonction d'usage :

Après sélection par le musicien d'une corde, l'accordeur mesure la « hauteur » de la note et tourne automatiquement la « clé » jusqu'à obtenir la note désirée.

L'accordeur informe le musicien lorsque l'accord est juste par des signaux sonores et visuels.

La matière d'œuvre est informationnelle et énergétique.

2. Elargissement de l'étude :

Fonction globale : Générer une action mécanique, à partir de consignes.

Autre objet technique ayant la même fonction globale :

- Pilote automatique de bateau,
- Régulation de chauffage,.



3. Retour vers l'objet technique :

3-1) Approche des milieux associés

Humain : L'appareil doit être simple d'utilisation, l'utilisateur doit pouvoir contrôler visuellement l'évolution des réglages. Adaptation aisée avec la majeure partie des guitares du marché.

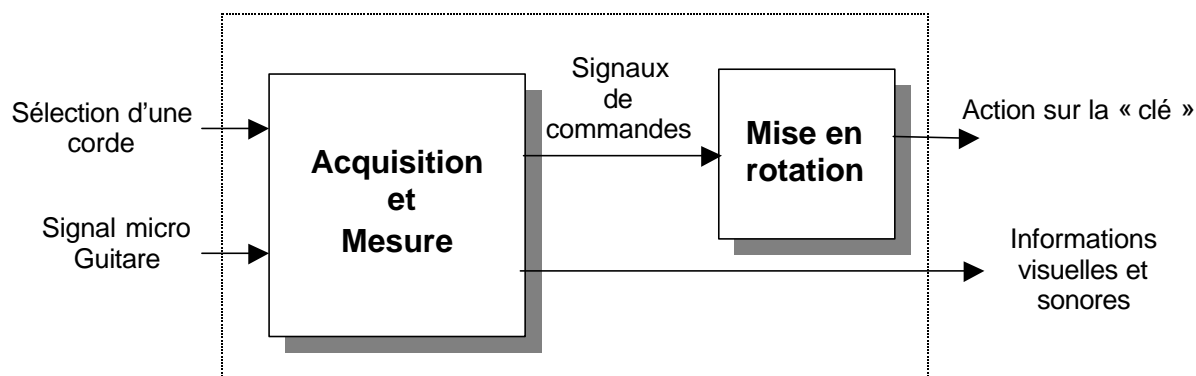
Efficacité en 1 à 3 touchés de cordes avec une erreur de précision inférieure à 1% par rapport à la fréquence de la note désirée. (erreur < 1/20 de ton)

Physique : L'objet doit pouvoir être déplacé facilement et disposer d'un boîtier suffisamment solide pour résister à des transports répétés. Résistant à une chute de hauteur d'homme debout, étanche à une chute de pluie normale.

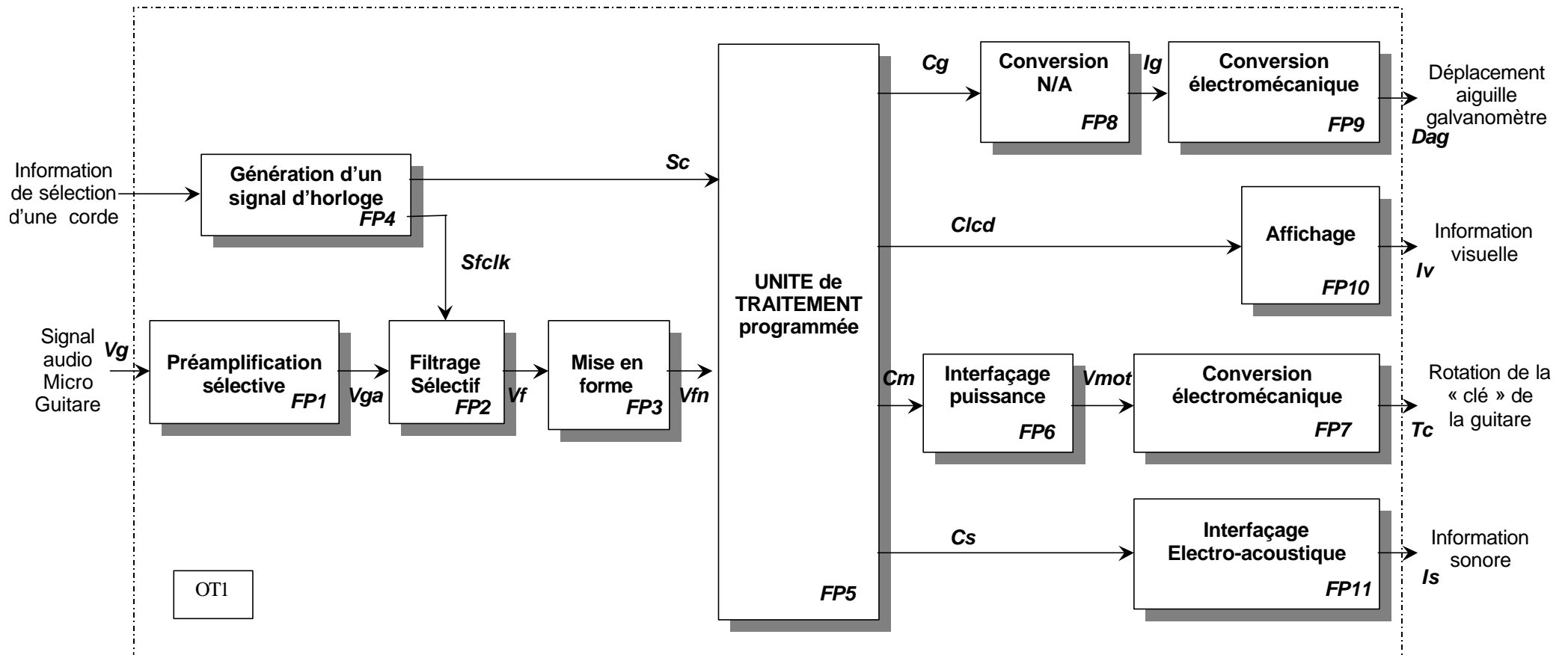
Technique : (alimentation autonome possible) Alimentation sur secteur (220V, 50Hz)

Economique : Le coût de l'objet technique ne doit pas dépasser 150€ (précision à définir).

3-2) Schéma fonctionnel de Niveau 2 :



4. Schéma Fonctionnel de Degré 1 de l'accordeur automatique



5. Définition des fonctions principales :

● **FP1 : Préamplification sélective :**

Amplifie le signal électrique issu des micros de la guitare. Le signal d'entrée étant de très faible amplitude, FP1 doit veiller à ne pas amplifier le bruit environnant. Pour cela l'amplification sera sélective et ce premier étage devra avoir une amplification modérée.

Entrée :

Vg : signal électrique analogique de faible amplitude image des vibrations d'une corde de la guitare.

Sortie :

Vga : signal électrique analogique amplifié et filtré image des vibrations d'une corde de la guitare.

● **FP2 : Filtrage Sélectif :**

Extrait le « fondamental » à partir du signal électrique composite produit par les vibrations d'une corde de la guitare.

Entrées :

Vpa : signal électrique analogique (fondamental + harmoniques) amplifié image des vibrations d'une corde de la guitare.

Sfclk : signal carré dont la fréquence est liée à la corde sélectionnée.

Sortie :

Vf : signal électrique sinusoïdal : « fondamental » de la note jouée.

● **FP3 : Mise en forme :**

Convertit un signal sinusoïdal en un signal carré de même fréquence.

Entrées :

Vf : signal électrique sinusoïdal : « fondamental » de la note jouée.

Sortie :

Vfn : signal électrique carré de fréquence image du « fondamental » de la note jouée.

● **FP4 : Génération d'un signal d'horloge :**

Génère un signal carré dont la fréquence est fonction de la corde sélectionnée.

Entrée :

Sc : information numérique du choix de la corde sélectionnée.

Sortie :

Sfclk : signal carré dont la fréquence est liée à la corde sélectionnée.

Sc : Signal numérique représentatif de la corde sélectionnée.



● FP5 : Unité de Traitement programmée :

Traite les informations d'entrée et génère les signaux de commandes vers les organes de sorties.

Entrées :

Vsc : information numérique du choix de la corde sélectionnée.

Vfn : signal électrique carré de fréquence image du « fondamental » de la note jouée.

Sorties :

Cg : signal numérique de commande de déviation de l'aiguille du galvanomètre.

Clcd : signaux logiques et numériques de commande de l'affichage LCD

Cm : signaux logiques de commande de la tension d'une corde de la guitare.

Cs : signal carré de commande du HP d'informations sonores.

● FP6 : Interfaçage de puissance

Convertit les signaux logiques de commande en tension électrique.

Entrée :

Cm : signaux de commande de la tension mécanique d'une corde de la guitare.

Sortie :

Vmot : tension électrique périodique de rapport cyclique variable permettant un effort de tension mécanique plus ou moins important sur une corde de la guitare.

● FP7 : Conversion électromécanique

Convertit une énergie électrique en une énergie mécanique.

Entrées :

Vmot : tension électrique périodique de rapport cyclique variable permettant une tension mécanique plus ou moins importante sur une corde de la guitare.

Sortie :

Tc : tension mécanique sur une corde de la guitare en fonction de la justesse de la note obtenue.

● FP8 : Conversion numérique - analogique :

Convertit l'information numérique, image de la fréquence du fondamental de la note jouée sur une des cordes de la guitare, en un courant électrique.

Entrée :

Cg : signal numérique de commande de déviation de l'aiguille du galvanomètre.

Sortie :

Ig : courant électrique dont l'intensité est fonction de la fréquence du fondamental de la note jouée.



● FP9 : Conversion électromécanique :

Convertit une énergie électrique en une énergie mécanique : déviation de l'aiguille du galvanomètre..

Entrées :

Ig : courant électrique dont l'intensité est fonction de l'écart entre la fréquence du fondamental de la note jouée et la fréquence désirée.

Sortie :

Dag : déviation de l'aiguille du galvanomètre en fonction de la fréquence du fondamental de la note jouée.

● FP10 : Affichage

Convertit les informations numériques en informations visuelles.

Entrée :

Clcd : signaux logiques et numériques de commandes de l'affichage LCD

Sortie :

Iv : informations visuelles de fonctionnement de l'accordeur.

● FP11 : Interface électroacoustique :

Amplifie le courant et convertit une énergie électrique en une énergie acoustique.

Entrées :

Cs : signal carré de commande du HP d'informations sonores.

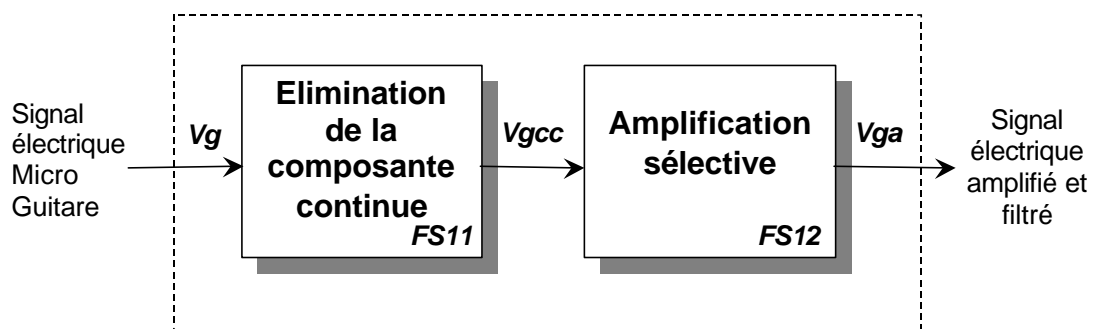
Sortie :

Ic : information sonore de fonctionnement de l'accordeur. (Sélection note, fin de réglage..).



6. Etude Fonctionnelle de Degré 2

6-1) FP1 : Préamplification sélective :



● **FS11 : Elimination de la composante continue :**

Elimine la composante continue du signal guitare.

Entrée :

V_g : signal électrique analogique composite de faible amplitude image des vibrations d'une corde de la guitare.

Sortie :

V_{gcc} : signal électrique analogique de faible amplitude débarrassé de sa composante continue.

● **FS12 : Amplification sélective :**

Amplifie le signal audio de fréquence inférieur à 5KHz.

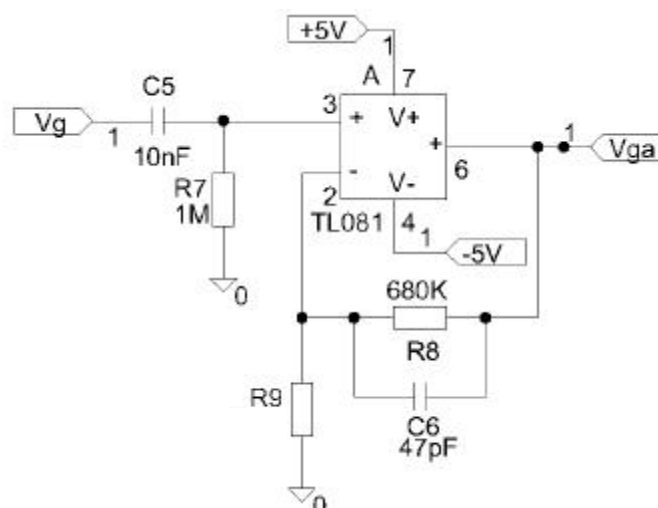
Entrée :

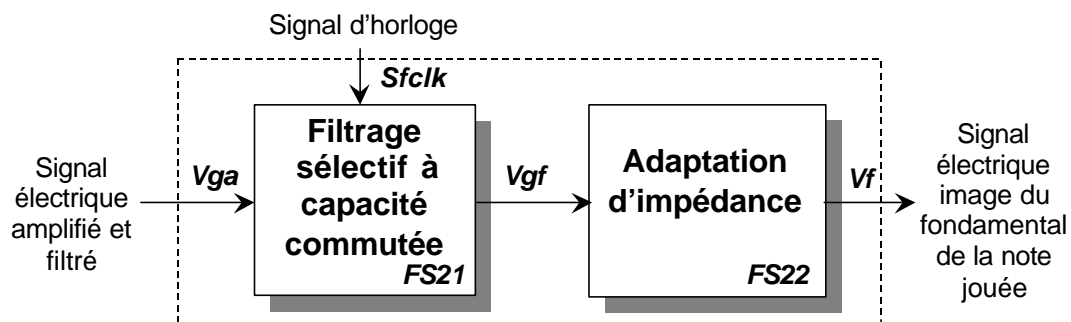
V_{gcc} : signal électrique analogique de faible amplitude débarrassé de sa composante continue.

Sortie :

V_{ga} : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare.

● **Schéma structurel FP1 :**



6-2) FP2 : Filtrage sélectif :**● FS21 : Filtre à capacité commutée :**

Extrait le « fondamental » à partir du signal électrique composite produit par les vibrations d'une corde de la guitare. Le filtre utilisé est de type passe-bande dont la fréquence centrale varie en fonction du choix de la note.

Entrée :

Vga: signal électrique analogique amplifié image des vibrations des cordes de la guitare.

Sfclk : signal carré dont la fréquence est liée à la corde sélectionnée.

Sortie :

Vgf : signal électrique sinusoïdal : « fondamental » de la note jouée.

● FS23 : Adaptation d'impédance :

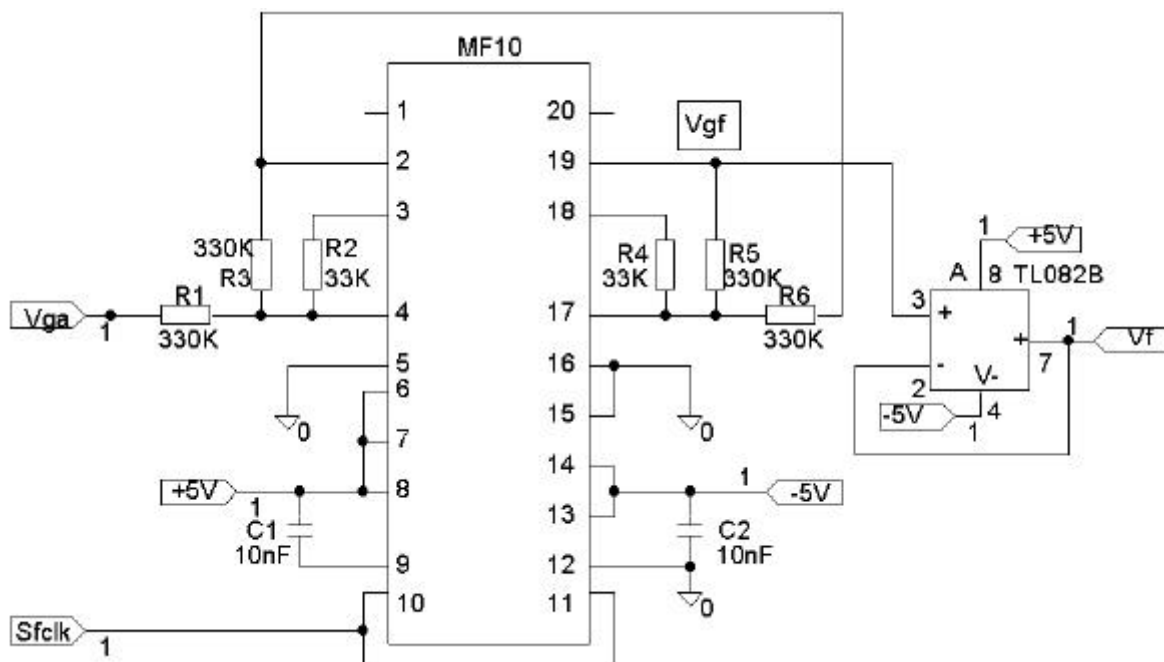
Délivre une différence de potentiels de même amplitude et forme que le signal d'entrée mais avec un courant disponible plus fort en sortie, évite de « charger » l'étage précédent.

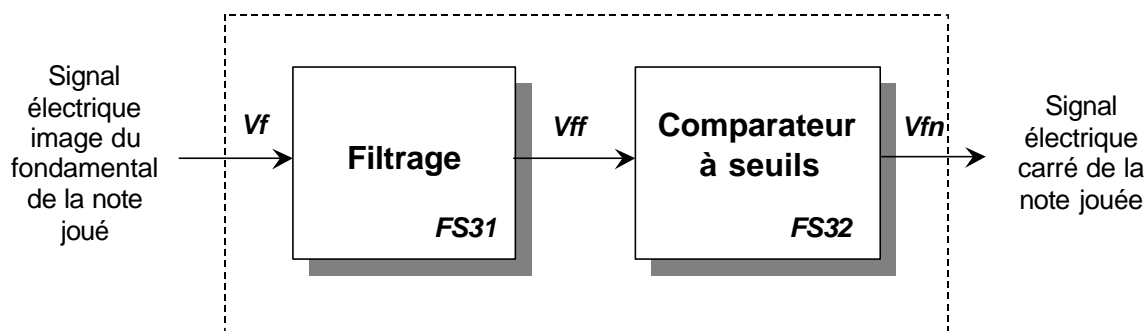
Entrée :

Vgf : signal électrique sinusoïdal : « fondamental » de la note jouée.

Sortie :

Vf : signal électrique sinusoïdal : « fondamental » de la note jouée.

● Schéma structurel FP2 :

6-3) FP3 : Mise en forme :**● FS31 : Filtrage**

Elimine les signaux parasites de fréquences élevées et la composante continue du signal. Supprime les « marches d'escalier » dues aux effets de la quantification à la fréquence d'échantillonnage F_e du filtre sélectif.

Entrée :

V_f : signal électrique presque sinusoïdal (« marches d'escalier ») « fondamental » de la note jouée.

Sortie :

V_{ff} : signal électrique sinusoïdal débarrassé de ses composantes de fréquences élevées et continue.

● FS32 : Comparateur à seuils

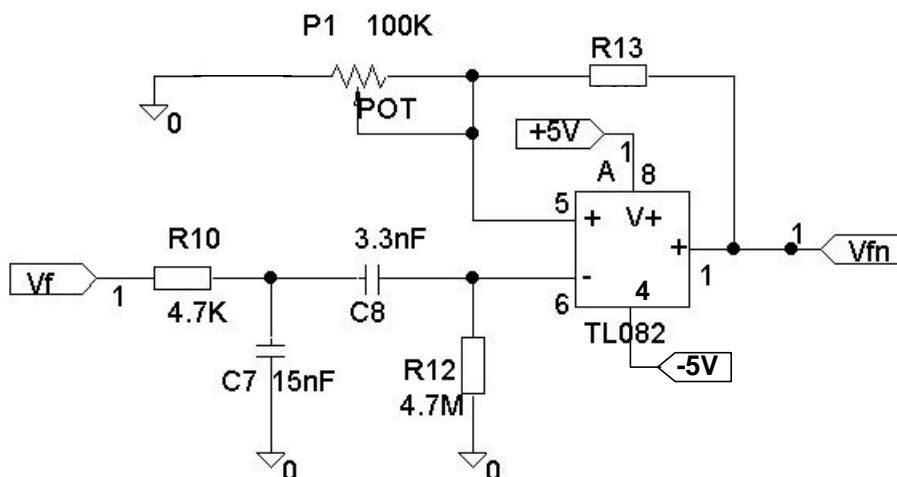
Amplifie jusqu'à la saturation le signal audio issu de la guitare.

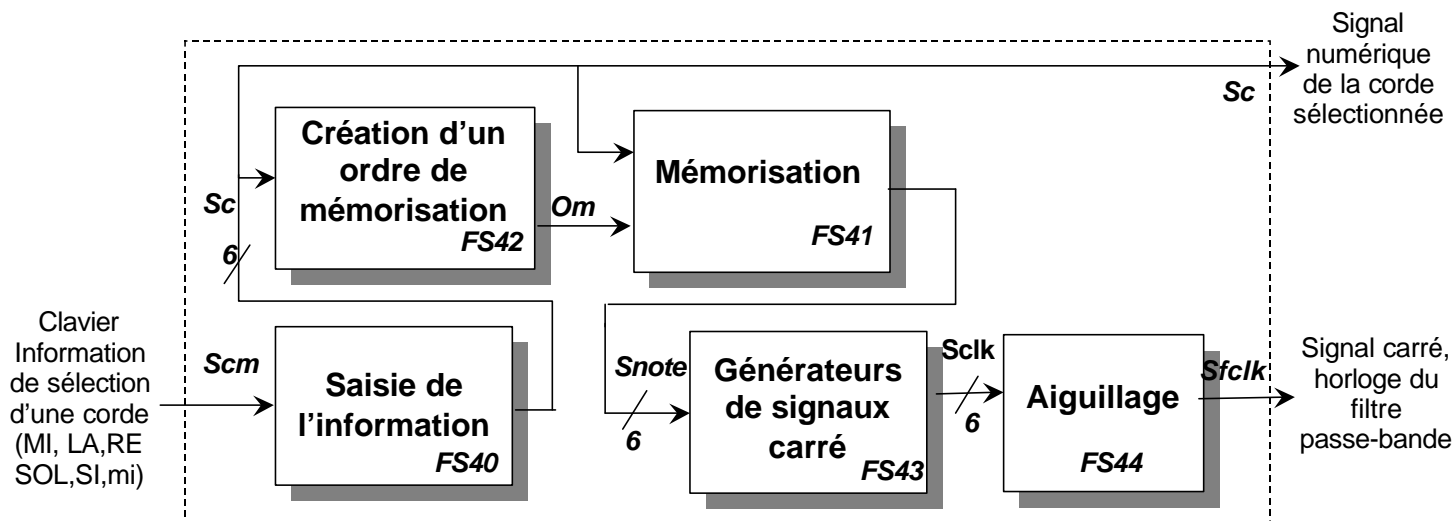
Entrée :

V_{ff} : signal électrique sinusoïdal débarrassé de ses composantes de fréquences élevées et continue.

Sortie :

V_{fn} : signal électrique « carré » de fréquence image du « fondamental » de la note jouée.

● Schéma structurel FP3 :

6-4) FP4 : Génération d'un signal d'horloge :**● FS40 : Saisie de l'information :**

Adaptation d'une information mécanique en une information électrique.

Entrées :

Scm : information de sélection d'une corde par le musicien

Sortie :

Sc : Signal numérique représentatif de la corde sélectionnée.

● FS41 : Mémorisation :

Mémorise le choix de la corde sélectionnée par le musicien.

Entrées :

Sc : Signal numérique représentatif de la corde sélectionnée.

Om : impulsion brève d'ordre de mémorisation de la corde choisie par le musicien.

Sortie :

Snote : 6 informations binaires dont les valeurs sont fonction de la corde sélectionnée.

● FS42 : Création d'un ordre de mémorisation

Génère une impulsion brève.

Entrée :

Sc : 6 informations binaires correspondant aux 6 cordes de la guitare.

Sortie :

Om : impulsion brève d'ordre de mémorisation de la corde choisie par le musicien.

● FS43 : Générateurs de signaux carré

Délivre un signal carré dont la fréquence est liée à la note sélectionnée.

Entrée :

Snote : 6 informations binaires dont les valeurs sont fonction de la note ou corde sélectionnée.

Sortie :

Sclk : signal d'horloge carré niveau TTL dont la fréquence est liée à la corde sélectionnée + 5 signaux logiques.



Les fréquences générées sont 100 fois supérieures à celles des notes ci-dessous.

$$F_{clk} = 100 * F_{note}$$

Numéro de la corde	Note	Fréquence note théorique (en Hz)
1 (la plus grosse)	Mi-grave	82.41
2	LA	110
3	RE	146.83
4	SOL	196
5	Si	246.94
6	Mi-aigu	329.63

● FS44 : Aiguillage

Réalise un ET câblé.

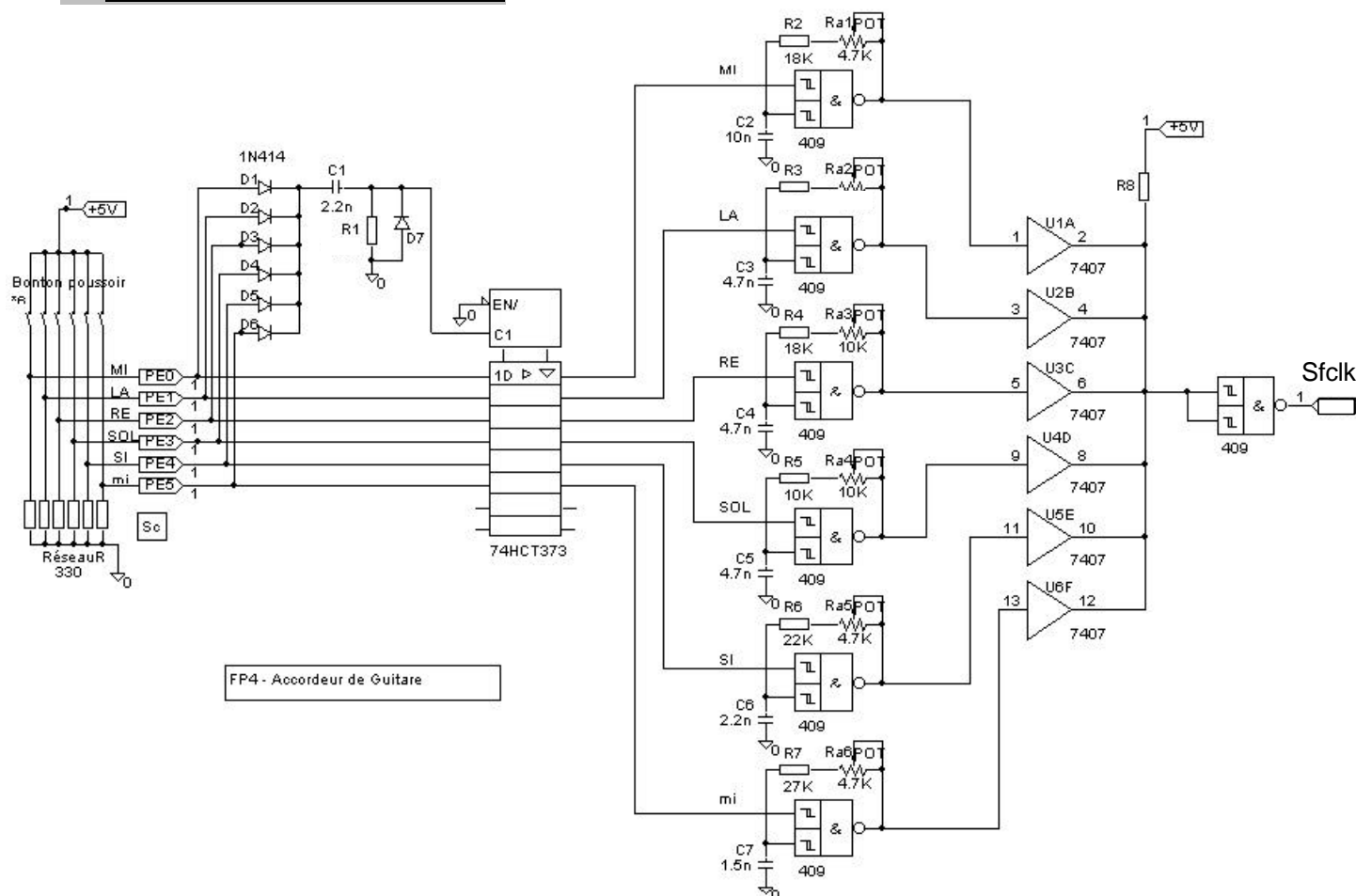
Entrée :

Sclk : signal d'horloge carré niveau TTL dont la fréquence est liée à la corde sélectionnée + 5 signaux logiques.

Sortie :

Sfclk : signal d'horloge carré niveau TTL dont la fréquence est liée à la corde sélectionnée.

● Schéma structurel FP4 :



6-5) FP5 : Unité de traitement :

Unité centrale de traitement des données réalisée autour d'un microcontrôleur 68HC11.
Pas de décomposition en fonctions secondaires de degré 2.

● Organisation matérielle des ports de 68HC11**Entrées :**

Sc : information numérique du choix de la corde sélectionnée.	Corde MI	PE0
	Corde LA	PE1
	Corde RE	PE2
	Corde SOL	PE3
	Corde SI	PE4
	Corde mi	PE5

Vfn : signal électrique carré de fréquence image du « fondamental » de la note jouée.		PA2
--	--	------------

Sorties :

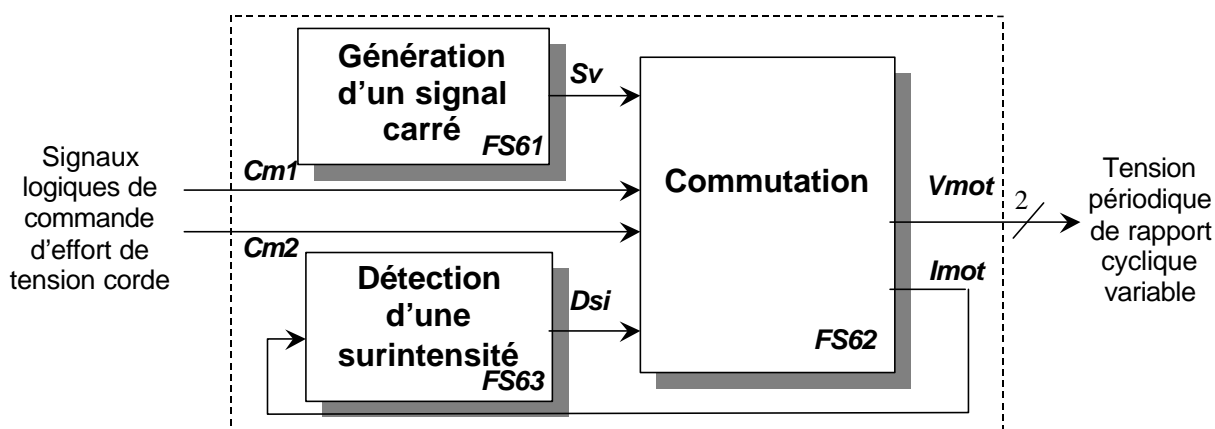
Cg : signal numérique de commande de déviation de l'aiguille du galvanomètre.		PC0 à PC7
--	--	------------------

Clcd : signaux logiques et numériques de commande de l'affichage LCD	E : validation des données	PB0
	R/W\ Lecture/Ecriture	PB1
	RS sélection des registres	PB2
	Db0=Db4	PB4
	Db1=Db5	PB5
	Db2=Db6	PB6
	Db3=Db7	PB7

Cm : signaux logiques de commande de la tension d'une corde de la guitare.	Cm1 : IN1	PA4
	Cm2 : IN2	PA5

Cs : signal carré de commande du HP d'informations sonores.		PA7
--	--	------------



6-6) FP6 : Interfaçage de puissance :**● FS61 : Génération d'un signal carré**

Fournit un signal logique périodique de rapport cyclique variable permettant de faire varier la vitesse du moteur.

Sortie :

Sv : signal carré de fréquence 1kHz à rapport cyclique variable.

● FS62 : Commutation

Fournit une tension rectangulaire périodique de rapport cyclique variable. Le rapport cyclique est fonction de Sv. La tension peut être inhibée en présence d'une surintensité Dsi.

Entrée :

Dsi : signal électrique logique de présence de surintensité.

Sv : signal carré de fréquence 1kHz à rapport cyclique variable.

Cm (Cm1=PA4 ; Cm2=PA5) : signaux logiques de commande de la tension d'une corde de la guitare.

PA4	PA5	Moteur
0	0	Arrêt
0	1	Sens trigo
1	0	Sens Horaire
1	1	Arrêt

Sortie :

Vmot : tension rectangulaire périodique de rapport cyclique variable.

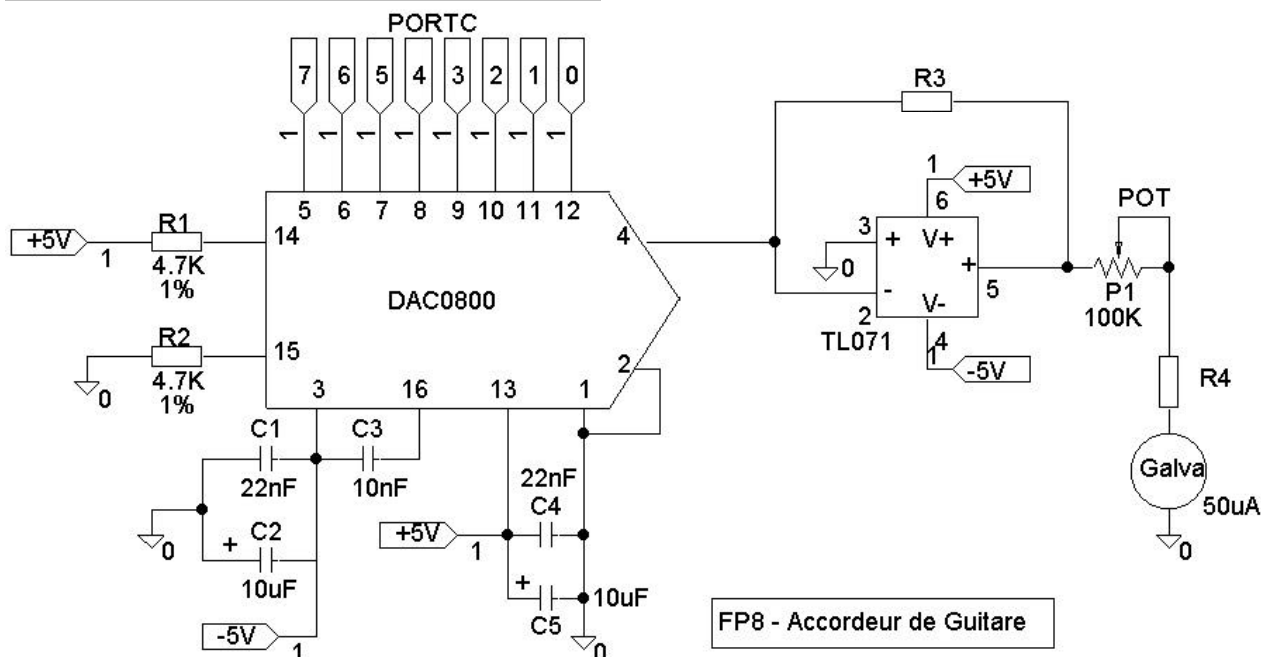
Imot : courant électrique consommé par le moteur.



6-8) FP8 : Conversion Numérique-Analogique :

Pas de décomposition de degré 2 de FP8. Convertisseur CNA 8bits

● **Schéma structurel FP8 et FP9 :**

**6-9) FP9 : Conversion électromécanique**

Pas de décomposition de degré 2 de FP9. Fonction réalisée par un galvanomètre.

6-10) FP10 : Affichage :

Pas de décomposition de degré 2 de FP10. Fonction réalisée par un afficheur LCD (2 lignes de 16 caractères).

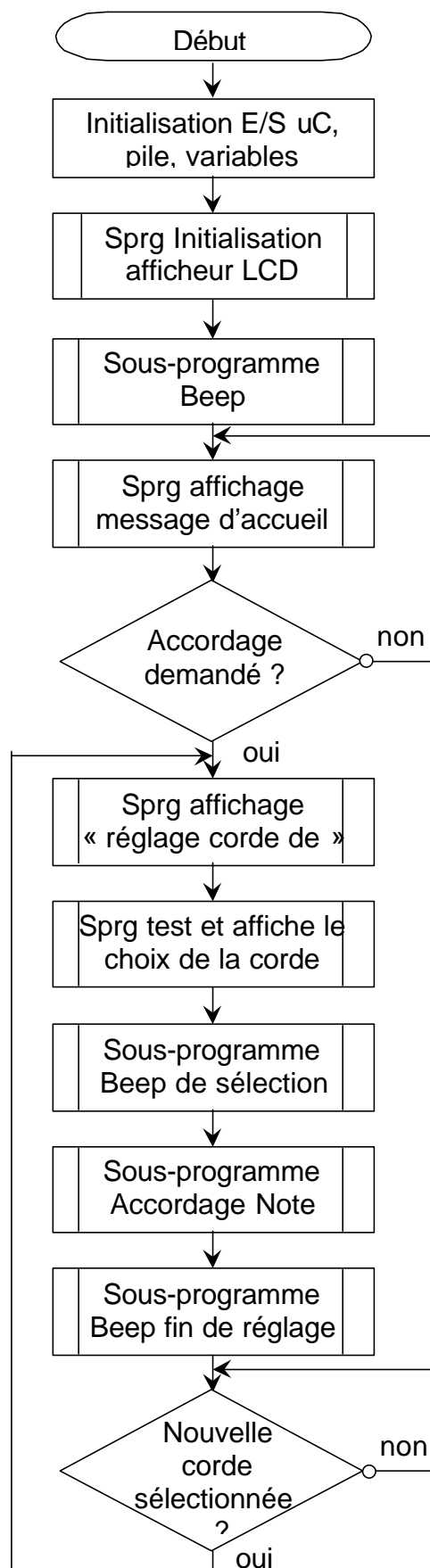
6-11) FP11 : Conversion électroacoustique :

Pas de décomposition de degré 2 de FP11. Réalisée par un amplificateur et haut-parleur.



7. Etude Logicielle de L'accordeur de guitare

7-1) Algorithme Programme Principal :



7-2) Programme source – Assembleur :

Le programme de l'accordeur est composé d'un programme principal et de nombreux sous-programmes, une partie est stockée dans la mémoire EEPROM du 68HC11, l'autre partie est logée en PROM du 68HC11.

```

*****
* Programme principal thème BAC STI-GE 2005                                LAVAUD H
* ACCORDEUR de GUITARE AUTOMATIQUE
*****
        include      EtiqE1
        include      EtiqSpBac05
*****

* Réserve espace mémoire en Ram pour les variables *****
        org          $01f0
PeriodeRef    rmb     2
Note          rmb     2
DemiPeriode   rmb     2
MesurePeriode rmb     2
PeriodeGuitare rmb     2

* Initialisation 68HC711E9 *****
        org          $b600          ; origine debut Ram $0002
        lds          #$00c0          ; pile avant pseudos-vecteur d'interruption ($C0 à $FF)
        ldx          #$1000          ; index base de registre x=$1000

        bset         DDRC,x $FF      ; portC en sortie
        bset         DDRA,x $80      ; PA7 en sortie pour HP
        ldd          #'MI'           ; par défaut sélection du Mi grave au démarrage
        std          Note
        ldy          #12134          ; perioderef du MI
        sty          PeriodeRef
        lda          #$00
        sta          PORTC,x         ; aiguille Galva au milieu écran

* Debut du Programme Principal *****
        jsr          InitAfficheur
        jsr          Beeps

TestLancement jsr          AffichageIntro

        lda          PORTE,x         ; test si une touche est activée

```




```
        anda    #%00111111      ; PE7 et PE6 sont inutilés donc isolés
        beq     TestLancement

Debut    jsr     AffichageChoix
        jsr     TestChoixCorde
        jsr     Beeps
        jsr     AccordNote

        jsr     Beeps

suite    lda     PORTE,x          ; test si une touche est activée
        anda    #%00111111      ; PE7 et PE6 sont inutilés donc isolés
        beq     suite

        bra     Debut
```

```
*****
* Sous Programme : Mesure de la période du signal Guitare *
*****

* Pour éliminer toute mesure parasite, la periode Guitare sera établie à partir d'une moyenne *
* sur 10 periodes *
*****
* Initialisation Timer du HC11
MesurePeriodeG bset    TCTL2,x #$10      ; front montant sur PA2=IC1
                ldw     #$000A          ; mesure de 10 T pour obtenir une periode de guitare juste
                ldd     #$0000
                std     PeriodeGuitare

* attente du 1er front
NouvelleMesure bset    TFLG1,X $04        ; effacer drapeau pour detecter le 1eme front
                brclr   TFLG1,X $04 *      ; repeter jusqu'a FrontDetecte

* front montant detecte
                ldd     TIC1,X            ; lecture de la valeur du timer lors du front
                std     DemiPeriode       ; sauve dans variable PREMIER

* attente du 2eme front
                bset    TFLG1,X $04        ; effacer drapeau pour detecter le 2eme front
                brclr   TFLG1,X $04 *      ; repeter jusqu'à ce qu'un Front soit détecté sur PA2

* determination periode
                ldd     TIC1,X            ; instant du 2eme front
                subd     DemiPeriode       ; moins instant du 1er front
```



```

        ldx    #2                ; pour quartz 8 MHz : luc=0.5 µs
        idiv   ; div par 2 pour valeur T en us
        xgdx   ; entier à afficher dans D
        std    MesurePeriode    ; valeur de la période dans D
        ldx    #10              ; (mesureT/10) * 10 =PeriodeGuitare
        idiv
        xgdx
        addd   PeriodeGuitare    ; on addition les 1/10 de T à chaque mesure
        std    PeriodeGuitare    ; contient la période du signal guitare mesurée
        ldx    #$1000            ; recharger X car utiliser, lors du calcul
        dey    ; test Y sui contient le nombre de mesure à effectuer
        bne    NouvelleMesure
FinPeriode    rts

* FIN sousprogramme Mesure Periode *****

*****
* Sous Programme Beep *
*****

Beeps        jsr    Beep1
              jsr    Tempo20ms
              jsr    Beep2
              rts

Beep1
SuiteBeep1   lda    #80
              bset   PORTA,X $80
              bsr    tempoBeep1
              bclr   PORTA,X $80
              bsr    tempoBeep1
              deca
              bne    SuiteBeep1
              rts

tempoBeep1   ldy    #0085
SuiteTempoBeep1 dey
              bne    SuiteTempoBeep1
              rts

Beep2
SuiteBeep2   lda    #200
              bset   PORTA,X $80

```



```
bsr    tempoBeep2
bclr   PORTA,X $80
bsr    tempoBeep2
deca
bne    SuiteBeep2
rts
```

```
tempoBeep2    ldy    #130
SuiteTempoBeep2 dey
bne    SuiteTempoBeep2
rts
```

* Fin sous-programme Beep *****

* Sous-programme D'accordage : commande du moteur et galvanometre *

```
AccordNote    jsr    MesurePeriodeG
ldd    PeriodeGuitare
subd    PeriodeRef
bhi     Trigo          ; branche si periode guitare > periode ref
                        ; soit note trop grave : sens trigo
```

* Rotation moteur sens horaire

```
cpd    #$06          ; compare à 6
                        ; marge d'erreur de réglage soit la précision.
                        ; Carry=1 si valeur absolu M > valeur absolu D
bcs     FinReglage    ; Fin de réglage si valeur D < seuil d'erreur.
                        ; branche si carry=1

jsr     CdeGalvaHaut
bset    PORTA,x $20    ; sens trigo : PA4=1, PA5=0
bclr    PORTA,x $10

jsr     TempoMoteur
bclr    PORTA,x %00110000 ; arret moteur
bra     AccordNote
```

* Rotation moteur sens trigo

```
Trigo    cpd    #$06          ; test d'erreur de précision
bls     FinReglage    ; branche si <=0
bset    PORTA,x $10    ; sens horaire : PA4=0, PA5=1
```



```

        bclr  PORTA,x $20
        jsr   CdeGalvaBas
        jsr   TempoMoteur
        bclr  PORTA,x %00110000 ; arret moteur
        bra   AccordNote

FinReglage  bclr  PORTA,x %00110000 ; arret moteur
            ldaa  #$80
            sta   PORTC,x          ; aiguille galva milieu
            jsr   AfficheFinR
            rts

* Tempo moteu
TempoMoteur pshy
            ldy   #$2800           ;4
rtmoteur    dey           ;4
            bne   rtmoteur        ;3
            puly
            rts                   ;5    t=4+y(4+3)+5, t=9+7*y

* Message fin de réglage
AfficheFinR lda  #$01             ; position home en haut à gauche et effacement afficheur
            jsr   PositionTexte
            jsr   Tempo20ms       ; attente pour l'effacement
            lda   #$82           ; choix adresse position message $42+d7=1
            jsr   PositionTexte
            ldy   #Texte7        ; envoi du texte sur le première ligne
            jsr   EnvoiTexte
            lda   #$c0           ; choix adresse position message $42+d7=1
            jsr   PositionTexte
            ldy   #Texte8        ; envoi du texte sur la seconde ligne
            jsr   EnvoiTexte
            rts

Texte7      fcc   'Fin reglage'
            fcb   0
Texte8      fcc   'Choisir 1 corde'
            fcb   0

```



* Sous-programme commande galvanomètre *****
* l'aiguille est à gauche pour \$00 et à droite max pour \$FF. Lorsque l'aiguille est au milieu
* l'accord est juste et la valeur du CNA est \$80.

```
CdeGalvaHaut    coma                ; la valeur de D est négative en complément à 2
                comb                ; complément à 2 pour retrouver la valeur absolu D
                addd #1
                cpd  #$00ff          ; si D>$ff alors l'aiguille du galva est au max a droite
                bhi  GalvaMax        ; note trop haute.
                lsrb                ; décalage droite soit une div par 2 de B
                                ; pour limiter les variations de l'aiguille du galva
                addb #$80            ; B+$80 pour centrer l'aiguille au milieu si réglage ok
                stb  PORTC,x         ; envoi la valeur du galva
                rts
GalvaMax        bset  PORTC,x $ff
                rts

CdeGalvaBas     cpd  #$00ff          ; si D>$ff alors l'aiguille du galva est au min a gauche
                bge  GalvaMin        ; note trop basse.
                lda  #$80            ; A contient valeur milieu ecran :$80
                lsrb                ; div 2 de B par décalage droite. limit variation aiguille
                sba                    ; $80 milieu ecran - valeur B atténué par 2
                sta  PORTC,X
                rts

GalvaMin        bclr  PORTC,x $FF
                rts
```

* Fin sous-programme galvanomètre *****
* Fin Sous-Programme D'accordage *****



* Implantation des sous-programmes en Prom du 68HC711E9 :\$D000-\$FFFF
 * Pour programmer la Prom placer 12.5V sur XIRQ et implanter la trame S1S9
 * Attention penser à retirer la liaison PA3-XIRQ !!

 * SOUS-PROGRAMME en PROM - ACCORDEUR DE GUITARE - BAC2005 LAVAUD H - 2005

include EtiqE1

org \$01f0
 PeriodeRef rmb 2 ; même ref que prg principal
 Note rmb 2

org \$D000 ; implantation programme après moniteur de devmic11

* Sous Programme de commande de l'affichage LCD en mode 4 bits *

* RS=0, R/W\=0 : ecriture dans les registres
 * RS=0, R/W\=1 : lecture du registre d'état pour tester le busy
 * RS=1, R/W\=0 : ecriture dans la mémoire de l'afficheur creation de caractère
 * RS=1, R/W\=1 : lecture dans la mémoire de cacractère de l'afficheur
 * PB4=db4-db0
 * PB5=db5-db1
 * PB6=db6-db2
 * PB7=db7-db3

E equ \$01 ; PB0 =E; impulsion validation des données
 RW equ \$02 ; PB1=R/W\ :lecture/ecriture\
 RS equ \$04 ; PB2=RS : selection des registres

* initialisation afficheur : selection mode 4 bits *

InitAfficheur bsr Tempo20ms ; 20ms attente avant tout envoi sur l'afficheur, 15ms min
 bclr PORTB,X #RS ;RS et RW à 0 : mode écriture dans registres afficheur



```
bclr PORTB,X #RW
nop ; attente de 140ns min : stabilisation des niveaux voir doc elektor

* 3 envois du code $30 procédure d'initialisation d'après doc elektor 208, autre solution test busy
retinit ldab #$03 ; 3 pour boucles
ldaa #$30 ;valeur RS R/W db7 db6 db5 db4
staa PORTB,X ; 0 0 0 0 1 1
bset PORTB,X #E ;E...1 , la durée l'impulsion E doit etre de 450us min
bsr TempoE ; tempo pour impulsion E de 0.5ms
bclr PORTB,X #E ;E...0
bsr Tempo20ms ; 20ms attente avant tout envoi

decb
bne retinit

* Configuration afficheur en mode 4 bits
ldaa #$20 ;mode 4 bits
staa PORTB,X
bset PORTB,X #E ;E...1
bsr TempoE ; tempo pour impulsion E de 0.5ms
bclr PORTB,X #E ;E...0
bsr Tempo40us ; temps d'execution commande voir doc

* Configuration Ecran
ldaa #%00101100 ;mode 4 bits, 2 lignes, 5/7points par caractère
bsr EnvoiAfficheur
ldaa #%00000001 ;effacement complet afficheur, curseur en 00
bsr EnvoiAfficheur ; tempo de 1.64ms nécessaire
bsr Tempo20ms ; 20ms ici
ldaa #%00001100 ;b2 :allumage, b1:visualisation curseur ;b0:clignotement curseur
bsr EnvoiAfficheur ;
rts

* Fin Sous-programme Initialisation Afficheur LCD *****

*****
* Sous-Programme envoi 8 bits de données ASCII vers afficheur en 2 * 4 bits *
* A contient le code ASCII *
*****
EnvoiAfficheur tab ; recopie de a dans b
bclr PORTB,X #$f0 ; effacement des bits pb7 à pb4 à 0, dernière valeur
```



```
anda    #$F0                ; A contient la valeur à envoyer, quartet poids forts
oraa    PORTB,X              ; envoie poids forts sans modifier pb0 ...pb3 (RS, R/W, E)
staa    PORTB,X

bset    PORTB,X #E           ; validation
bsr     TempoE               ; tempo pour impulsion E de 0.5ms  nop
bclr    PORTB,X #E
bsr     Tempo40us

bclr    PORTB,X #$f0         ; effacement des bits pb7 à pb4 à 0, dernière valeur

andb    #$0F                ; envoie quartet poids faibles depuis B,
rolb                      ; décalage sur pb4..pb7
rolb
rolb
rolb
orab     PORTB,X
stab     PORTB,X
bset     PORTB,X #E
nop
bclr     PORTB,X #E
bsr      Tempo40us
rts
```

* FIN Sous-Programme envoi vers Afficheur LCD *****

* SOUS-PROGRAMMES de TEMPORISATION pour l'afficheur LCD *

* Tempo de 20ms attente avant intialisation afficheur , 15ms min d'après doc *****

```
Tempo20ms    pshy
              ldy    #$5713          ;4    T=20ms d'ou y=5713, Q=8MHz
rt20ms       dey          ;4
              bne     rt20ms         ;3
              puly
              rts                  ;5    ; t=4+y(4+3)+5, t=9+7*y ->9+7*5713=40000/2=20000us
```

* Tempo de 40us attente execution commande par l'afficheur d'après doc *****

```
Tempo40us    pshy
              ldy     #0011          ;4
```




```

rt40us      dey          ;4
            bne      rt40us    ;3
            puly
            rts              ;5      ; t=(9+7*y)/2 ->43us

* Temporisation impulsion de validation des données : 450ns min ici environ 0.6ms *****
TempoE      pshx          ;4+6          ;Q=8MHz
            ldx      #0200    ;3
RTempoE     dex          ;3
            bne      RTempoE   ;3
            pulx          ;5
            rts              ;5, ;t=23+x(3+3)=23+6*x=23+6*200=1223/2=611us

* Tempo 1s pour message d'accueil
Tempo1s     lda      #15
RTempo1s    bsr      Tempo20ms
            deca
            bne      RTempo1s
            rts

*****

*****
* Configuration texte ecran d'accueil *
*****

*E          equ      $01          ; PB0 =E; validation des données
*RW         equ      $02          ; PB1=R/W\ :lecture/ecriture
*RS         equ      $04          ; PB2=RS : selection des registres

AffichageIntro lda      #$01          ; position home en haut à gauche et effacement afficheur
            jsr      PositionTexte
            jsr      Tempo20ms        ; attente pour l'effacement
            ldy      #Texte1          ; envoi du texte sur le première ligne
            jsr      EnvoiTexte
            lda      #$c5            ; choix adresse position message : 2ième ligne 3ième cases
            jsr      PositionTexte    ; @$42+d7=1 voir doc
            ldy      #Texte2
            jsr      EnvoiTexte
            jsr      Tempo1s

            lda      #$01          ; position home en haut à gauche et effacement afficheur
            jsr      PositionTexte

```



```

jsr    Tempo20ms      ; attente pout l'affacement
ldy    #Texte3        ; envoi du texte sur le première ligne
jsr    EnvoiTexte
lda    #$c4           ; choix adresse position message $42+d7=1
jsr    PositionTexte
ldy    #Texte4        ; envoi du texte sur la seconde ligne
jsr    EnvoiTexte
jsr    Tempols
rts

```

```

Texte1    fcc    '  Accordeur de '
          fcb    0
Texte2    fcc    'Guitare '
          fcb    0
Texte3    fcc    ' Theme Bac 2005 '
          fcb    0
Texte4    fcc    'MORTEAU '
          fcb    0

```

* Fin sous-programme *****

 * Sous-programme d'envoi d'un texte (Chaine ASCII) vers l'afficheur LCD *

```

*RS      equ    $04      ; PB2=RS      : selection des registres afficheur LCD
EnvoiTexte    bset    PORTB,X #RS      ; RS=1 pour ecriture dans memoire de caractère
SuiteEnvoiTexte    ldaa    0,Y      ; Y contient l'adresse du caractère ASCII
                  beq     FinTexte    ; fin d'envoi si le 0 est chargé, fin de chaine.
                  jsr     EnvoiAfficheur
                  iny
                  bra     SuiteEnvoiTexte
FinTexte    rts          ; fin message

```

* Fin sous-programme *****

 * Sous-programme adresse position des caractères sur l'afficheur LCD *

```

PositionTexte    bclr    PORTB,X #RS      ; RS=0 pour ecriture dans registre de config
                  jsr     EnvoiAfficheur    ; A contient l'adresse de la position

```



```

        bset  PORTB,X #RS          ; RS=1 pour ecriture ensuite dans la memoire de caractère
        rts
* Fin sous-programme *****

*****
* Sous-programme Affichage choix corde *
*****
AffichageChoix lda  #$01          ; position home en haut à gauche et effacement afficheur
                jsr  PositionTexte
                jsr  Tempo20ms     ; attente pour l'effacement
                lda  #$84          ; choix adresse position message $42+d7=1
                jsr  PositionTexte
                ldy  #Texte5       ; envoi du texte sur le première ligne
                jsr  EnvoiTexte
                lda  #$c2          ; choix adresse position message $42+d7=1
                jsr  PositionTexte
                ldy  #Texte6       ; envoi du texte sur la seconde ligne
                jsr  EnvoiTexte
                rts

Texte5         fcc  'REGLAGE'
                fcb  0
Texte6         fcc  'Corde de '
                fcb  0
* Fin sous-programme *****

*****
* Sous-Programme : TEST CHOIX DE NOTE - corde et sélection de la période de référence *
* DEMIPERIODE est chargé avec une valeur correspondant à la note sélectionnée (T(uC)=0.5us) *
*****
TestChoixCorde ldd  Note
                ldy  PeriodeRef
                brclr PORTE,x $01 suiteLA ; MI grave
                ldy  #12134         ; Mi=82.41Hz, T=12134.44us
                ldd  #'MI'          ; chargement des codes ASCII de la note de la corde 1

suiteLA        brclr PORTE,x $02 suiteRE ; LA
                ldy  #9090          ; LA=110Hz, T=9090.9us
                ldd  #'LA'          ; sélection corde 2

```



```

suiteRE      brclr PORTE,x $04 suiteSOL      ; RE
              ldy  #6810                      ; Re=146.83Hz, T=6810.59us
              ldd  #'RE'                      ; sélection corde 3

suiteSOL      brclr PORTE,x $08 suiteSI       ; SOL
              ldy  #5102                      ; Sol=196Hz, T=5102.04us
              ldd  #'SO'                      ; sélection corde 4

suiteSI       brclr PORTE,x $10 suiteMI      ; SI
              ldy  #4049                      ; Si=246.94, T=4049.56us
              ldd  #'SI'                      ; sélection corde 5

suiteMI       brclr PORTE,x $20 FinTest      ; Mi aigu
              ldy  #3033                      ; mi aigu=329.63Hz, T=3033.70us
              ldd  #'mi'                      ; sélection corde 6

FinTest       std  Note                      ; le choix de la note est conservée, si aucune touche validée
              sty  PeriodeRef
              pshb                             ; la note est dans D, A contient la première lettre
              jsr  EnvoiAfficheur              ; et B la seconde. A est envoyé en premier , puis B
              pulb                             ; B est sauvegardé sur le pile car
              tba                             ; les accu A et B sont utilisés dans le Sp EnvoiAfficheur B
              subb #'O'                      ; test pour afficher le "L" du sol 3 caractères
              bne  SuiteNote                  ; au lieu de 2 pour les autres notes
              jsr  EnvoiAfficheur              ; donc ne pouvant tenir dans l'accu D
              lda  #'L'

SuiteNote     jsr  EnvoiAfficheur
              lda  #' '                      ; envoi d'un caractère vide pour effacer le L du Sol
              jsr  EnvoiAfficheur

              ldaa #$cb                      ; envoi adresse $4c pour repositionner le curseur
              jsr  PositionTexte              ; ligne 2, case 12
              rts

```

* Fin sousprogramme choix de corde *****



Amplificateur de guitare



Etude de L'objet Technique OT2



1. Fonction d'usage :

L'O.T. amplifie en puissance le signal produit par la guitare électrique et restitue un signal électrique dont l'intensité (traduit visuellement), la saturation et la tonalité sont ajustées par l'utilisateur.

La matière d'œuvre est de type informationnelle.

2. Elargissement de l'étude :

Fonction globale : Amplifier un signal électrique audio phonique avec réglage d'amplitude.

Autre objet technique ayant la même fonction globale :

- Amplificateur audio de chaîne HIFI ou audiovisuel

3. Retour vers l'objet technique :

3-1) Approche des milieux associés

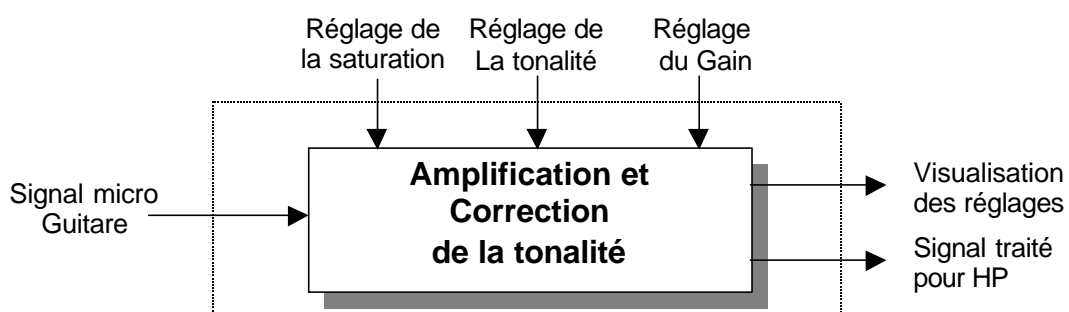
Humain : l'utilisateur doit pouvoir contrôler le niveau de l'amplification et des corrections apportées au signal.

Physique : L'objet doit pouvoir être déplacé facilement (poignées de transports) et disposer d'un boîtier suffisamment solide pour résister à des transports répétés, chocs légers et empilage de matériel.

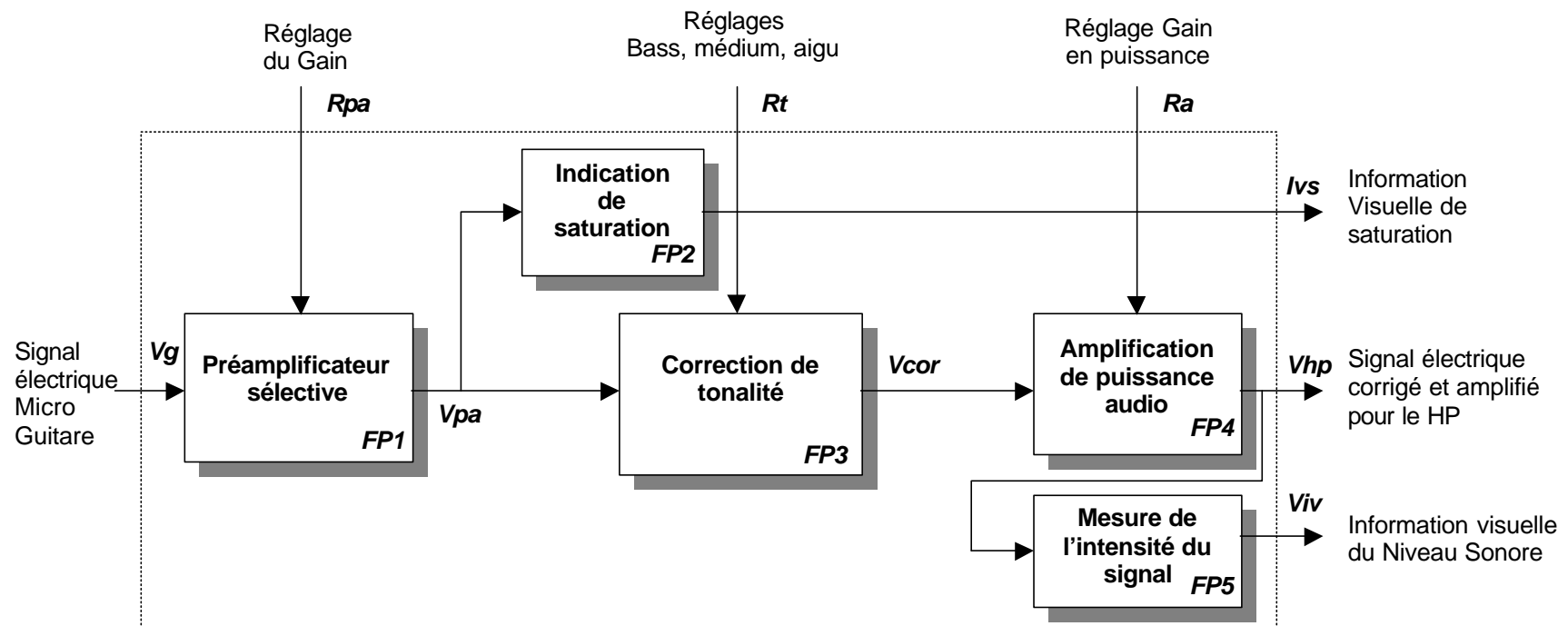
Technique : Alimentation sur secteur (220V,50Hz), puissance sonore disponible <50W.

Economique : Le coût de l'objet technique ne doit pas dépasser 200€.

3-2) Schéma fonctionnel de Niveau 2 :



4. Schéma Fonctionnel de Degré 1



5. Définition des fonctions principales :

● **FP1 : Préamplification sélective :**

Amplifie le plus « proprement possible » le signal électrique issu des micros de la guitare. Le signal d'entrée étant de très faible amplitude, FP1 doit veiller à ne pas amplifier le bruit environnant, Pour cela l'amplification sera sélective et ce premier étage devra avoir un gain modéré de 40dB au maximum Nous utiliserons des composants de qualité à faible bruit.

Entrées :

Vg : signal électrique analogique de faible amplitude image des vibrations des cordes de la guitare.

Rpa : Réglage du Gain par le musicien.

Sortie :

Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare.

● **FP2 : Indication de saturation :**

Détecte toute saturation du signal amplifié issu de la guitare et en informe l'utilisateur. Cette fonction permet au musicien de corriger selon le son désiré le gain du pré ampli.

Entrée :

Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare.

Sortie :

Ivs : information visuelle de saturation.

● **FP3 : Correction de la tonalité :**

Atténue de façon sélective certaines fréquences du signal de façon à accentuer les fréquences Basses et /ou Médioms et/ou Aigus du son de la guitare.

Entrées :

Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare.

Rt : Réglage de la tonalité par le musicien.

Sortie :

Vcor : signal électrique analogique corrigé en fréquence image des vibrations des cordes de la guitare.



● FP4 : Amplification en puissance :

Amplifie le signal corrigé en fréquence avec un gain de 50.

Entrées :

Vcor : signal électrique analogique corrigé en fréquence image des vibrations des cordes de la guitare.

Ra : Réglage du Gain par le musicien

Sortie :

Vhp : signal électrique analogique corrigé en fréquence et amplifié à destination du haut-parleur.

● FP5 : Mesure l'intensité du signal :

Fonction Vumètre, permet de visualiser l'intensité du signal sonore en sortie de l'amplificateur.

Entrée :

Vhp : signal électrique analogique corrigé en fréquence et amplifié à destination du haut-parleur.

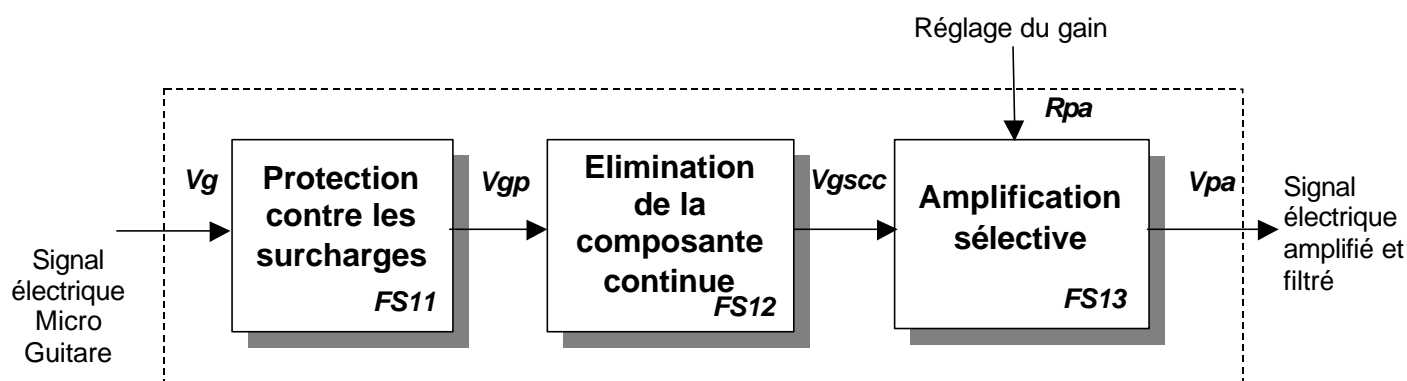
Sorties :

Viv : information visuelle représentative de l'intensité du signal électrique analogique à destination du haut-parleur.



6. Etude Fonctionnelle de Degré 2

6-1) FP1 : Préamplification sélective :



● **FS11 : Protection contre les surcharges :**

Protège l'entrée de l'amplificateur contre tout signal sonore trop élevé dû à des erreurs de branchement lors de l'installation de l'ampli sur une scène de spectacle, inversion possible de câbles. L'entrée peut être confondue avec une borne de raccordement d'une enceinte de puissance.

Entrée :

Vg : signal électrique analogique de faible amplitude image des vibrations des cordes de la guitare.

Sortie :

Vgp : signal électrique analogique écrêté si son amplitude est trop élevée.

● **FS12 : Elimination de la composante continue :**

Supprime la composante continue du signal à l'aide d'un filtre passe-haut.

Entrée :

Vgp : signal électrique analogique écrêté si besoin.

Sortie :

Vgsc : signal électrique analogique sans composante continue représentative des vibrations des cordes de la guitare.

● **FS13 : Amplification sélective :**

Amplifie le signal audio issu de la guitare sans amplifier les signaux parasites de fréquence élevée > 20kHz ou trop basse < 50Hz.

Entrées :

Vgsc : signal électrique analogique sans composante continue représentative des vibrations des cordes de la guitare.

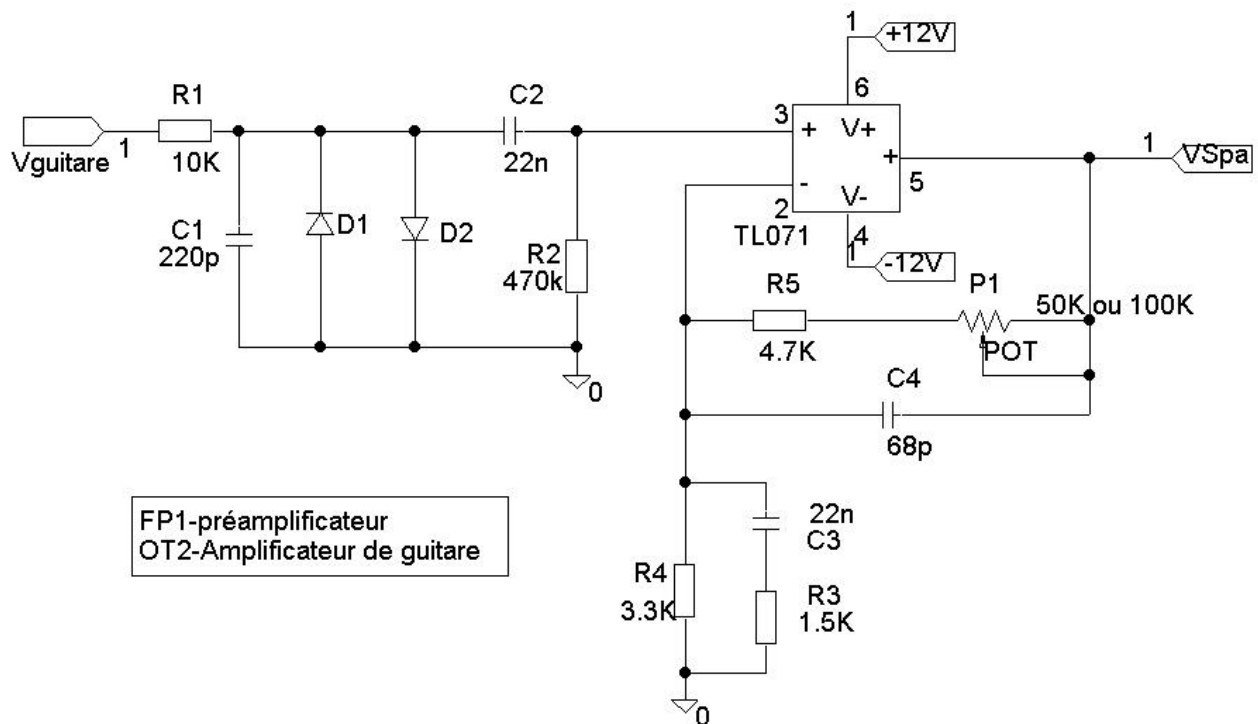
Rpa : Réglage du Gain par le musicien

Sortie :

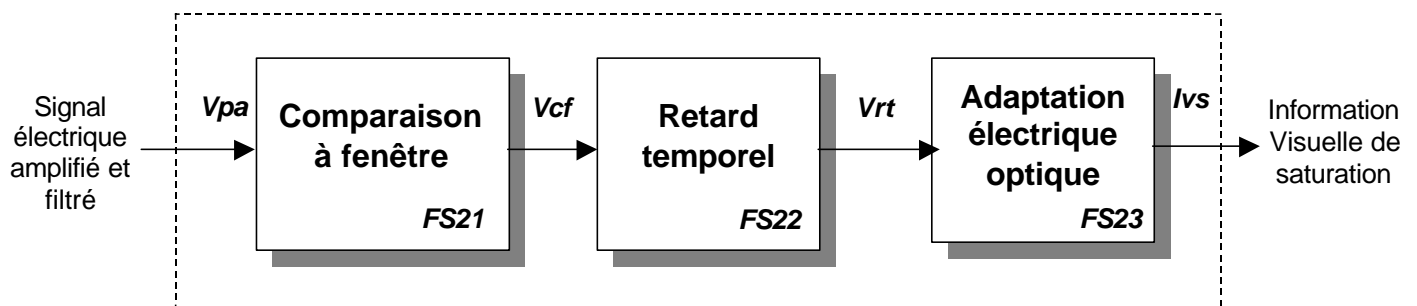
Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare



● Schéma structurel FP1 :



6-2) FP2 : Indication de saturation :



● FS21 : Comparaison à fenêtre :

Comparateur à seuils permettant de détecter tout signal audio supérieur à 50mV en positif ou négatif.

Entrée :

Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare

Sortie :

Vcf : signal électrique logique + ou - 12V



● **FS22 : Retard temporel :**

Prolonge le temps pendant lequel le voyant de saturation s'allume.

Entrée :

Vcf : signal électrique logique + ou – 12V

Sortie :

Vrt : signal électrique analogique représentatif des surtensions (>50mV) du signal amplifié de la guitare.

● **FS23 : Adaptation électrique-optique :**

Fournit le courant nécessaire pour allumer un voyant électroluminescent.

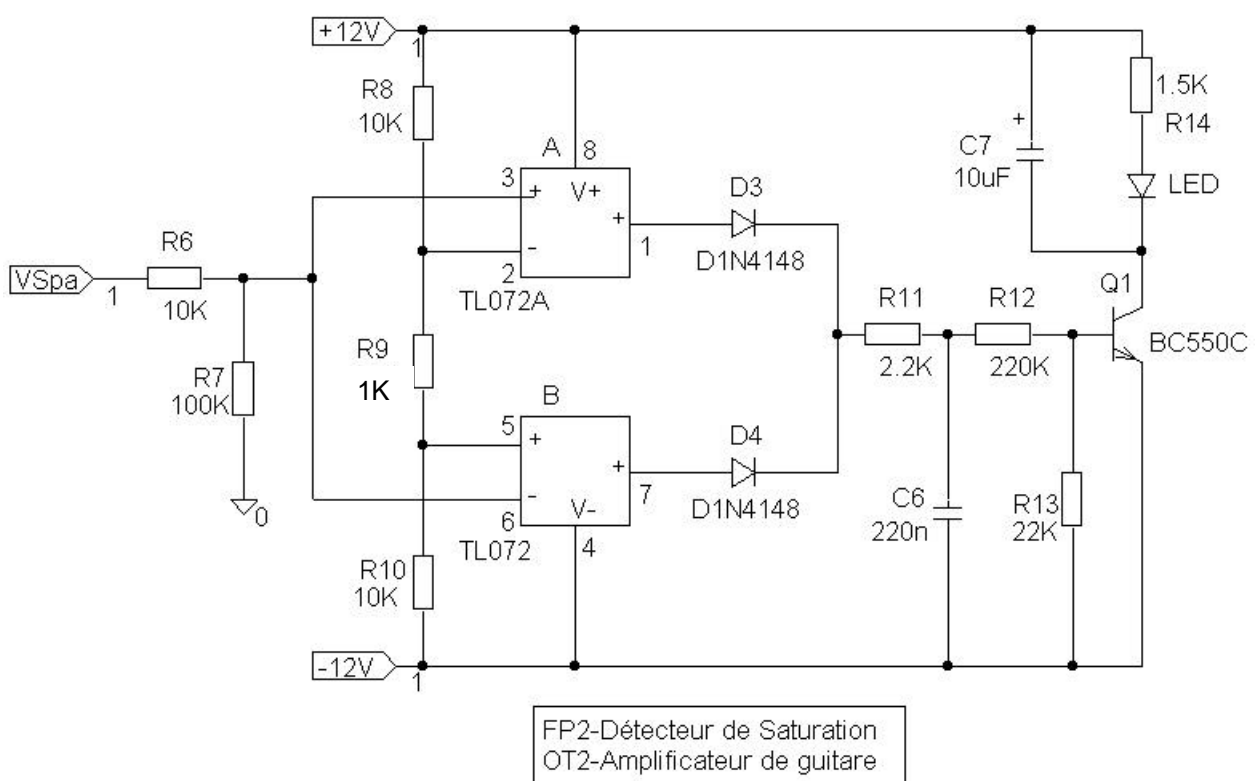
Entrée :

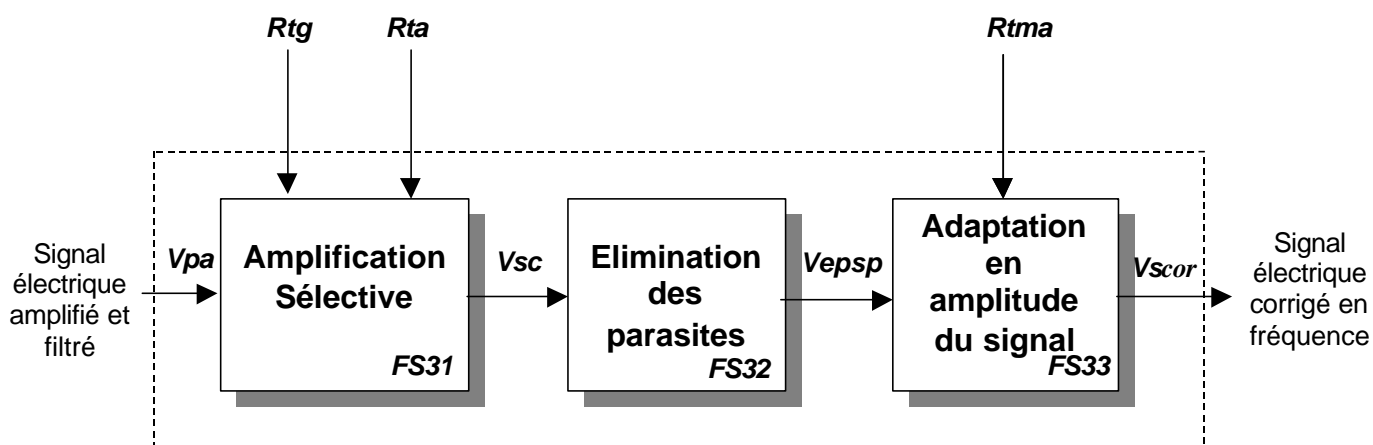
Vrt : signal électrique analogique représentatif des surtensions (>50mV) du signal amplifié de la guitare.

Sortie :

Ivs : information visuelle de saturation du son.

● **Schéma structurel FP2 :**



6-3) FP3 : Correction de tonalité ou de fréquence :**● FS31 : Amplification sélective :**

Amplifie de façon sélective le signal électrique. A partir des consignes de l'utilisateur, les composantes de fréquence Basses et (ou) médium et (ou) aiguës seront atténuées ou amplifiées.

Entrées :

Vpa : signal électrique analogique amplifié et filtré image des vibrations des cordes de la guitare

Rtb : réglage par le musicien, de l'amplitude des composantes de fréquences « basses » du signal audio

Rta : réglage par le musicien, de l'amplitude des composantes de fréquences « aigus » du signal audio

Sortie :

Vsc : signal électrique analogique corrigé en fréquence.

● FS32 : Elimination des parasites :

Filtre le signal en atténuant les fréquences >15KHz.

Entrée :

Vsc : signal électrique analogique corrigé en fréquence.

Sortie :

Vscsp : signal électrique analogique corrigé en fréquence débarrassé de ses fréquences élevées.

● FS33 : Adaptation en amplitude :

Permet d'ajuster l'amplitude du signal audio corrigé.

Entrées :

Vscsp : signal électrique analogique corrigé en fréquence débarrassé de ses fréquences élevées.

Rtma : réglage de l'amplitude du signal audio par le musicien

Sortie :

Vcor : signal électrique analogique corrigé en fréquence image des vibrations des cordes de la guitare.



FP3-Correcteur de tonalité
OT2-Amplificateur de guitare

Réglage du gain

Vad : signal électrique d'entée +ou - élevé en amplitude.

● **FS42 : Limitation en amplitude :**

Arrondi les signaux audio limitant son amplitude à $\pm 0.7V$.

Entrée :

Vad : signal électrique d'entrée \pm élevé en amplitude.

Sortie :

Vadl : signal électrique analogique écrêté si besoin.

● **FS43 : Amplification :**

Amplifie le signal audio et fourni un courant important pour le HP.

Entrées :

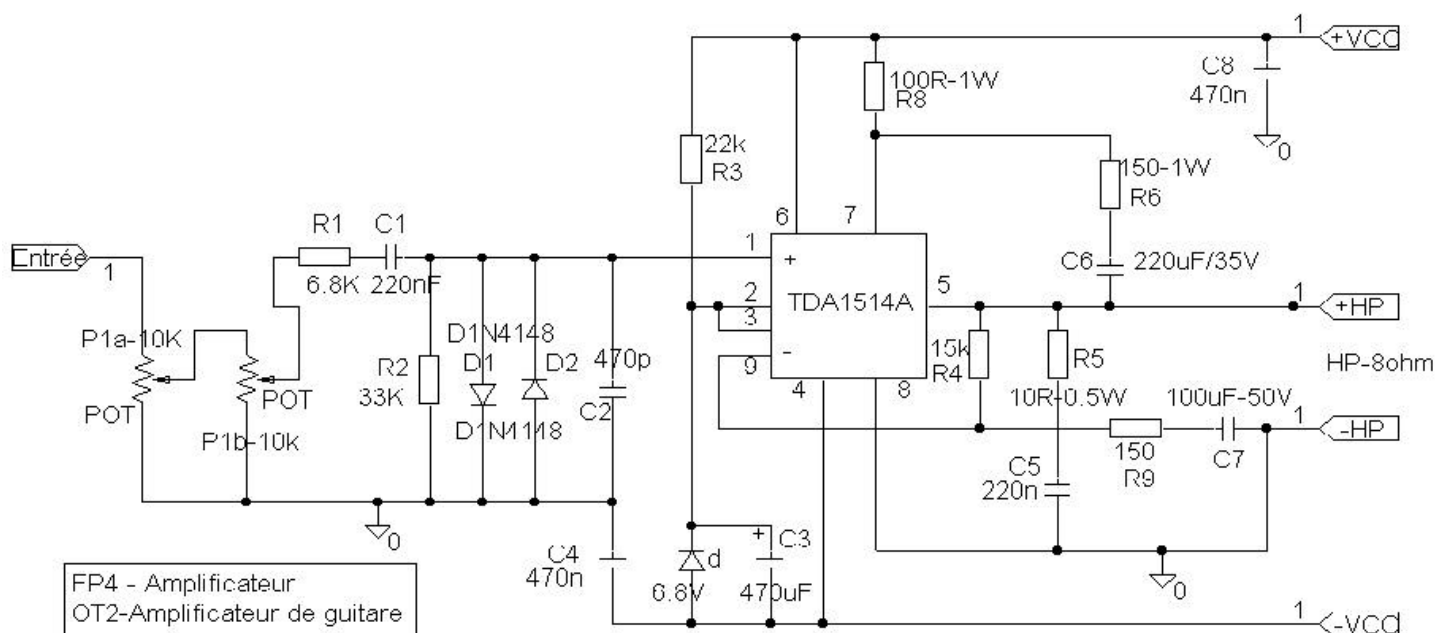
Vadl : signal électrique analogique écrêté si besoin.

Ra : Réglage du Gain en puissance par le musicien

Sortie :

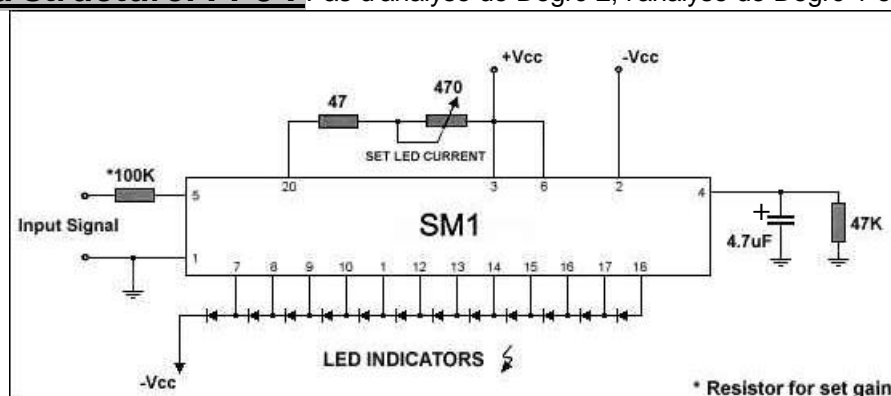
Vhp : signal électrique analogique corrigé en fréquence et amplifié à destination du haut-parleur.

● **Schéma structurel FP4 :**



6-5) FP5 : Mesure de l'intensité du signal :

- **Schéma structurel FP5 :** Pas d'analyse de Degré 2, l'analyse de Degré 1 est suffisante.



Travail demandé

1) Constitution des groupes de travail :

L'étude du système accordeur de guitare et amplificateur de guitare est décomposée en 5 groupes de travail (binôme). La coopération entre les différents groupes de travail est indispensable. La répartition entre les différents groupes de travail est la suivante :

Groupe 1 : Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur l'étude des fonctions FP1,FP2,FP3 : **amplification, filtrage, mise en forme et mesure de la période** du signal issu des micros de la guitare.

Groupe 2 : Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur FP4 et FP10 : **génération d'un signal d'horloge** en fonction de la note sélectionnée et **affichage LCD**.

Second travail axé sur l'objet technique « Amplificateur de Guitare » : étude de la fonction FP5 : **Vumètre**.

Groupe 3 : Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur la fonction FP6 : **commande du moteur à courant continu**

Second travail axé sur l'objet technique « Amplificateur de Guitare » plus particulièrement sur la fonction FP3 : **correction de la tonalité**.

Groupe 4 : Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur la fonction FP8 : **commande du Galvanomètre**.

Second travail axé sur l'objet technique « Amplificateur de Guitare » plus particulièrement sur la fonction FP4 : **amplification de puissance**.

Groupe 5 : Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur la fonction FP11 : **commande du HP**.

Second travail axé sur l'objet technique « Amplificateur de Guitare » plus particulièrement sur les fonctions FP1 et FP2 : **préamplificateur et détection de saturation**.



2) Travail commun à tous les groupes :

L'agencement du système technique dans sa globalité doit être connu. La compréhension de l'étude fonctionnelle de tous les objets techniques présentés est exigée jusqu'au 1^{er} degré inclus.

Travail de préparation pour tous les groupes :

- A partir d'une guitare accordée par le professeur relever à l'oscilloscope numérique les signaux correspondant aux six cordes (accord MI, LA, RE, SOL, SI, MI).

Réaliser un dossier (rapport, voir contenu page suivante), contenant la justification de toutes les solutions technologiques retenues pour la réalisation des fonctions, la justification de tous les composants utilisés, toutes les réponses aux questions spécifiques du groupe de travail et tout document permettant d'évaluer la qualité du travail réalisé (voir proposition de plan du dossier en annexe).

Chaque objet technique sera intégré dans un boîtier afin de réaliser deux ensembles complets en état de fonctionnement. Dans la mesure du possible et afin de permettre aux examinateurs d'observer la qualité de la réalisation, les cartes ne seront pas fixées fermement sur la maquette, mais simplement calées.

Préparer l'exposé oral en tenant compte de la grille d'évaluation qui vous a été présentée. Conseil : La présentation fonctionnelle jusqu'au 1^{er} degré ne doit pas excéder 5 mn.



3) Proposition de plan pour votre rapport :

Le rapport devra comporter environ 25 pages hors annexe. En annexe, ne pourront figurer que les documents constructeur nécessaires à la compréhension du rapport. Il devra comporter un sommaire et les pages devront être numérotées. Le dossier peut être manuscrit.

Le rapport pourra suivre le plan suivant:

La partie présentation n'apparaît pas dans le dossier mais doit être parfaitement connue pour l'épreuve orale.

1. Etude fonctionnelle de 1^{er} degré des objets techniques.

- Schémas fonctionnels de 1^{er} degré.
- Explications des fonctions principales.
- Définitions des liaisons.

2. Explications à propos des fonctions étudiées.

- Position et justification de la présence des fonctions au sein du système ;
- Schéma fonctionnel de 2nd degré des fonctions principales ;
- Schémas structurels et nomenclatures ;
- Définitions des liaisons ;
- Etude détaillée de chaque fonction secondaire qui peut comporter par exemple :
 - Schéma structurel de la fonction secondaire ;
 - Explications du fonctionnement de la fonction secondaire ;
 - Calcul ou justification des composants ;
 - Définitions des points tests ;
 - Chronogrammes théoriques et/ou oscillogrammes ;
 - Algorithme de fonctionnement ;
 - Programme de test ;
 - Etc...
- Méthode de mise en œuvre des cartes ;
- Relevés des mesures.

3. Algorithme et programmation des cartes étudiées.

4. Documents de fabrication.

- Schémas structurels (réalisés par le binôme) et nomenclatures chiffrées.
- Typons avec identification des faces (réalisés par le binôme) et schémas d'implantation.
- Plan de câblage (définition de la connectique).

5. Annexe : Documentations des fabricants de composants.



4) Travail groupe 1 :

Travail axé sur l'objet technique « **Accordeur de Guitare Automatique** » plus particulièrement sur l'étude des fonctions **FP1,FP2,FP3 : amplification, filtrage, mise en forme et mesure de la période** du signal issu des micros de la guitare.

Etude fonctionnelle de FP1,FP2,FP3 de « l'Accordeur de Guitare » :

- Repérer, sur chaque schéma structurel, les fonctions secondaires de FP1, FP2, FP3 et identifier les signaux reliant ces fonctions.
- Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement de FP1,FP2 et FP3.

Etude structurelle de FP1,FP2,FP3 de « l'Accordeur de Guitare » :

FP1 :

- Caractériser le filtre de FS11 et calculer sa fréquence de coupure.
- Calculer R9 pour avoir une amplification maximale d'environ 70.
- Donner le rôle de C6.
- Tracer ou simuler la réponse en fréquence du gain ou amplification de FP1.

FP2 :

- Analyser la documentation technique du MF10, donner son principe de fonctionnement. Comment les valeurs des composants influent-elles sur les caractéristiques du filtre.
- Calculer les valeurs des gains et facteurs de qualité des filtres.

FP3 :

- Calculer la fréquence de coupures des filtres R10-C7 et C8-R12.
- Justifier la nécessité de placer le filtre R10-C7.
- Etudier le comparateur à seuils, calculer R13 de façon à pouvoir ajuster les seuils à des valeurs proches de 0.2v.

Réalisation pratique.

- Réaliser un typon regroupant les 3 fonctions FP1,FP2,FP3.
- Fabriquer la carte FP1,FP2,FP3 à partir de votre recherche.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation.

- Réaliser un programme permettant d'acquérir la période du signal du fondamental de la corde jouée. Vous afficherez à l'écran du PC vos résultats (utilisation des sous-programme outsci de DEVMIC11). Mesure par boucle logicielle ou à l'aide du Timer du 68HC11.

Pour ces travaux de programmation, produire un algorithme, ordinogramme et programme avec commentaires.



Travail groupe 2 :

Travail axé sur l'objet technique « Accordeur de Guitare Automatique » plus particulièrement sur FP4 et FP10 : **génération d'un signal d'horloge** en fonction de la note sélectionnée et **affichage LCD**.

Second travail axé sur l'objet technique « Amplificateur de Guitare » : étude de la fonction FP5 : **Vumètre**.

Etude fonctionnelle de FP4 et FP10 de « l'Accordeur de Guitare » :

- Repérer, sur chaque schéma structurel, les fonctions secondaires de FP4 et FP10 et caractériser les signaux reliant ces fonctions.
- Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement de FP4.

Etude structurelle de FP4 et FP10 de « l'Accordeur de Guitare » :

FP4 :

- Analyser la documentation technique du MF10 avec le binôme groupe 1, donner son principe de fonctionnement. Comment la valeur du signal Sfclock influe-t-elle sur l'une des caractéristiques du filtre de FS21 ?
- Justifier la valeur de 330Ω pour les résistances de « rappel » à la masse des boutons poussoirs.
- Déterminer la valeur de la résistance R1
- Rechercher les 6 fréquences de Sclk.
- Choisir des valeurs de résistances de façon à obtenir la fréquence de la note LA de Sclk.
- Calculer la valeur de la résistance R8.

FP10 :

- Etudier la documentation technique de l'afficheur LCD et le programme associé.

Réalisation pratique.

- Réaliser le typon de FP4 + clavier.
- Fabriquer la carte FP4 à partir de votre recherche.
- Fabriquer la carte FP10 de l'affichage LCD à partir du typon fourni

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement de chaque circuit. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.



Programmation.

- Réaliser un programme permettant d'acquérir le nom de la note sélectionnée au clavier. Afficher le résultat dans un premier temps à l'écran du PC en utilisant les routines de DEVMIC11 (outsci,...) et dans un second temps sur l'écran de l'afficheur à cristaux liquide. Vous vous inspirerez pour cela du programme général de l'accordeur fourni dans le dossier.
- Créer un programme permettant de réaliser FP4. Recréer le signal carré Sflck dont la fréquence est fonction de la note sélectionnée.

Pour ces travaux de programmation, produire un algorithme, ordinogramme et programme avec commentaires.

Etude fonctionnelle de FP5 de « l'Amplificateur de Guitare » :

- Repérer et caractériser sur le schéma structurel les signaux de FP5.

Etude structurelle de FP5 de « l'Amplificateur de Guitare » :

- Analyser la documentation du module SM1 et étudier le UAA180, circuit réalisant la même fonction vumètre.

Réalisation pratique de FP5.

- Réaliser le typon de FP5.
- Fabriquer la carte FP5 à partir de votre recherche.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement du circuit. Fournir les résultats des mesures effectuées.



Travail groupe 3 :

Travail axé sur l'objet technique « **Accordeur de Guitare Automatique** » plus particulièrement sur la fonction **FP6 : commande du moteur à courant continu**
Second travail axé sur l'objet technique « **Amplificateur de Guitare** » plus particulièrement sur la fonction **FP3 : correction de la tonalité**.

Etude fonctionnelle de FP6 de « l'Accordeur de Guitare » :

- Repérer et caractériser sur le schéma structurel les signaux de FP6.
- Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement de FP6.

Etude structurelle de FP6 de « l'Accordeur de Guitare » :

- Analyser la documentation technique du L298, donner son principe de fonctionnement.
- On désire détecter une surintensité de 0.5A, déterminer R2 et Rm
- Proposer une structure permettant de générer le signal Sv.

Réalisation pratique.

- Réaliser le typon de FP6 .
- Fabriquer FP6 à partir de vos recherches.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement de chaque circuit. Fournir les résultats des mesures effectuées.
- Relever en concordance de temps, l'oscillogramme des signaux entrant et sortant.

Programmation.

- Réaliser un programme permettant de commander le moteur électrique dans les 2 sens. Vous utiliserez une entrée du port du 68HC11 pour choisir le sens de rotation. Produire un algorithme, ordinogramme et programme avec commentaires.

Etude fonctionnelle de FP3 de « l'Amplificateur de Guitare » :

- Repérer et caractériser sur le schéma structurel les signaux de FP3.

Etude structurelle de FP3 de « l'Amplificateur de Guitare » :

- Simuler la fonction FS31 et préciser l'influence des composants sur la réponse en fréquence de la structure.
- Calculer la valeur de fréquence de coupure du filtre R7-C5.

Réalisation pratique.

- Réaliser le typon de FP3 et fabriquer FP3 à partir de vos recherches.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement FP3. Fournir les résultats des mesures effectuées lors de l'application de la procédure de test.



Travail groupe 4 :

Travail axé sur l'objet technique « **Accordeur de Guitare Automatique** » plus particulièrement sur la fonction **FP8 et FP9 : commande du Galvanomètre**.

Second travail axé sur l'objet technique « **Amplificateur de Guitare** » plus particulièrement sur la fonction **FP4 : amplification de puissance**.

Etude fonctionnelle de FP8 de « l'Accordeur de Guitare » :

- Repérer, sur chaque schéma structurel, les fonctions secondaires de FP8 caractériser les signaux reliant ces fonctions.
- Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement de FP8.

Etude structurelle de FP8 de « l'Accordeur de Guitare » :

- Analyser la documentation technique du CNA, donner en son principe de fonctionnement.
- Rechercher de la documentation technique sur la constitution d'un galvanomètre
- Choisir les valeurs de résistances R3 et R4 de façon à ce que l'aiguille du galvanomètre évolue d'une position minimale (à gauche) à une position maximale (à droite) lorsque Cg évolue de \$00 à \$FF.

Réalisation pratique.

- Réaliser le typon de FP8 et fabriquer FP8 à partir de votre recherche.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement FP8. Fournir les résultats de vos mesures.

Programmation.

- Réaliser un programme permettant de tester FP8.
- Tracer la courbe de linéarité du convertisseur et faites apparaître les erreurs de précision.

Etude fonctionnelle de FP4 de « l'Amplificateur de Guitare » :

- Repérer sur chaque schéma structurel, les différentes fonctions secondaires de FP4. Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement de FP4.

Etude structurelle de FP4 de « l'Amplificateur de Guitare » :

- Analyser la documentation technique du TDA1514A, donnez en ses caractéristiques.
- Donner les références des composants qui déterminent la valeur de l'amplification.
- Comment est réalisée la limitation en amplitude ?

Réalisation pratique.

- Réaliser le typon de FP4 et fabriquer FP4 à partir de votre recherche.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement FP4. Fournir les résultats de vos mesures.



Travail groupe 5 :

Travail axé sur l'objet technique « **Accordeur de Guitare Automatique** » plus particulièrement sur la fonction **FP11 : commande du HP**.

Second travail axé sur l'objet technique « **Amplificateur de Guitare** » plus particulièrement sur les fonctions **FP1** et **FP2 : préamplificateur et détection de saturation**.

Etude fonctionnelle de FP11 de « l' Accordeur de Guitare » :

- Donner le rôle de FP11, caractériser son entrée et sa sortie.
- Transcrire l'analyse fonctionnelle en chronogrammes décrivant le fonctionnement de FP11.

Etude structurelle de FP11 de « l' Accordeur de Guitare » :

- Proposer un montage simple pour commander le Haut-Parleur de l'accordeur.
- Justifier les valeurs de vos composants.

Réalisation pratique :

- Saisir le schéma structurel de FP11.
- Réaliser le typon de FP11 et fabriquer FP11 à partir de vos recherches.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de FP11.

Programmation :

- Réaliser un programme permettant de générer un « beep » de 1/2s indiquant la fin de l'accord. Produire un algorithme, un ordigramme et un programme.

Etude fonctionnelle de FP1 et FP2 de « l'Amplificateur de Guitare » :

- Repérer sur chaque schéma structurel, les fonctions secondaires de FP1 et FP2.
- Transcrire l'analyse fonctionnelle en chronogrammes.

Etude structurelle de FP1 et FP2 de « l'Amplificateur de Guitare » :

FP1

- Comment est réalisée la protection contre les surcharges ?
- Calculer la fréquence de coupure du filtre R1-C1.
- Simuler la fonction FS13. Donner la réponse en fréquence.
- Calculer l'amplification maximale de FS13 et préciser l'influence de C4 et C3.

FP2

- Déterminer les seuils de basculement des comparateurs
- Donner le rôle des diodes D3 et D4, du réseau R11-C6
- Vérifier si le transistor Q1 est bien saturé.

Réalisation pratique.

- Réaliser sur un même typon FP1 et FP2 et les fabriquer à partir de votre recherche.

Validation expérimentale et mise au point.

- Etablir une procédure de test permettant de valider le fonctionnement FP1 et FP2. Fournir les résultats de vos mesures.



CD4093BM/CD4093BC Quad 2-Input NAND Schmitt Trigger

General Description

The CD4093B consists of four Schmitt-trigger circuits. Each circuit functions as a 2-input NAND gate with Schmitt-trigger action on both inputs. The gate switches at different points for positive and negative-going signals. The difference between the positive (V_{T+}) and the negative voltage (V_{T-}) is defined as hysteresis voltage (V_H).

All outputs have equal source and sink currents and conform to standard B-series output drive (see Static Electrical Characteristics).

Features

- Wide supply voltage range 3.0V to 15V
- Schmitt-trigger on each input with no external components
- Noise immunity greater than 50%

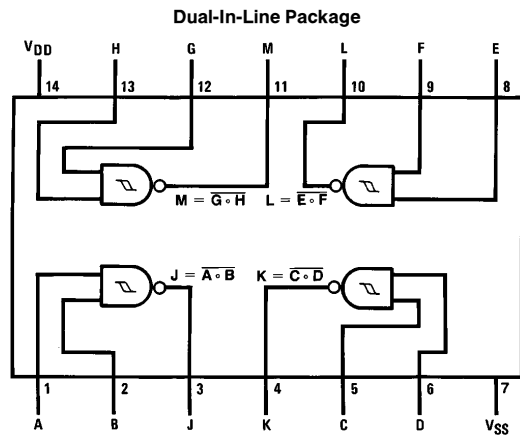
- Equal source and sink currents
- No limit on input rise and fall time
- Standard B-series output drive
- Hysteresis voltage (any input) $T_A = 25^\circ\text{C}$

Typical	$V_{DD} = 5.0\text{V}$	$V_H = 1.5\text{V}$
	$V_{DD} = 10\text{V}$	$V_H = 2.2\text{V}$
	$V_{DD} = 15\text{V}$	$V_H = 2.7\text{V}$
Guaranteed		$V_H = 0.1 V_{DD}$

Applications

- Wave and pulse shapers
- High-noise-environment systems
- Monostable multivibrators
- Astable multivibrators
- NAND logic

Connection Diagram



TL/F/5982-1

Order Number CD4093B

CD4093BM/CD4093BC Quad 2-Input NAND Schmitt Trigger

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	–0.5 to +18 V_{DC}
Input Voltage (V_{IN})	–0.5 to V_{DD} + 0.5 V_{DC}
Storage Temperature Range (T_S)	–65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4093BM	–55°C to +125°C
CD4093BC	–40°C to +85°C

DC Electrical Characteristics CD4093BM (Note 2)

Symbol	Parameter	Conditions	–55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$		0.25			0.25		7.5	μA
		$V_{DD} = 10V$		0.5			0.5		15.0	μA
		$V_{DD} = 15V$		1.0			1.0		30.0	μA
V_{OL}	Low Level Output Voltage	$V_{IN} = V_{DD}, I_O < 1 \mu A$								
		$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
		$V_{DD} = 15V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$V_{IN} = V_{SS}, I_O < 1 \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
		$V_{DD} = 15V$	14.95		14.95	15		14.95		V
V_{T^-}	Negative-Going Threshold Voltage (Any Input)	$ I_O < 1 \mu A$								
		$V_{DD} = 5V, V_O = 4.5V$	1.3	2.25	1.5	1.8	2.25	1.5	2.3	V
		$V_{DD} = 10V, V_O = 9V$	2.85	4.5	3.0	4.1	4.5	3.0	4.65	V
		$V_{DD} = 15V, V_O = 13.5V$	4.35	6.75	4.5	6.3	6.75	4.5	6.9	V
V_{T^+}	Positive-Going Threshold Voltage (Any Input)	$ I_O < 1 \mu A$								
		$V_{DD} = 5V, V_O = 0.5V$	2.75	3.65	2.75	3.3	3.5	2.65	3.5	V
		$V_{DD} = 10V, V_O = 1V$	5.5	7.15	5.5	6.2	7.0	5.35	7.0	V
		$V_{DD} = 15V, V_O = 1.5V$	8.25	10.65	8.25	9.0	10.5	8.1	10.5	V
V_H	Hysteresis ($V_{T^+} - V_{T^-}$) (Any Input)	$V_{DD} = 5V$	0.5	2.35	0.5	1.5	2.0	0.35	2.0	V
		$V_{DD} = 10V$	1.0	4.30	1.0	2.2	4.0	0.70	4.0	V
		$V_{DD} = 15V$	1.5	6.30	1.5	2.7	6.0	1.20	6.0	V
I_{OL}	Low Level Output Current (Note 3)	$V_{IN} = V_{DD}$								
		$V_{DD} = 5V, V_O = 0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{IN} = V_{SS}$								
		$V_{DD} = 5V, V_O = 4.6V$	–0.64		0.51	–0.88		–0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	–1.6		–1.3	–2.25		–0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	–4.2		–3.4	–8.8		–2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		–0.1		–10 ^{–5}	–0.1		–1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.1		10 ^{–5}	0.1		1.0	μA

Note 1: “Absolute Maximum Ratings” are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of “Recommended Operating Conditions” and “Electrical Characteristics” provides conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

DC Electrical Characteristics CD4093BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$		1.0 2.0 4.0			1.0 2.0 4.0		7.5 15.0 30.0	μA μA μA
V_{OL}	Low Level Output Voltage	$V_{IN} = V_{DD}, I_O < 1 \mu A$ $V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$		0.05 0.05 0.05		0 0 0	0.05 0.05 0.05		0.05 0.05 0.05	V V V
V_{OH}	High Level Output Voltage	$V_{IN} = V_{SS}, I_O < 1 \mu A$ $V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$	4.95 9.95 14.95		4.95 9.95 14.95	5 10 15		4.95 9.95 14.95		V V V
V_{T-}	Negative-Going Threshold Voltage (Any Input)	$ I_O < 1 \mu A$ $V_{DD} = 5V, V_O = 4.5V$ $V_{DD} = 10V, V_O = 9V$ $V_{DD} = 15V, V_O = 13.5V$	1.3 2.85 4.35	2.25 4.5 6.75	1.5 3.0 4.5	1.8 4.1 6.3	2.25 4.5 6.75	1.5 3.0 4.5	2.3 4.65 6.9	V V V
V_{T+}	Positive-Going Threshold Voltage (Any Input)	$ I_O < 1 \mu A$ $V_{DD} = 5V, V_O = 0.5V$ $V_{DD} = 10V, V_O = 1V$ $V_{DD} = 15V, V_O = 1.5V$	2.75 5.5 8.25	3.6 7.15 10.65	2.75 5.5 8.25	3.3 6.2 9.0	3.5 7.0 10.5	2.65 5.35 8.1	3.5 7.0 10.5	V V V
V_H	Hysteresis ($V_{T+} - V_{T-}$) (Any Input)	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$	0.5 1.0 1.5	2.35 4.3 6.3	0.5 1.0 1.5	1.5 2.2 2.7	2.0 4.0 6.0	0.35 0.70 1.20	2.0 4.0 6.0	V V V
I_{OL}	Low Level Output Current (Note 3)	$V_{IN} = V_{DD}$ $V_{DD} = 5V, V_O = 0.4V$ $V_{DD} = 10V, V_O = 0.5V$ $V_{DD} = 15V, V_O = 1.5V$	0.52 1.3 3.6		0.44 1.1 3.0	0.88 2.25 8.8		0.36 0.9 2.4		mA mA mA
I_{OH}	High Level Output Current (Note 3)	$V_{IN} = V_{SS}$ $V_{DD} = 5V, V_O = 4.6V$ $V_{DD} = 10V, V_O = 9.5V$ $V_{DD} = 15V, V_O = 13.5V$	−0.52 −1.3 −3.6		0.44 −1.1 −3.0	−0.88 −2.25 −8.8		−0.36 −0.9 −2.4		mA mA mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$ $V_{DD} = 15V, V_{IN} = 15V$		−0.3 0.3		-10^{-5} 10^{-5}	−0.3 0.3		−1.0 1.0	μA μA

AC Electrical Characteristics*

$T_A = 25^\circ C$, $C_L = 50$ pF, $R_L = 200k$, Input t_r , $t_f = 20$ ns, unless otherwise specified

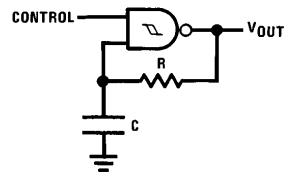
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$		300 120 80	450 210 160	ns ns ns
t_{THL}, t_{TLH}	Transition Time	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$		90 50 40	145 75 60	ns ns ns
C_{IN}	Input Capacitance	(Any Input)		5.0	7.5	pF
C_{PD}	Power Dissipation Capacitance	(Per Gate)		24		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

Typical Applications



Assume $t_1 + t_2 \gg t_{pHL} + t_{pLH}$ then:

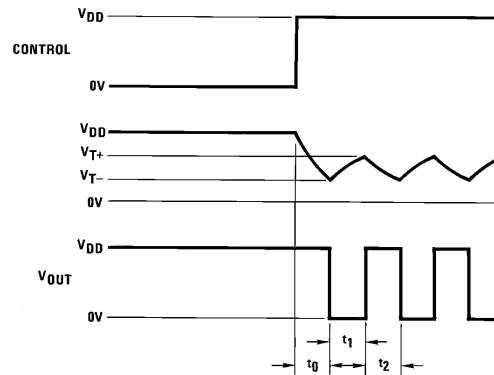
$$t_0 = RC \ln [V_{DD}/V_{T-}]$$

$$t_1 = RC \ln [(V_{DD} - V_{T-})/(V_{DD} - V_{T+})]$$

$$t_2 = RC \ln [V_{T+}/V_{T-}]$$

$$f = \frac{1}{t_1 + t_2} = \frac{1}{RC \ln \frac{(V_{T+})(V_{DD} - V_{T-})}{(V_{T-})(V_{DD} - V_{T+})}}$$

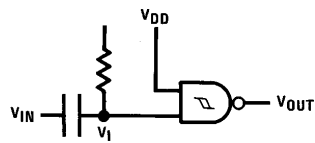
Gated Oscillator



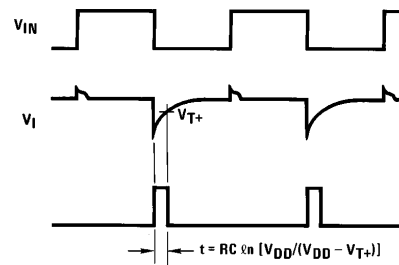
TL/F/5982-2

TL/F/5982-3

Gated One-Shot

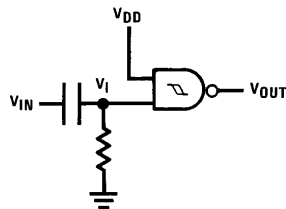


TL/F/5982-4

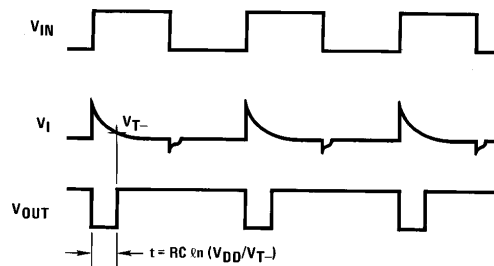


TL/F/5982-5

(a) Negative-Edge Triggered



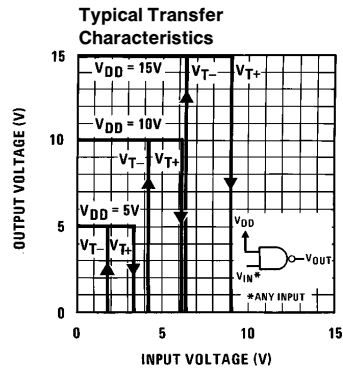
TL/F/5982-6



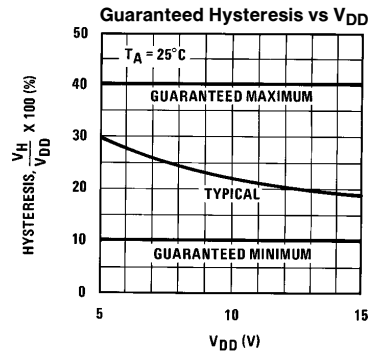
TL/F/5982-7

(b) Positive-Edge Triggered

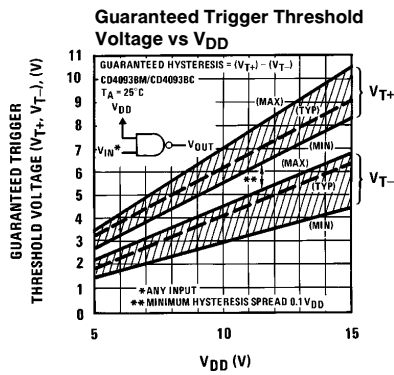
Typical Performance Characteristics



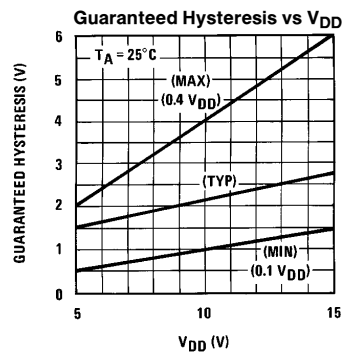
TL/F/5982-8



TL/F/5982-9

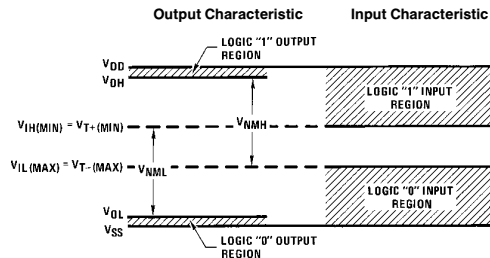
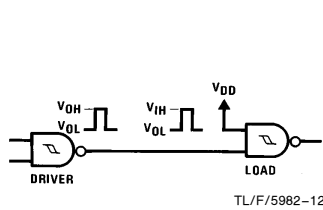


TL/F/5982-10



TL/F/5982-11

Input and Output Characteristics

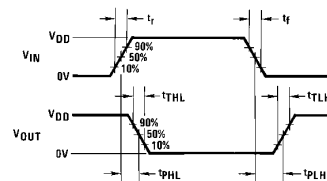
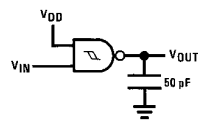


TL/F/5982-13

$$V_{NML} = V_{IH(MIN)} - V_{OL} \approx V_{IH(MIN)} = V_{T+ (MIN)}$$

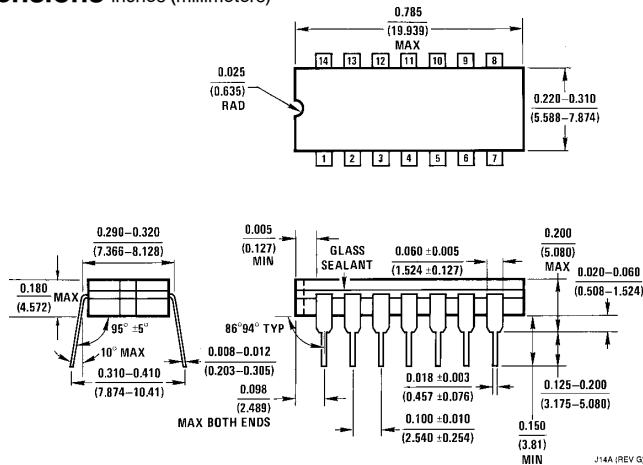
$$V_{NMH} = V_{OH} - V_{IL(MAX)} \approx V_{DD} - V_{IL(MAX)} = V_{DD} - V_{T- (MAX)}$$

AC Test Circuits and Switching Time Waveforms

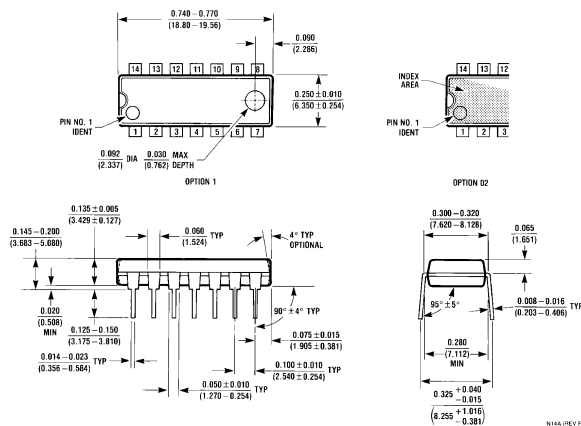


TL/F/5982-15

Physical Dimensions inches (millimeters)



Ceramic Dual-In-Line Package (J)
Order Number CD4093BMJ or CD4093BCJ
NS Package Number J14A



Molded Dual-In-Line Package (N)
Order Number CD4093BM or CD4093BCN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 1111 West Bardin Road
 Arlington, TX 76017
 Tel: 1(800) 272-9959
 Fax: 1(800) 737-7018

National Semiconductor Europe
 Fax: (+49) 0-180-530 85 86
 Email: cnjwge@tevm2.nsc.com
 Deutsch Tel: (+49) 0-180-530 85 85
 English Tel: (+49) 0-180-532 78 32
 Français Tel: (+49) 0-180-532 93 58
 Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
 19th Floor, Straight Block,
 Ocean Centre, 5 Canton Rd.
 Tsimshatsui, Kowloon
 Hong Kong
 Tel: (852) 2737-1600
 Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
 Tel: 81-043-299-2309
 Fax: 81-043-299-2408

SN5407, SN5417, SN7407, SN7417 HEX BUFFERS/DRIVERS WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

SDLS032G – DECEMBER 1983 – REVISED MAY 2004

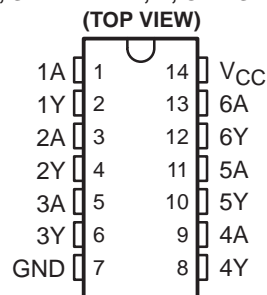
- Convert TTL Voltage Levels to MOS Levels
- High Sink-Current Capability
- Input Clamping Diodes Simplify System Design
- Open-Collector Driver for Indicator Lamps and Relays
- Inputs Fully Compatible With Most TTL Circuits

description/ordering information

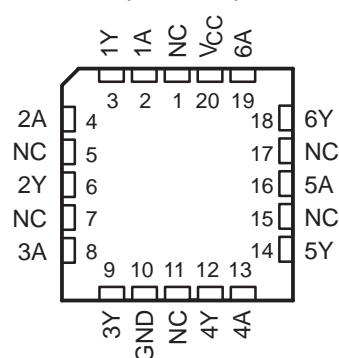
These TTL hex buffers/drivers feature high-voltage open-collector outputs for interfacing with high-level circuits (such as MOS) or for driving high-current loads (such as lamps or relays) and also are characterized for use as buffers for driving TTL inputs. The SN5407 and SN7407 have minimum breakdown voltages of 30 V, and the SN5417 and SN7417 have minimum breakdown voltages of 15 V. The maximum sink current is 30 mA for the SN5407 and SN5417 and 40 mA for the SN7407 and SN7417.

These devices perform the Boolean function $Y = A$ in positive logic.

SN5407, SN5417 . . . J OR W PACKAGE
SN7407, SN7417 . . . D, N, OR NS PACKAGE



SN5407 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

ORDERING INFORMATION

T _A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	SOIC – D	Tube	SN7407D	7407
		Tape and reel	SN7407DR	
		Tube	SN7417D	7417
		Tape and reel	SN7417DR	
	PDIP – N	Tube	SN7407N	SN7407N
			SN7417N	SN7417N
–55°C to 125°C	SOP – NS	Tape and reel	SN7407NSR	SN7407
			SN7417NSR	SN7417
	CDIP – J	Tube	SNJ5407J	SNJ5407J
			SNJ5417J	SNJ5417J
	CFP – W	Tube	SNJ5407W	SNJ5407W
			SNJ5407FK	SNJ5407FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2004, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

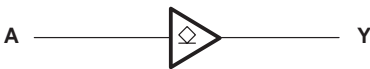
SN5407, SN5417, SN7407, SN7417
HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

SDLS032G – DECEMBER 1983 – REVISED MAY 2004

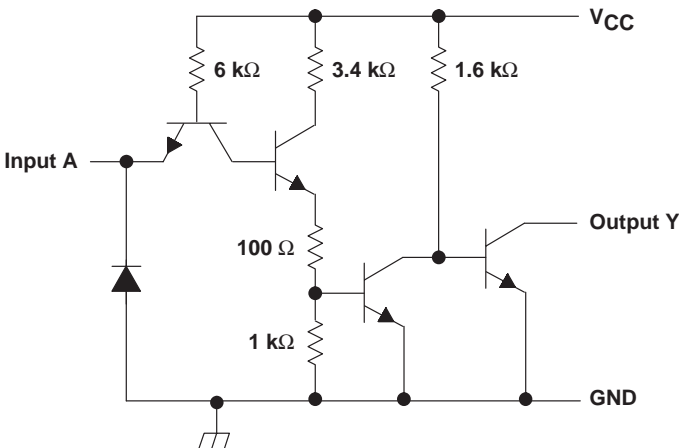
description/ordering information (continued)

These circuits are completely compatible with most TTL families. Inputs are diode clamped to minimize transmission-line effects, which simplifies design. Typical power dissipation is 145 mW, and average propagation delay time is 14 ns.

logic diagram, each buffer/driver (positive logic)



schematic



Resistor values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC}	7 V
Input voltage, V_I (see Note 1)	5.5 V
Output voltage, V_O (see Notes 1 and 2): SN5407, SN7407	30 V
SN5417, SN7417	15 V
Package thermal impedance, θ_{JA} (see Note 3): D package	86°C/W
N package	80°C/W
NS package	76°C/W
Storage temperature range, T_{stg}	–65°C to 150°C

† Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES:
1. All voltage values are with respect to GND.
 2. This is the maximum voltage that should be applied to any output when it is in the off state.
 3. The package thermal impedance is calculated in accordance with JESD 51-7.

SN5407, SN5417, SN7407, SN7417
HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS
SDLS032G – DECEMBER 1983 – REVISED MAY 2004

recommended operating conditions (see Note 4)

		MIN	NOM	MAX	UNIT
V_{CC} Supply voltage	SN5407, SN5417	4.5	5	5.5	V
	SN7407, SN7417	4.75	5	5.25	
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_{OH} High-level output voltage	SN5407, SN7407			30	V
	SN5417, SN7417			15	
I_{OL} Low-level output current	SN5407, SN5417			30	mA
	SN7407, SN7417			40	
T_A Operating free-air temperature	SN5407, SN5417	–55		125	°C
	SN7407, SN7417	0		70	

NOTE 4: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IK}	$V_{CC} = \text{MIN}$,	$I_I = -12 \text{ mA}$			–1.5	V
I_{OH}	$V_{CC} = \text{MIN}$,	$V_{IH} = 2 \text{ V}$	$V_{OH} = 30 \text{ V}$ (SN5407, SN7407)		0.25	mA
			$V_{OH} = 15 \text{ V}$ (SN5417, SN7417)		0.25	
V_{OL}	$V_{CC} = \text{MIN}$,	$V_{IL} = 0.8 \text{ V}$	$I_{OL} = 16 \text{ mA}$		0.4	V
			$I_{OL} = 30 \text{ mA}$ (SN5407, SN5417)		0.7	
			$I_{OL} = 40 \text{ mA}$ (SN7407, SN7417)		0.7	
I_I	$V_{CC} = \text{MAX}$,	$V_I = 5.5 \text{ V}$			1	mA
I_{IH}	$V_{CC} = \text{MAX}$,	$V_{IH} = 2.4 \text{ V}$			40	μA
I_{IL}	$V_{CC} = \text{MAX}$,	$V_{IL} = 0.4 \text{ V}$			–1.6	mA
I_{CCH}	$V_{CC} = \text{MAX}$			29	41	mA
I_{CCL}	$V_{CC} = \text{MAX}$			21	30	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	A	Y	R _L = 110 Ω, C _L = 15 pF	6	10	ns	
t _{PHL}				20	30		
t _{PLH}	A	Y	R _L = 150 Ω, C _L = 50 pF		15	ns	
t _{PHL}					26		

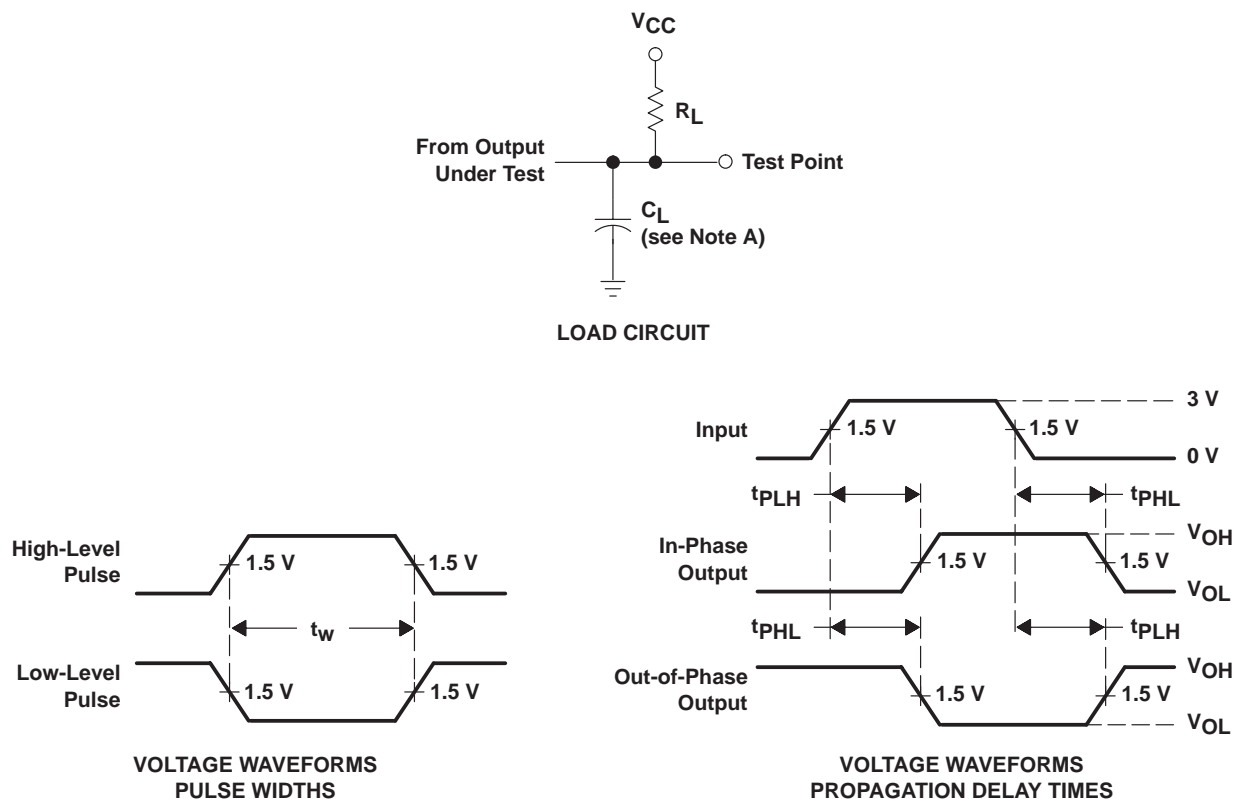
SN5407, SN5417, SN7407, SN7417

HEX BUFFERS/DRIVERS

WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

SDLS032G – DECEMBER 1983 – REVISED MAY 2004

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. C_L includes probe and jig capacitance.
 B. In the examples above, the phase relationships between inputs and outputs have been chosen arbitrarily.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1$ MHz, $Z_O = 50 \Omega$, $t_r \leq 7$ ns, $t_f \leq 7$ ns.
 D. The outputs are measured one at a time, with one input transition per measurement.

Figure 1. Load Circuit and Voltage Waveforms

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

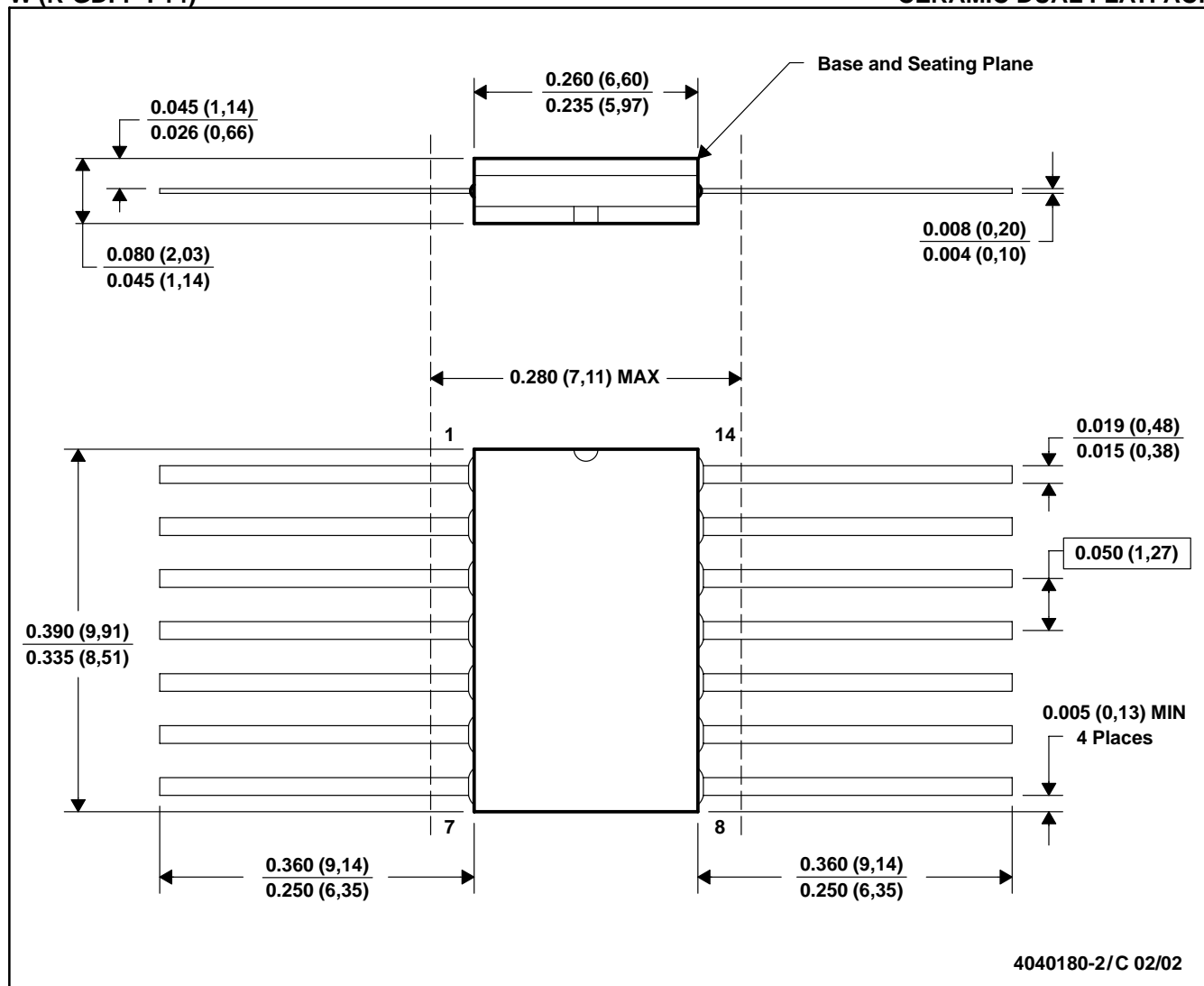


4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package can be hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only.
 - E. Falls within MIL STD 1835 GDFP1-F14 and JEDEC MO-092AB

FK (S-CQCC-N**)

LEADLESS CERAMIC CHIP CARRIER

28 TERMINAL SHOWN



- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a metal lid.
 - The terminals are gold plated.
 - Falls within JEDEC MS-004

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - D The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE



4040047-3/F 07/2004

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		Applications	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2004, Texas Instruments Incorporated

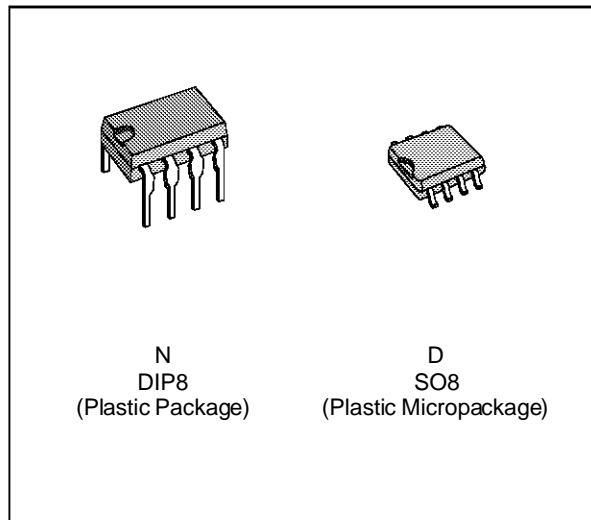


SGS-THOMSON
MICROELECTRONICS

TL072
TL072A - TL072B

LOW NOISE
DUAL J-FET OPERATIONAL AMPLIFIERS

- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- LOW NOISE $e_n = 15\text{nV}/\sqrt{\text{Hz}}$ (typ)
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J-FET INPUT STAGE
- LOW HARMONIC DISTORTION : 0.01% (typ)
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : $16\text{V}/\mu\text{s}$ (typ)



DESCRIPTION

The TL072, TL072A and TL072B are high speed J-FET input dual operational amplifiers incorporating well matched, high voltage J-FET and bipolar transistors in a monolithic integrated circuit.

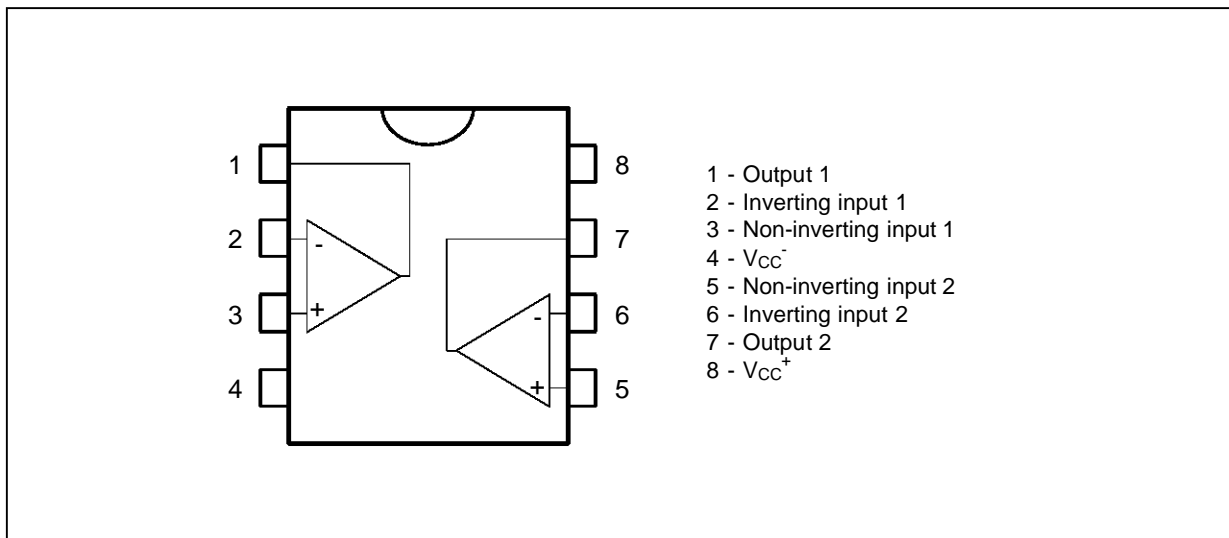
The devices feature high slew rates, low input bias and offset current, and low offset voltage temperature coefficient.

ORDER CODES

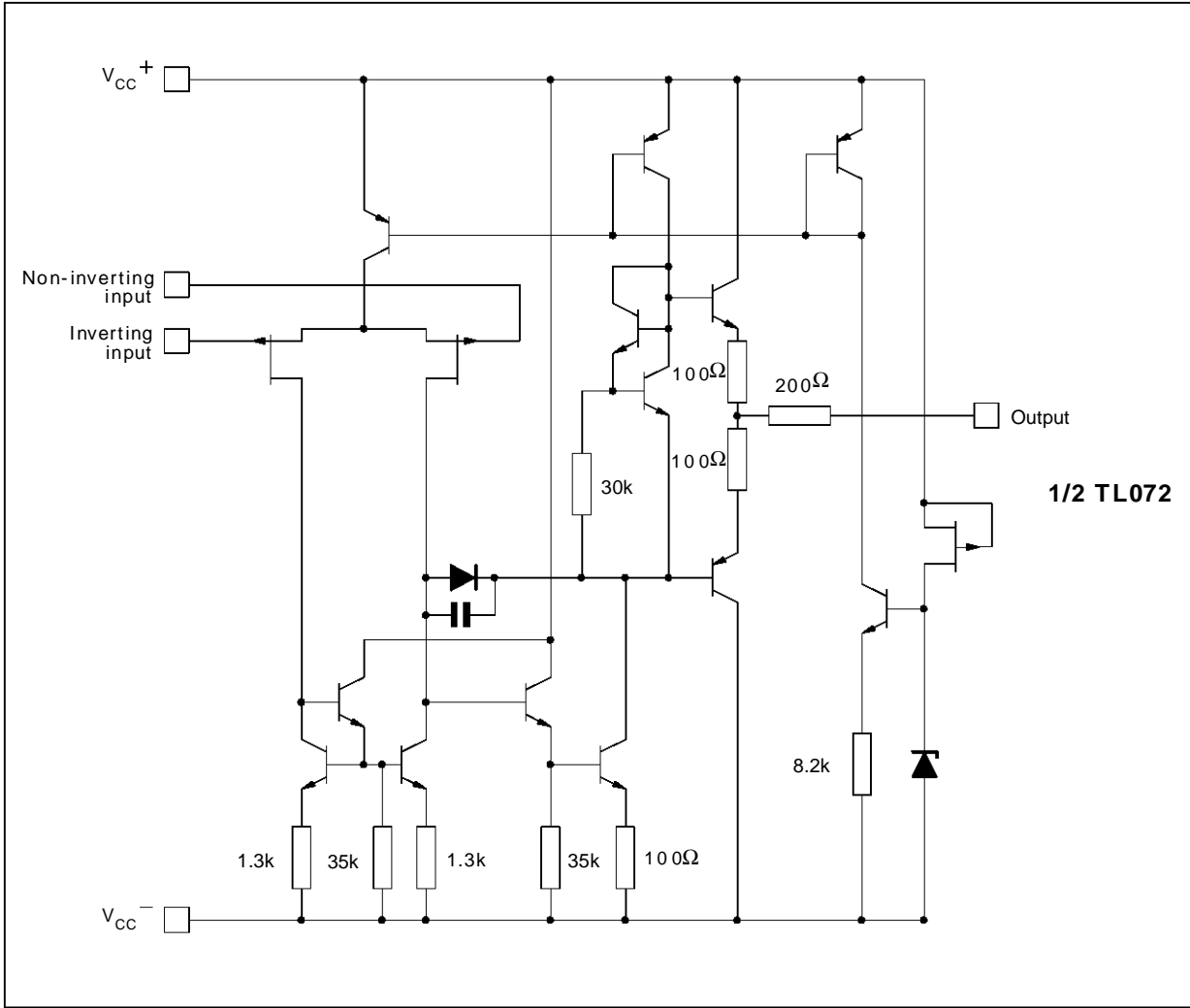
Part Number	Temperature Range	Package	
		N	D
TL072M/AM/BM	-55°C, +125°C	•	•
TL072I/AI/BI	-40°C, +105°C	•	•
TL072C/AC/BC	0°C, +70°C	•	•
Example : TL072CN			

072-01.TBL

PIN CONNECTIONS (top view)



SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V _{CC}	Supply Voltage - (note 1)	±18	V
V _i	Input Voltage - (note 3)	±15	V
V _{id}	Differential Input Voltage - (note 2)	±30	V
P _{tot}	Power Dissipation	680	mW
	Output Short-circuit Duration - (note 4)	Infinite	
T _{oper}	Operating Free Air Temperature Range	TL072C,AC,BC TL072I,AI,BI TL072M,AM,BM 0 to 70 -40 to 105 -55 to 125	°C
T _{stg}	Storage Temperature Range	-65 to 150	°C

Notes :

1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC}⁺ and V_{CC}⁻.
2. Differential voltages are at the non-inverting input terminal with respect to the inverting input terminal.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and /or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

ELECTRICAL CHARACTERISTICS

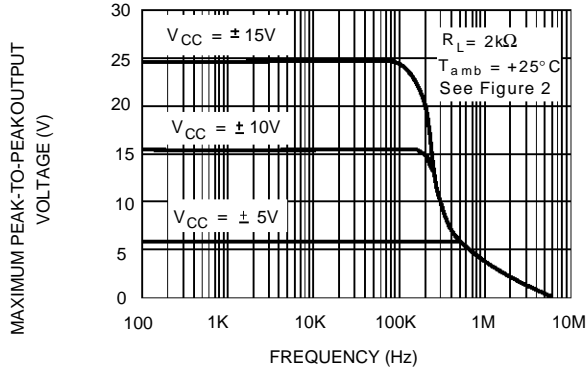
$V_{CC} = \pm 15V$, $T_{amb} = 25^{\circ}C$ (unless otherwise specified)

Symbol	Parameter	TL072I,M,AC,AI, AM,BC,BI,BM			TL072C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
V_{io}	Input Offset Voltage ($R_S = 50\Omega$) $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$ TL072BC,BI,BM TL072BC,BI,BM		3 1	6 3 7 5		3	10 13	mV
DV_{io}	Input Offset Voltage Drift		10			10		$\mu V/^{\circ}C$
I_{io}	Input Offset Current * $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$		5	100 4		5	100 10	pA nA
I_{ib}	Input Bias Current * $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$		20	200 20		20	200 20	pA nA
A_{vd}	Large Signal Voltage Gain ($R_L = 2k\Omega$, $V_O = \pm 10V$) $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$	50 25	200		25 15	200		V/mV
SVR	Supply Voltage Rejection Ratio ($R_S = 50\Omega$) $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$	80 80	86		70 70	86		dB
I_{CC}	Supply Current, per Amp, no Load $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$		1.4	2.5 2.5		1.4	2.5 2.5	mA
V_{icm}	Input Common Mode Voltage Range	± 11	+15 -12		± 11	+15 -12		V
CMR	Common Mode Rejection Ratio ($R_S = 50\Omega$) $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$	80 80	86		70 70	86		dB
I_{os}	Output Short-circuit Current $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$	10 10	40	60 60	10 10	40	60 60	mA
$\pm V_{OPP}$	Output Voltage Swing $T_{amb} = 25^{\circ}C$ $T_{min.} \leq T_{amb} \leq T_{max.}$ $R_L = 2k\Omega$ $R_L = 10k\Omega$ $R_L = 2k\Omega$ $R_L = 10k\Omega$	10 12 10 12	12 13.5		10 12 10 12	12 13.5		V
SR	Slew Rate ($V_{in} = 10V$, $R_L = 2k\Omega$, $C_L = 100pF$, $T_{amb} = 25^{\circ}C$, unity gain)	8	16		8	16		V/ μs
t_r	Rise Time ($V_{in} = 20mV$, $R_L = 2k\Omega$, $C_L = 100pF$, $T_{amb} = 25^{\circ}C$, unity gain)		0.1			0.1		μs
KOV	Overshoot ($V_{in} = 20mV$, $R_L = 2k\Omega$, $C_L = 100pF$, $T_{amb} = 25^{\circ}C$, unity gain)		10			10		%
GBP	Gain Bandwidth Product ($f = 100kHz$, $T_{amb} = 25^{\circ}C$, $V_{in} = 10mV$, $R_L = 2k\Omega$, $C_L = 100pF$)	2.5	4		2.5	4		MHz
R_i	Input Resistance		10^{12}			10^{12}		Ω
THD	Total Harmonic Distortion ($f = 1kHz$, $A_V = 20dB$, $R_L = 2k\Omega$, $C_L = 100pF$, $T_{amb} = 25^{\circ}C$, $V_O = 2V_{PP}$)		0.01			0.01		%
e_n	Equivalent Input Noise Voltage ($f = 1kHz$, $R_S = 100\Omega$)		15			15		$\frac{nV}{\sqrt{Hz}}$
ϕ_m	Phase Margin		45			45		Degrees
V_{O1}/V_{O2}	Channel Separation ($A_V = 100$)		120			120		dB

* The input bias currents are junction leakage currents which approximately double for every $10^{\circ}C$ increase in the junction temperature.

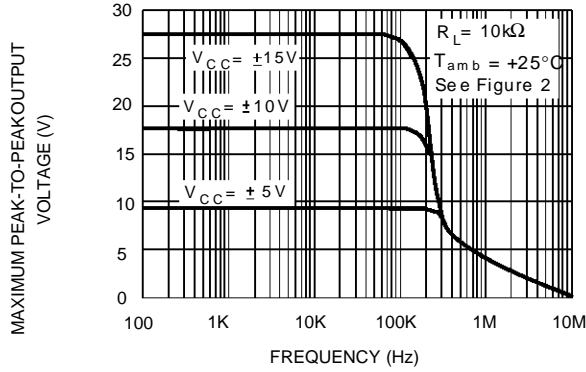
072-03.TBL

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS FREQUENCY



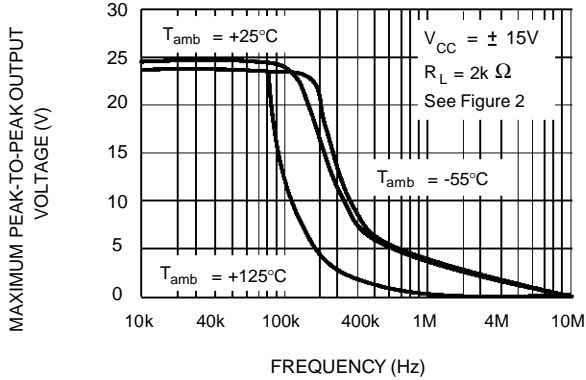
072-04.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS FREQUENCY



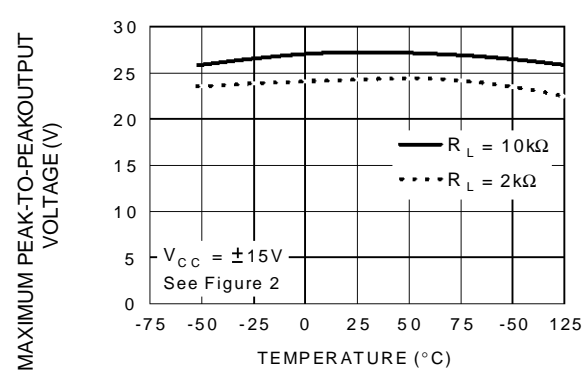
072-05.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS FREQUENCY



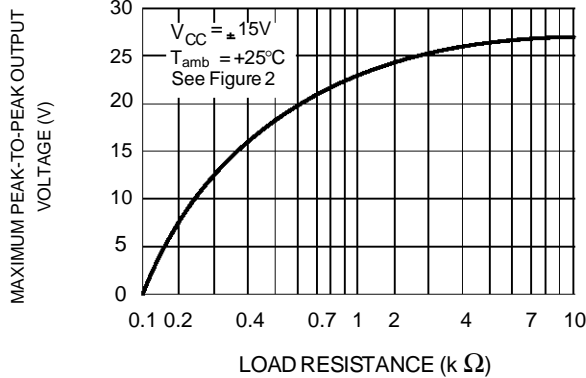
072-06.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS FREE AIR TEMP.



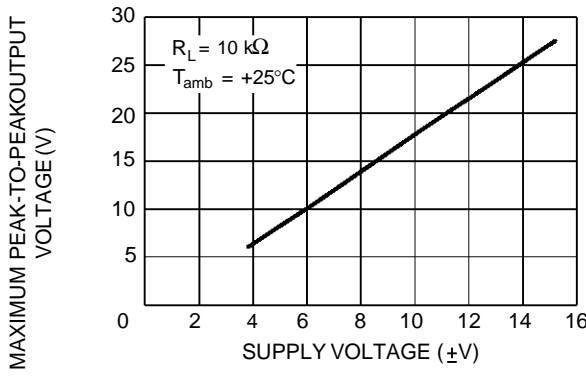
072-07.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS LOAD RESISTANCE



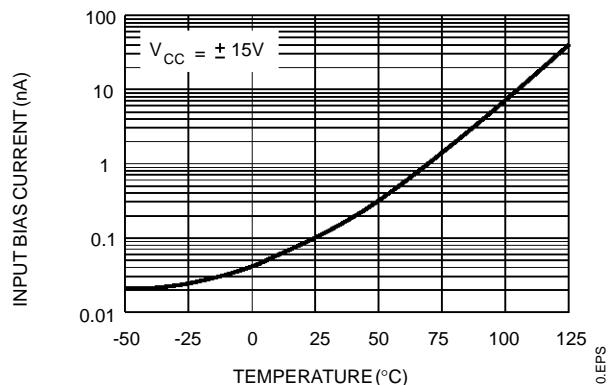
072-08.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT
VOLTAGE VERSUS SUPPLY VOLTAGE

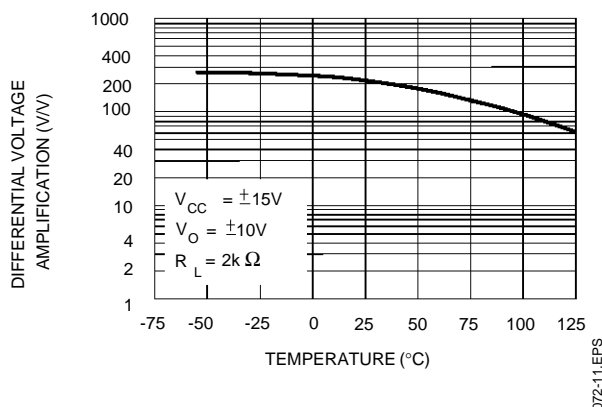


072-09.EPS

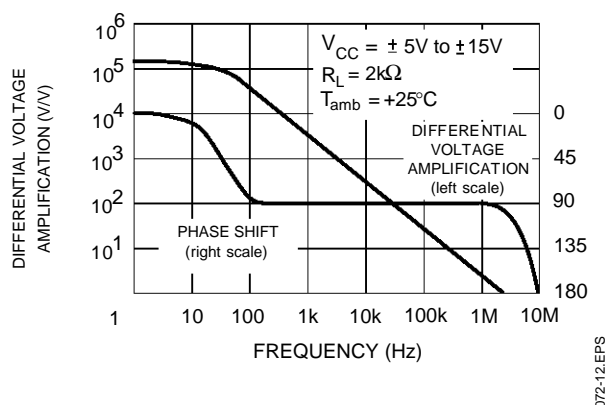
**INPUT BIAS CURRENT VERSUS
FREE AIR TEMPERATURE**



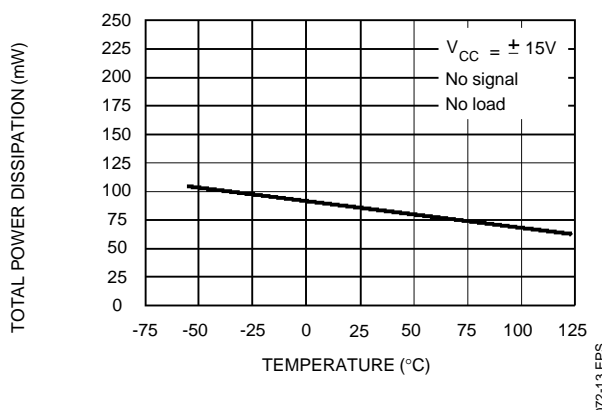
**LARGE SIGNAL DIFFERENTIAL
VOLTAGE AMPLIFICATION VERSUS
FREE AIR TEMPERATURE**



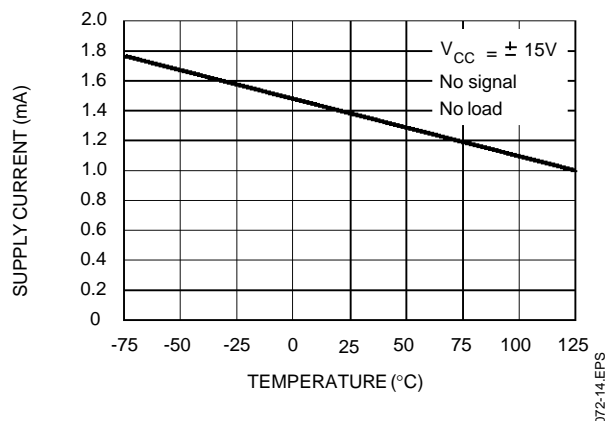
**LARGE SIGNAL DIFFERENTIAL
VOLTAGE AMPLIFICATION AND PHASE
SHIFT VERSUS FREQUENCY**



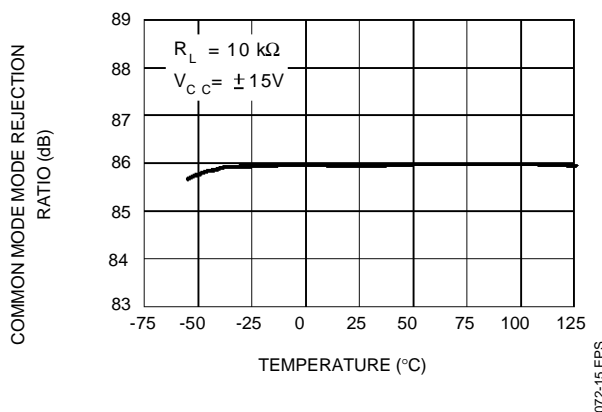
**TOTAL POWER DISSIPATION VERSUS
FREE AIR TEMPERATURE**



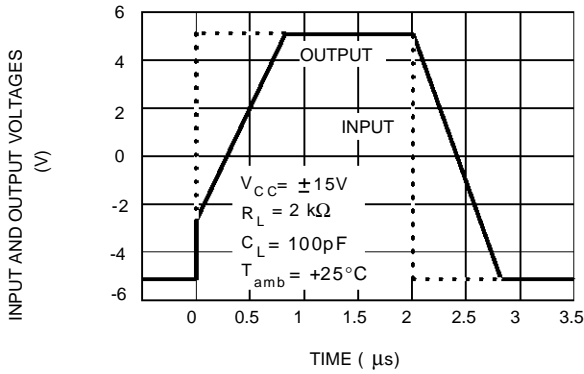
**SUPPLY CURRENT PER AMPLIFIER
VERSUS FREE AIR TEMPERATURE**



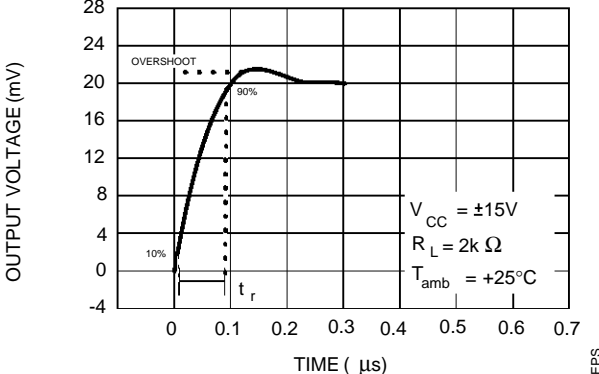
**COMMON MODE REJECTION RATIO
VERSUS FREE AIR TEMPERATURE**



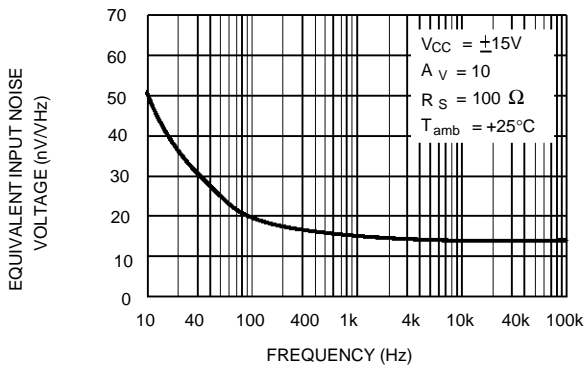
VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



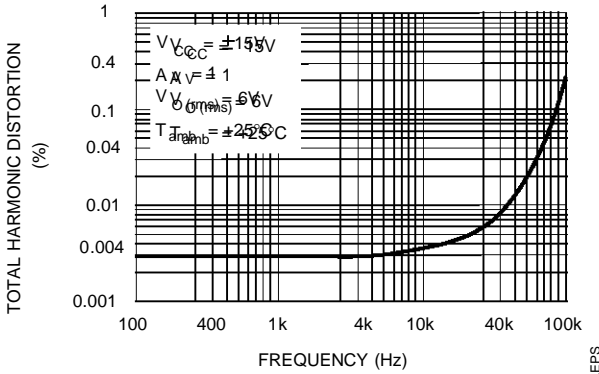
OUTPUT VOLTAGE VERSUS ELAPSED TIME



EQUIVALENT INPUT NOISE VOLTAGE VERSUS FREQUENCY



TOTAL HARMONIC DISTORTION VERSUS FREQUENCY



PARAMETER MEASUREMENT INFORMATION

Figure 1 : Voltage Follower

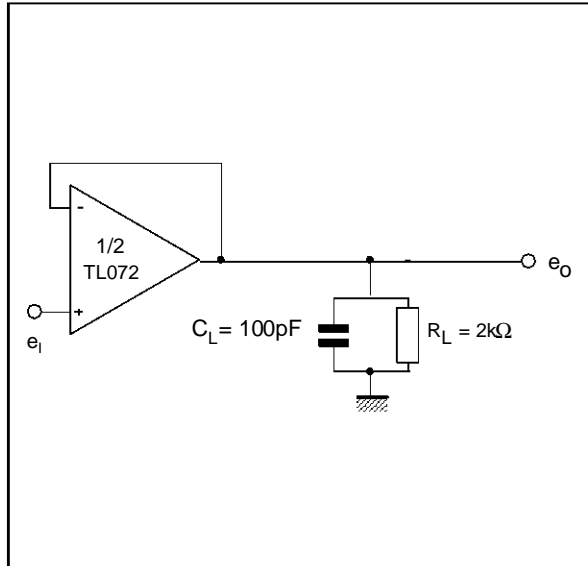
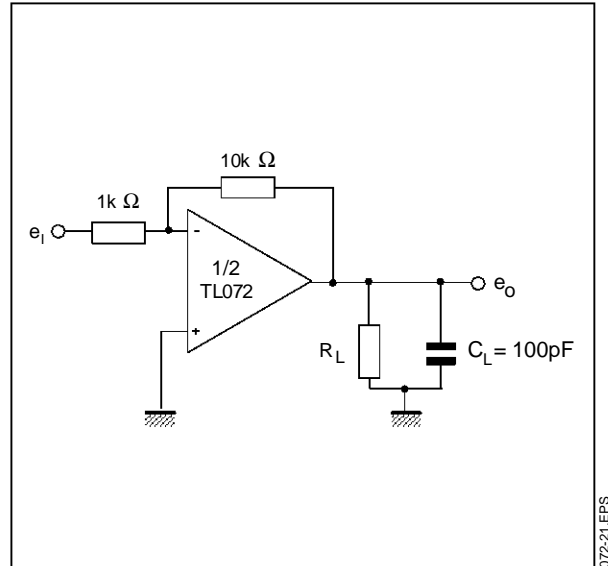
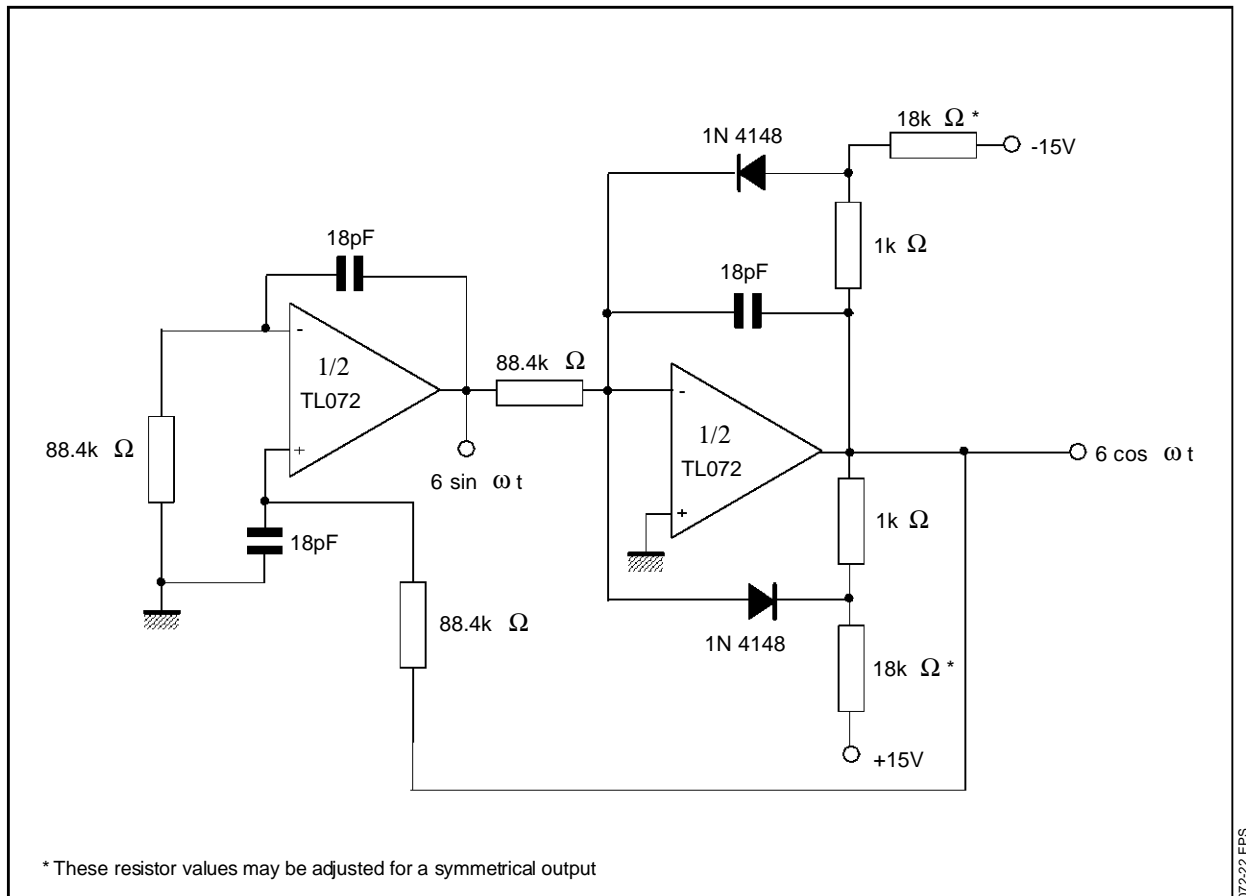


Figure 2 : Gain-of-10 Inverting Amplifier



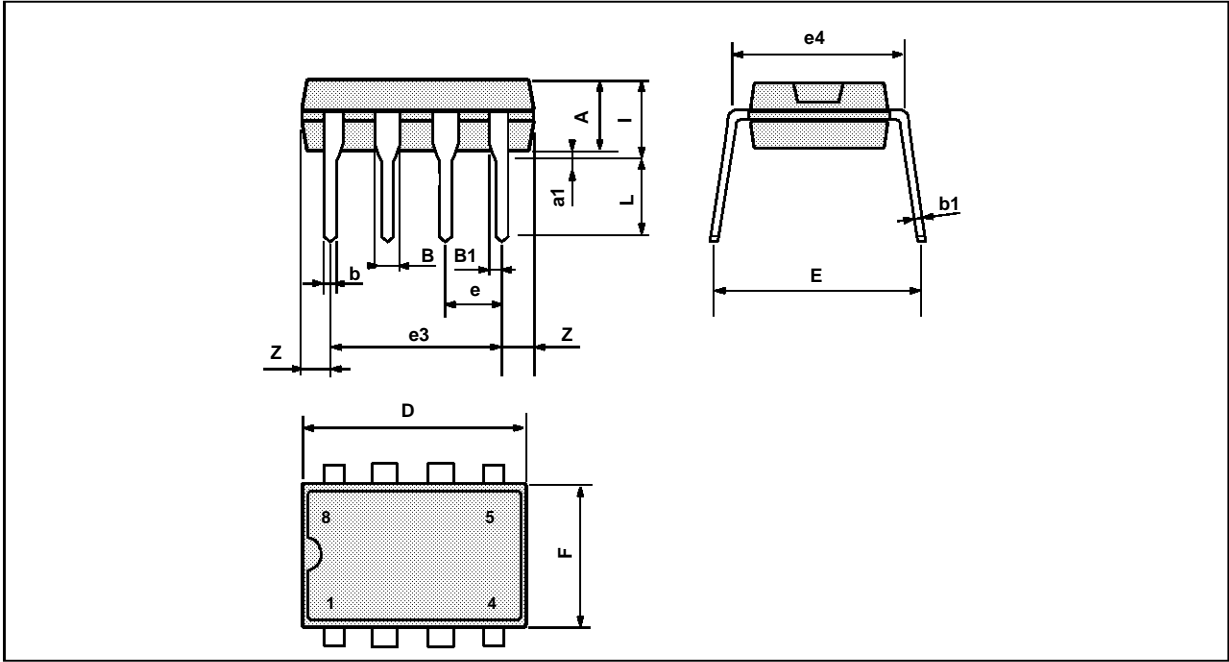
TYPICAL APPLICATION

100KHz QUADRUPLE OSCILLATOR



TL072 - TL072A - TL072B

PACKAGE MECHANICAL DATA
8 PINS - PLASTIC DIP

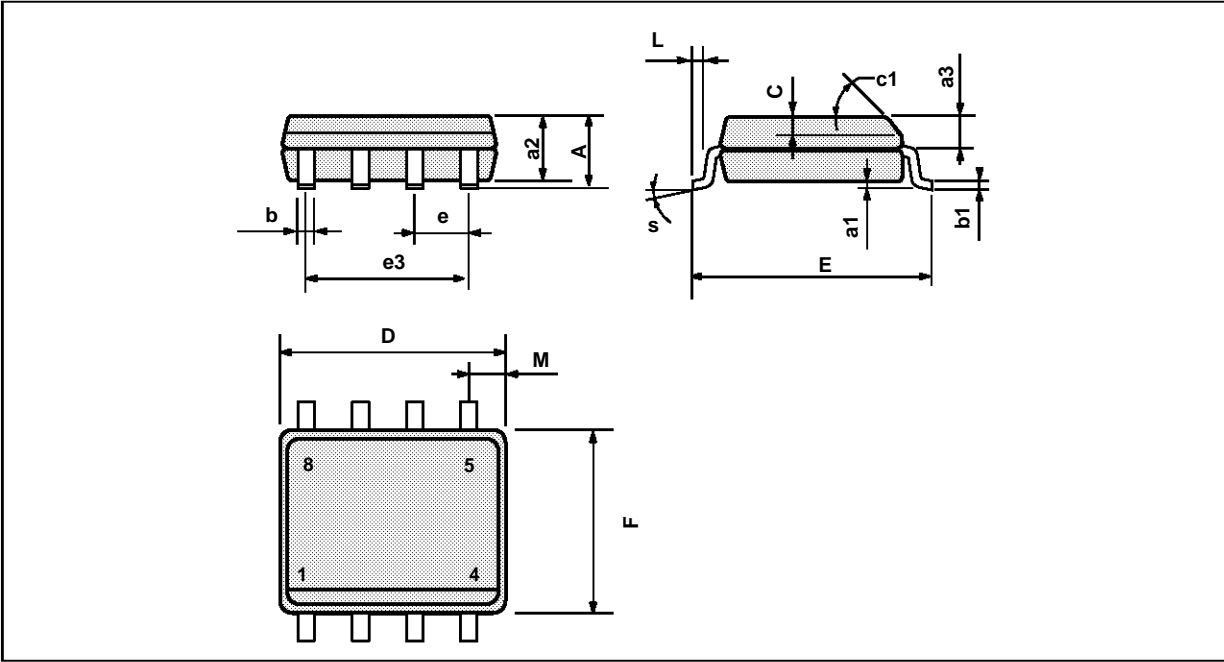


PM-DIP8.EPS

Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A		3.32			0.131	
a1	0.51			0.020		
B	1.15		1.65	0.045		0.065
b	0.356		0.55	0.014		0.022
b1	0.204		0.304	0.008		0.012
D			10.92			0.430
E	7.95		9.75	0.313		0.384
e		2.54			0.100	
e3		7.62			0.300	
e4		7.62			0.300	
F			6.6			0.260
i			5.08			0.200
L	3.18		3.81	0.125		0.150
Z			1.52			0.060

DIP8.TBL

PACKAGE MECHANICAL DATA
8 PINS - PLASTIC MICROPACKAGE (SO)



Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.75			0.069
a1	0.1		0.25	0.004		0.010
a2			1.65			0.065
a3	0.65		0.85	0.026		0.033
b	0.35		0.48	0.014		0.019
b1	0.19		0.25	0.007		0.010
C	0.25		0.5	0.010		0.020
c1	45° (typ.)					
D	4.8		5.0	0.189		0.197
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		3.81			0.150	
F	3.8		4.0	0.150		0.157
L	0.4		1.27	0.016		0.050
M			0.6			0.024
S	8° (max.)					

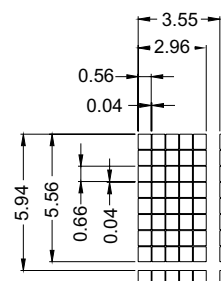
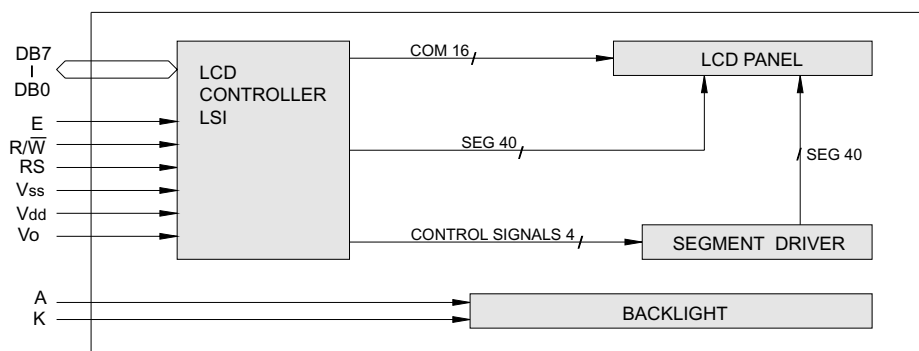
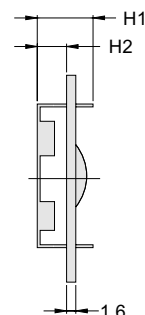
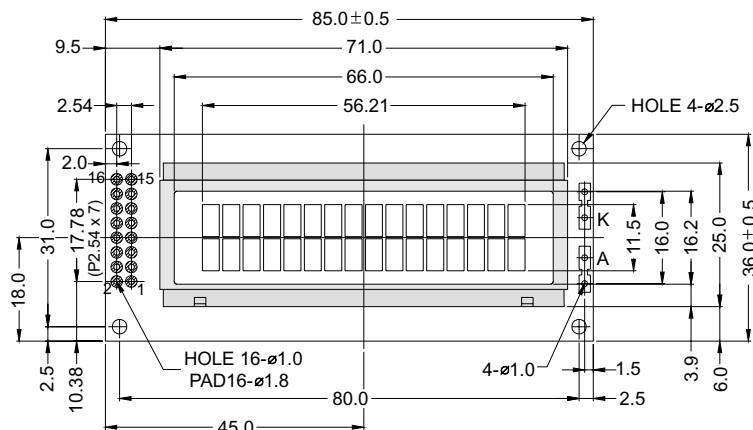
Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No licence is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1995 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES
Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands
Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.



OUTLINE DIMENSION & BLOCK DIAGRAM



The tolerance unless classified $\pm 0.3\text{mm}$

MECHANICAL SPECIFICATION

Overall Size	85.0 x 36.0	Module	H2 / H1
View Area	66.0 x 16.2	W / O B/L	5.1 / 9.7
Dot Size	0.56 x 0.66	EL B/L	5.1 / 9.7
Dot Pitch	0.60 x 0.70	LED B/L	9.4 / 14.0

PIN ASSIGNMENT

Pin no.	Symbol	Function
1	Vss	Power supply(GND)
2	Vdd	Power supply(+)
3	Vo	Contrast Adjust
4	RS	Register select signal
5	R/W	Data read / write
6	E	Enable signal
7	DB0	Data bus line
8	DB1	Data bus line
9	DB2	Data bus line
10	DB3	Data bus line
11	DB4	Data bus line
12	DB5	Data bus line
13	DB6	Data bus line
14	DB7	Data bus line
15	A	Power supply for LED B/L (+)
16	K	Power supply for LED B/L (-)

ABSOLUTE MAXIMUM RATING

Item	Symbol	Condition	Min.	Max.	Units
Supply for logic voltage	Vdd-Vss	25°C	-0.3	7	V
LCD driving supply voltage	Vdd-Vee	25°C	-0.3	13	V
Input voltage	Vin	25°C	-0.3	Vdd+0.3	V

ELECTRICAL CHARACTERISTICS

Item	Symbol	Condition	Min.	Typical	Max.	Units
Power supply voltage	Vdd-Vss	25°C	2.7	—	5.5	V
LCD operation voltage	Vop	Top	N	W	N	W
		-20°C	—	7.1	—	7.9
		0°C	4.5	—	4.8	—
		25°C	4.1	6.1	4.4	6.4
		50°C	3.8	—	4.1	—
		70°C	—	5.7	—	6.3
LCM current consumption (No B/L)	Idd	Vdd=5V	—	2	3	mA
Backlight current consumption	LED/edge	VB/L=4.2V	—	—	—	mA
	LED/array	VB/L=4.2V	—	120	—	mA

REMARK

LCD option: STN, TN, FSTN

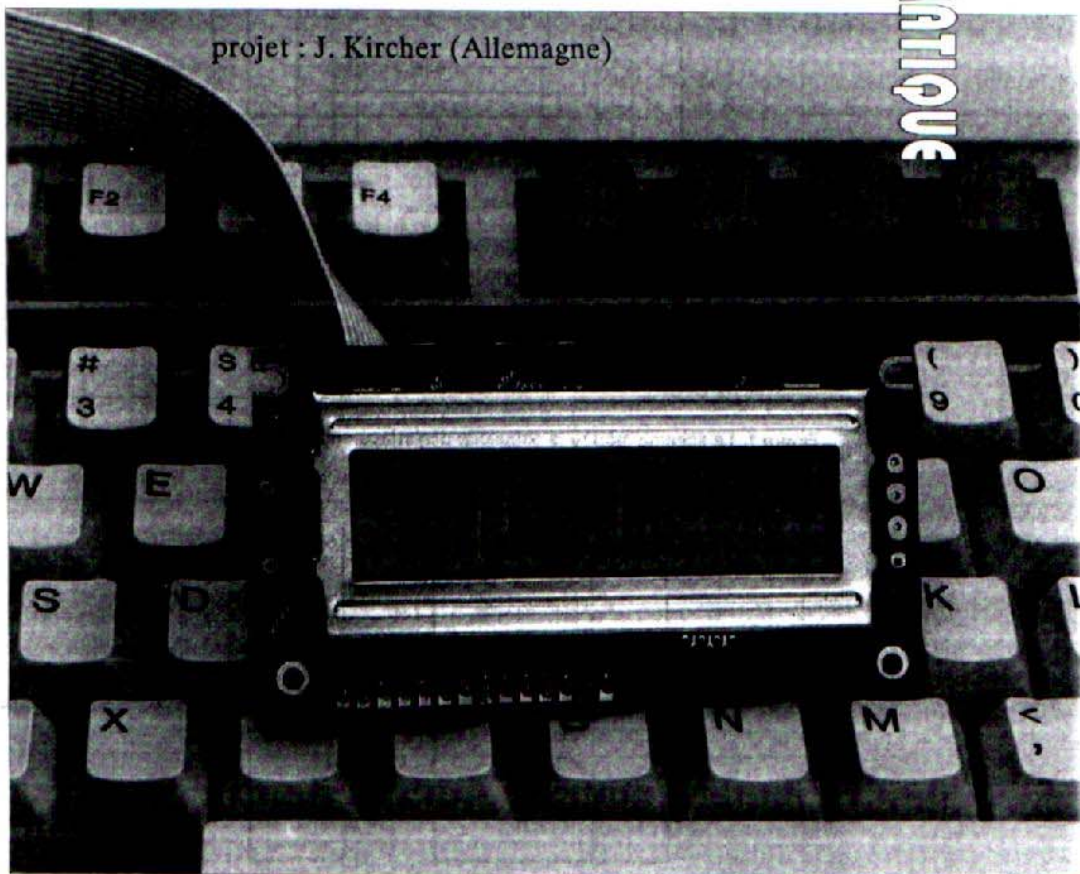
Backlight Option: LED, EL Backlight feature, other Specs not available on catalog is under request.



affichage à cristaux liquides intelligent

fonctionne sur le port d'imprimante

projet : J. Kircher (Allemagne)



Le port d'imprimante d'un ordinateur peut rendre bien d'autres services que le simple pilotage d'une imprimante. En principe, tout élément d'entrée/sortie qui communique par un bus parallèle de huit bits peut se brancher sur ce port. À l'aide de quelques instructions simples, on peut ainsi transmettre des données. C'est précisément ce que nous proposons de faire dans ce montage : relier au port d'imprimante un composant d'entrée/sortie sous la forme d'un écran à cristaux liquides de deux lignes. Comme pratiquement tous les afficheurs LCD utilisent le même contrôleur Hitachi (HD44780A00), leur disponibilité ne pose aucun problème. La programmation peut se faire dans n'importe quel langage (évolué) comme le BASIC ou le C.

Les systèmes à microcontrôleurs ordinaires travaillent, eux aussi, sur un bus de 8 bits, ce qui les rend aptes du même coup à la commande de notre affichage. Raison pour laquelle nous montrerons la façon de le mettre en oeuvre aussi bien à partir d'un PC que d'un Z80 ou d'un 8031.

Le circuit

Comment relier un écran LCD au port d'imprimante d'un PC, c'est ce que montre la figure 1. Les lignes D0...D7 transportent les données. La sélection du registre approprié (le contrôleur de l'affichage dispose de deux registres adaptés à la lecture comme à l'écriture) s'opère par l'entrée RS (*Register Select*). Cette broche est reliée à ligne de commande Init. Comme un port d'imprimante n'est pas (nécessairement) apte à la relecture des données, le choix entre lecture et écriture au moyen du signal R/W est sans objet. On se contente d'écrire sur l'écran, la ligne R/W est donc reliée à la masse. La ligne de sélection du port parallèle vient se connecter sur l'entrée de validation (E comme *Enable*) de l'affichage. C'est le signal qui commute le contrôleur d'écran en mode enregistrement des données. Le potentiomètre P1 permet de régler le contraste de l'afficheur. Quant à la broche portant l'indication « backlighting », elle permet, si on le souhaite, l'éclairage de l'arrière plan.

L'alimentation est d'une lumineuse clarté, elle ramène n'importe quelle tension continue comprise entre 8 et 15 V à une tension bien stable de 5 V. Un adaptateur secteur de modèle usuel, capable de fournir quelque 150 mA fait parfaitement l'affaire. Si on ne désire pas profiter de l'éclairage par l'arrière, on peut se contenter de 50 mA.

Sur de nombreuses applications de microcontrôleur, mais aussi sur des systèmes basés sur un PC, on a souvent besoin d'un petit affichage. Un grand écran graphique serait superflu. Le montage que nous proposons ici est centré sur un affichage à cristaux liquides d'un modèle standard, comportant deux lignes de seize caractères. Juste ce qu'il faut pour passer de petits messages. La commande se fait par le port parallèle habituel, par exemple celui de l'imprimante d'un PC.

Une disquette, disponible aux adresses habituelles, propose des logiciels de commande écrits en QBASIC. Ils illustrent la manière de communiquer avec l'écran.

L'emploi d'un langage de programmation évolué présente des avantages. Un de ceux-ci, aussi étrange que cela puisse paraître, est de s'exécuter plus lentement que le langage machine. Quoique le QBASIC soit déjà plus rapide que le GW-BASIC

ordinaire, du fait que le codage du programme est compilé en objet avant l'exécution. Cette lenteur est bien utile dans le cas de cette application. Lors de la programmation en langage machine (ou en assembleur) on doit tenir compte du temps que met le contrôleur d'écran à effectuer ses opérations internes. Il indique d'ailleurs cette indisponibilité passagère en levant le « busy flag », le signal d'occupation, dans un de ses registres. Si on force de nouvelles

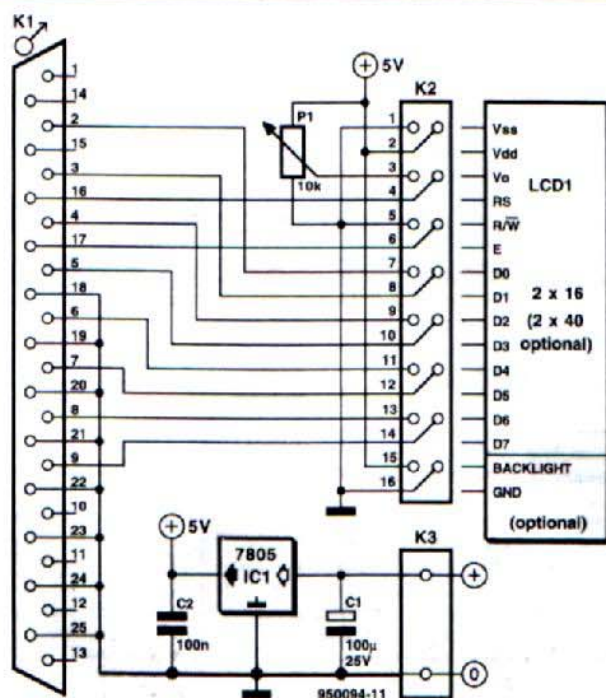


Figure 1. Le schéma montre la simplicité d'interface entre un écran LCD standard et le port d'imprimante sur PC.

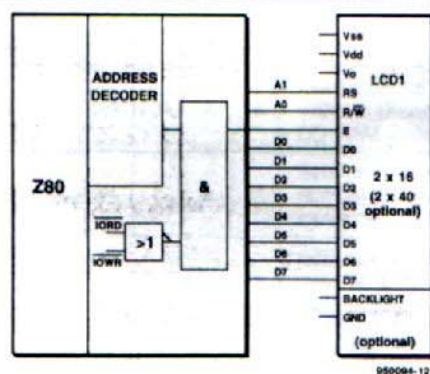
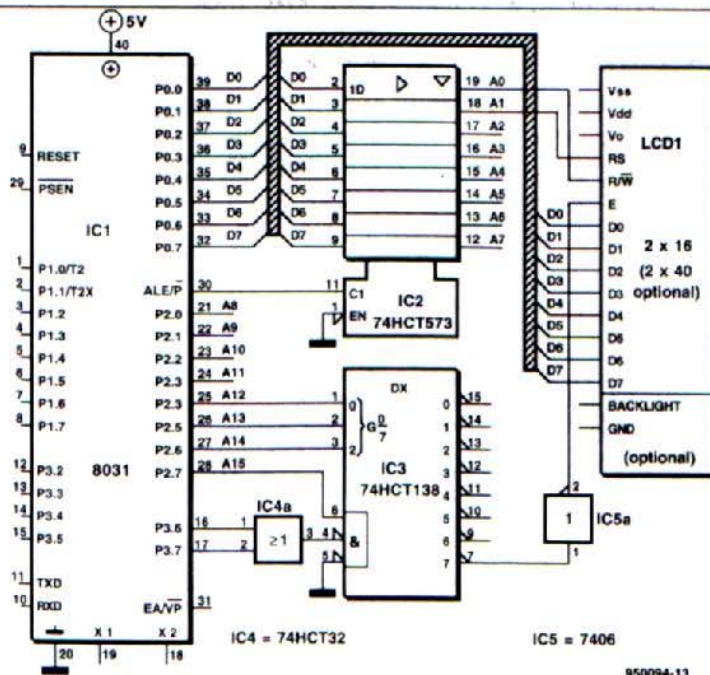


Figure 2. Un système à Z80 peut tout aussi simplement se voir doter d'un écran LCD.



données dans le contrôleur de l'affichage pendant que ce drapeau est encore actif, on risque d'endommager le circuit intégré. En QBASIC, le *tempo* qui préside à la succession des informations laisse au contrôleur tout le loisir d'exécuter sa cuisine intérieure entre les coups.

Les microcontrôleurs sont aussi de la fête

On l'a déjà signalé, cet affichage peut également se combiner avec des microprocesseurs comme le Z80 ou ceux de la famille du 8031. Sur la **figure 2**, on voit avec quelle simplicité l'écran peut se connecter sur le bus d'un Z80. Comme la broche R/W reçoit dans ce cas-ci sa propre ligne d'adresse (A0), l'afficheur se voit attribuer quatre adresses de l'espace mémoire, deux réservées à l'écriture uniquement et les deux autres en lecture seule, comme le détaille le tableau suivant :

Adresse	Fonction
Base + 0	écriture dans le registre de contrôle
Base + 1	lire le registre de contrôle (busy)
Base + 2	écriture des données
Base + 3	lire des données

La ligne de validation E est reliée à la sortie d'un décodeur d'adresses qui sélectionne une adresse de base dans le domaine d'entrée/sortie du Z80.

La **figure 3** indique comment tout cela s'organise avec un 8031. Le signal de validation (E) est à présent élaboré au moyen d'un 74HCT138. Ce circuit combine \overline{RD} , \overline{WR} et les lignes d'adresse A12, A13, A14 et A15 pour former le signal de commande qui positionne l'afficheur en F000_{HEX}. Les lignes d'adresse A0 et A1 sont répercutées également à l'écran via un 74HCT573, un décodeur qui a sa place dans toutes les applications du 8031. Enfin, les entrées de données (D0...D7) sont reliées directement aux lignes correspondantes du processeur.

Programmer soi-même

Le contrôleur Hitachi simplifie la commande des afficheurs LCD de ce genre. La **figure 6** reproduit le jeu d'instructions dont il dispose à cet égard. Mais commençons par le début. Lors de la mise sous tension, il exécute le processus d'initialisation dont les étapes sont retracées, sous forme d'ordinogramme, à la **figure 4**. On y voit une routine d'ini-

Figure 3. Voici la manière de doter d'un écran LCD un système basé sur la famille de processeurs 8031.

Tableau 1.

La fonction des différentes routines dans le logiciel de démonstration.

Routine	Fonction	sendcmd :	envoi d'une commande à l'écran
main :	programme principal	senddat :	envoi de données à l'écran
conoff :	apparition ou disparition du curseur	tmwait :	pause, tm en définit la durée en ms
rotaleft :	déplacement vers la gauche du contenu de la mémoire	cursorpos :	déplacement du curseur vers une position sur l'écran
rotaright :	déplacement vers la droite du contenu de la mémoire	btout :	placement de texte sur l'écran, max. 32 caractères
odin :	introduction de texte pour l'affichage	edit :	envoi de 80 caractères dans la mémoire de l'affichage
dspeclear :	effacement de la mémoire	chara :	composition de caractères spéciaux (max. 8)
init :	initialisation de l'écran	sendchr :	envoi à l'affichage d'un code de caractère
		chdout :	introduction d'un code de signe à l'usage de sendchr

Instruction	Code										Description	Execution Time (max) (when fcp or fosc is 250 KHz)	
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
Clear Display	0	0	0	0	0	0	0	0	0	1	Clears entire display and sets DD RAM address 0 in address counter.	1.64 ms	
Return Home	0	0	0	0	0	0	0	0	0	*	Sets DD RAM address 0 in address counter. Also returns display being shifted to original position. DD RAM contents remain unchanged.	1.64 ms	
Entry Mode Set	0	0	0	0	0	0	0	0	1	I/D	S	Sets cursor move direction and specifies shift of display. These operations are performed during data write and read.	40 μ s
Display On / Off Control	0	0	0	0	0	0	0	1	D	C	B	Sets ON/OFF of entire display (D), Cursor ON/OFF (C), and blink of cursor position character (B).	40 μ s
Cursor or Display Shift	0	0	0	0	0	1	S/C	R/L	*	*	*	Moves cursor & shifts display without changing DD RAM contents.	40 μ s
Function Set	0	0	0	0	1	DL	N	F	*	*	*	Sets interface data length (DL), number of display lines (L) and character fonts (F).	40 μ s
Set CG RAM Address	0	0	0	1	ACG						Sets CG RAM address. CG RAM data is sent and received after this setting.	40 μ s	
Set DD RAM Address	0	0	1	ADD						Sets DD RAM address. CG RAM data is sent and received after this setting.	40 μ s		
Read Busy Flag and Address	0	1	BF	AC						Reads Busy flag (BF) indicating internal operation is being performed and reads address counter contents.	0 μ s		
Write Data to CG or DD RAM	1	0	Write Data						Writes data into DD RAM or CG RAM	40 μ s			
Read Data from CG or DD RAM	1	1	Read Data						Reads data into DD RAM or CG RAM	40 μ s			
	I/D = 1 : Increment I/D = 0 : Decrement S = 1 : Accompanies display shift S/C = 1 : Display shift S/C = 0 : Cursor move R/L = 1 : Shift to the right R/L = 0 : Shift to the left DL = 1 : 8 bits, DL = 0 : 4 bits N = 1 : 2 lines, N = 0 : 1 line F = 1 : 5 \times 10 dots, F = 0 : 5 \times 7 dots FB = 1 : Internally operating FB = 0 : Can accept instruction										DD RAM : Display data RAM CG RAM : Character generator RAM ACG : CG RAM address ADD : DD RAM Address ; Corresponds to cursor address AC : Address counter used for both DD and CG RAM address.	Execution time changes when frequency changes Example: When fcp or fosc is 270 kHz: $40 \mu s \times \frac{250}{270} = 37 \mu s$	

* No effect

Figure 6. Grâce à ce jeu d'instructions, la mise en oeuvre d'un système d'affichage à écran LCD est grandement simplifiée.

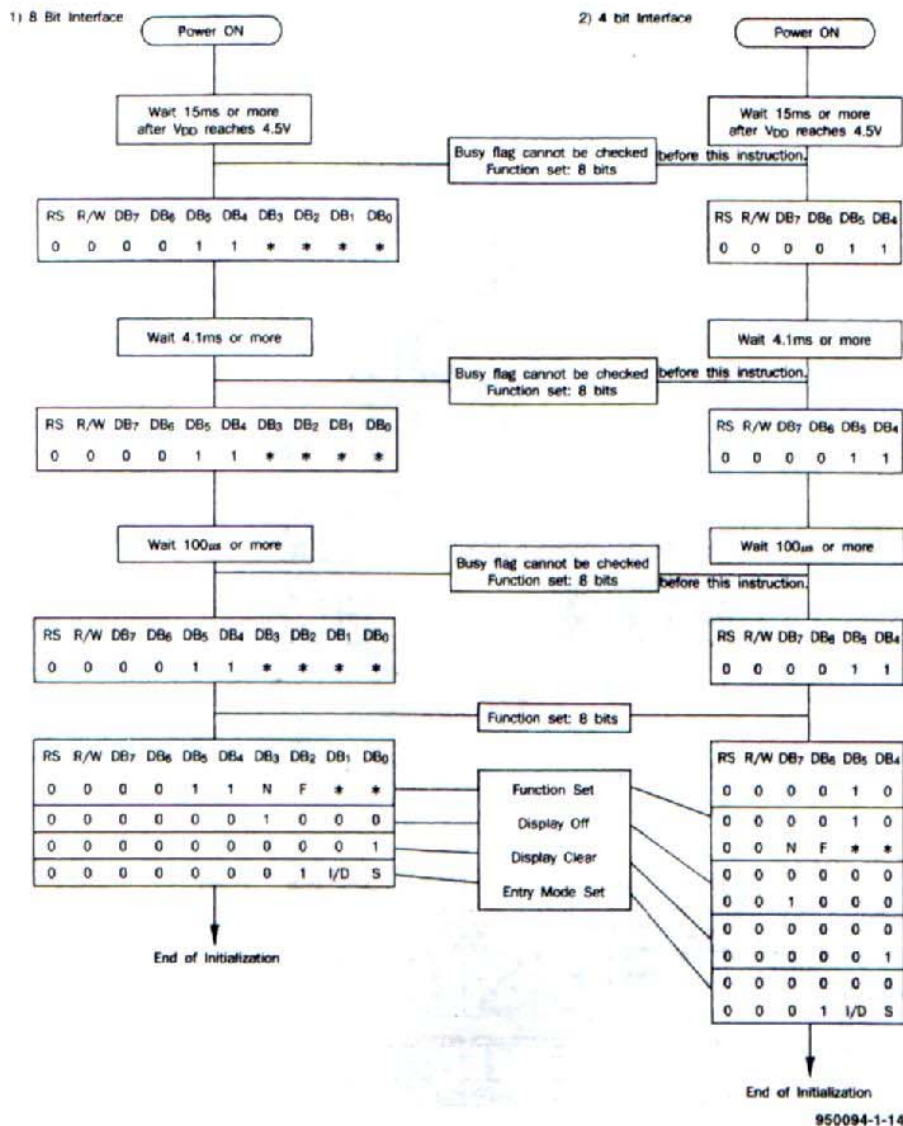


Figure 4. Cet ordigramme montre la séquence d'initialisation effectuée par l'affichage avant toute mise en service. La procédure complète prend quelques millisecondes.

tialisation tant pour un bus à quatre bits que pour un de huit bits de large. Dans un cas comme dans l'autre, il parcourt la même suite d'instructions avant la mise en service. La structure de bus à quatre bits de certains microcontrôleurs est toujours d'actualité, aussi, nous ne vou-

lions pas passer sous silence cette potentialité.

La chronologie indiquée dans le diagramme d'initialisation représente les délais minima à respecter dans le cas où on ne vérifierait pas constamment l'état du «busy flag». Le contrôleur

dispose d'une mémoire dont la capacité est suffisante pour emmagasiner deux lignes de 40 caractères chacune, quelle que soit la dimension de l'écran associé. À chaque ligne d'écran correspondent ainsi 40 positions de mémoire dans le contrôleur. Si l'écran ne comporte que 16 caractères, seules les seize premières positions de mémoire sont apparentes, de même si l'écran ne compte qu'une ligne, la mémoire totalise malgré tout deux zones successives de 40 positions. Pour visualiser l'intégralité de la mémoire, il faudrait donc un afficheur LCD de 2 lignes de 40 caractères.

Logiciel de démonstration

On a déjà mentionné l'existence d'une disquette Elektor de démonstration. Lors du démarrage du programme qu'elle contient, un menu principal (représenté à la figure 5) s'affiche. Il compte dix options explicites sur l'écran. Mais le programmeur sera probablement plus attiré par l'analyse du code source de ce logiciel. Il comporte un certain nombre de routines dont le tableau 1 décrit les fonctions.

Le logiciel utilise, à l'intérieur de ces routines, les instructions particulières du contrôleur d'écran LCD. Elles sont toutes rassemblées au tableau 2. L'exécution des seules instructions «Clear display» et «Return home» prend déjà un temps assez considérable, environ 1,7 ms. Les autres commandes s'exécutent en moins de 40 µs. Comme en beaucoup d'autres domaines, l'utilisation optimale de ces instructions est affaire d'expérience. C'est là tout l'intérêt didactique du logiciel de démonstration proposé : on peut suivre pas à pas sur le listing l'usage qu'il est fait des différentes instructions. Toutes les possibilités indiquées au tableau 2 sont utilisées dans le logiciel.

La figure 7 donne un aperçu du jeu de caractères disponibles. Tous les signes au standard ASCII et une série d'autres caractères spéciaux figurent dans la ROM. En outre, huit positions de mémoire (RAM) sont disponibles pour des caractères définis par l'utilisateur. Cette possibilité aussi est illustrée dans le logiciel de démonstration.

Les informations publiées dans cet article devraient permettre à chacun d'utiliser au mieux les diverses fonctions de cet affichage LCD courant et de créer sans difficulté ses propres applications.

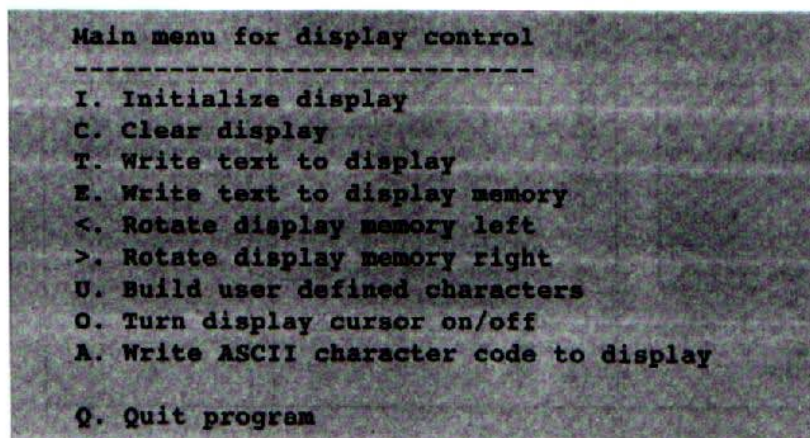


Figure 5. Le menu qui apparaît sur écran lors du lancement du programme de démonstration.

Higher 4 bit Lower 4 bit	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
× × × × 0000	CG RAM (1)		0	a	P	`	P		-	9	3	o	P
× × × × 0001	(2)	!	1	A	Q	a	9	a	7	7	4	a	9
× × × × 0010	(3)	"	2	B	R	b	r	r	イ	ツ	×	P	θ
× × × × 0011	(4)	#	3	C	S	c	s	」	ウ	テ	E	e	ω
× × × × 0100	(5)	\$	4	D	T	d	t	、	エ	ト	ト	μ	α
× × × × 0101	(6)	%	5	E	U	e	u	・	オ	ナ	コ	ε	ū
× × × × 0110	(7)	&	6	F	V	f	v	ヲ	カ	ニ	ヨ	P	Σ
× × × × 0111	(8)	'	7	G	W	g	w	7	+	7	ラ	9	π
× × × × 1000	(1)	(8	H	X	h	x	イ	ウ	ホ	リ	5	7
× × × × 1001	(2))	9	I	Y	i	y	5	7	リ	ル	・	Y
× × × × 1010	(3)	*	:	J	Z	j	z	エ	コ	ン	ク	j	7
× × × × 1011	(4)	+	;	K	C	k	c	オ	サ	ヒ	ロ	×	5
× × × × 1100	(5)	,	<	L	*	l	l	ホ	シ	フ	ワ	φ	5
× × × × 1101	(6)	-	=	M	J	m)	ユ	ズ	へ	ン	ト	÷
× × × × 1110	(7)	.	>	N	^	n	÷	ヨ	セ	ホ	・	ñ	
× × × × 1111	(8)	/	?	O	_	o	+	ッ	リ	マ	°	ö	■

Figure 7. Le jeu de caractères complet grillé dans la ROM. En outre, 8 positions de RAM sont disponibles pour des caractères à composer soi-même.

Tableau 2. Les variables en usage dans les routines.

Variable	Instruction particulière	dispoit :	fonction d'affichage arrêtée
selcmd :	la valeur suivante est une instruction	cursoroff :	curseur éteint
seldat :	la valeur suivante est une donnée	cursoron :	curseur visible
cmden :	valider les instructions	cursorflash :	clignotement du curseur
daten :	valider les données	dshiftr :	déplacer le texte d'une position vers la droite
cmdack :	arrêter la validation d'instructions	dshifl :	déplacer le texte d'une position vers la gauche
datack :	arrêter la validation de données	cursoright :	déplacer le curseur d'une position vers la droite
dispcr :	effacer l'écran	cursorleft :	déplacer le curseur d'une position vers la gauche
cursorhome :	retour du curseur à la position de départ	daten :	passer en mode 8 bits
entrymod :	initialisation de l'affichage	cgadr :	adresse de base pour la RAM du générateur de caractères
disctrl :	affichage et curseur en service	ddadr :	adresse de base pour la mémoire d'écran de 80 caractères

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V_{p-p} with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than $\pm 0.1\%$ over temperature minimizes system error accumulations.

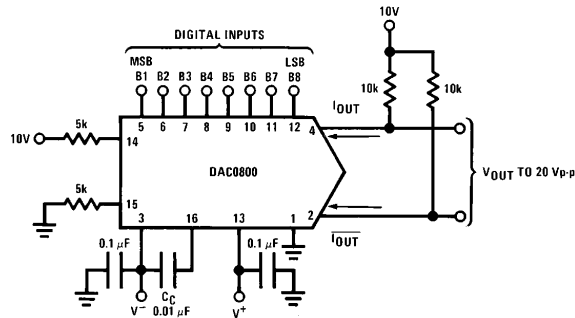
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC} , grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full $\pm 4.5V$ to $\pm 18V$ power supply range; power dissipation is only 33 mW with $\pm 5V$ supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current 100 ns
- Full scale error ± 1 LSB
- Nonlinearity over temperature $\pm 0.1\%$
- Full scale current drift ± 10 ppm/ $^{\circ}C$
- High output compliance $-10V$ to $+18V$
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range $\pm 4.5V$ to $\pm 18V$
- Low power consumption 33 mW at $\pm 5V$
- Low cost

Typical Applications



TL/H/5686-1

FIGURE 1. ± 20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
$\pm 0.1\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
$\pm 0.19\%$ FS	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$	DAC0800LJ	DAC-08Q			
$\pm 0.19\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
$\pm 0.39\%$ FS	$0^{\circ}C \leq T_A \leq +70^{\circ}C$			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	$\pm 18V$ or $36V$
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus $36V$
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	$-65^\circ C$ to $+150^\circ C$

Lead Temp. (Soldering, 10 seconds)

Dual-In-Line Package (plastic) $260^\circ C$

Dual-In-Line Package (ceramic) $300^\circ C$

Surface Mount Package

Vapor Phase (60 seconds) $215^\circ C$

Infrared (15 seconds) $220^\circ C$

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	-55	$+125$	$^\circ C$
DAC0800LC	0	$+70$	$^\circ C$
DAC0801LC	0	$+70$	$^\circ C$
DAC0802LC	0	$+70$	$^\circ C$

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and I_{OUT-} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				± 0.1			± 0.19			± 0.39	%FS
t_s	Settling Time	To $\pm 1/2$ LSB, All Bits Switched "ON" or "OFF", $T_A = 25^\circ C$ DAC0800L DAC0800LC		100	135					100	150	ns
							100	135				ns
							100	150				ns
t_{PLH} , t_{PHL}	Propagation Delay Each Bit All Bits Switched	$T_A = 25^\circ C$		35	60		35	60		35	60	ns
				35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			± 10	± 50		± 10	± 50		± 10	± 80	ppm/ $^\circ C$
V_{OC}	Output Voltage Compliance	Full Scale Current Change $< 1/2$ LSB, $R_{OUT} > 20$ M Ω Typ	-10		18	-10		18	-10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, $R_{14} = 5.000$ k Ω $R_{15} = 5.000$ k Ω , $T_A = 25^\circ C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		± 0.5	± 4.0		± 1	± 8.0		± 2	± 16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
V_{IL} V_{IH}	Logic Input Levels Logic "0" Logic "1"	$V_{LC} = 0V$	2.0		0.8	2.0		0.8	2.0		0.8	V
I_{IL} I_{IH}	Logic Input Current Logic "0" Logic "1"	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$ $2V \leq V_{IN} \leq +18V$		-2.0 0.002	-10 10		-2.0 0.002	-10 10		-2.0 0.002	-10 10	μA μA
V_{IS}	Logic Input Swing	$V^- = -15V$	-10		18	-10		18	-10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	-10		13.5	-10		13.5	-10		13.5	V
I_{15}	Reference Bias Current			-1.0	-3.0		-1.0	-3.0		-1.0	-3.0	μA
dl/dt	Reference Input Slew Rate	(Figure 12)	4.0	8.0		4.0	8.0		4.0	8.0		mA/ μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \leq V^+ \leq 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \leq V^- \leq 18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
I^+ I^-	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA		2.3 -4.3	3.8 -5.8		2.3 -4.3	3.8 -5.8		2.3 -4.3	3.8 -5.8	mA mA
		$V_S = 5V$, $-15V$, $I_{REF} = 2$ mA		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 -7.8		2.4 -6.4	3.8 -7.8	mA mA
I^+ I^-		$V_S = \pm 15V$, $I_{REF} = 2$ mA		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 -7.8		2.5 -6.5	3.8 -7.8	mA mA

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2\text{ mA}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and \bar{I}_{OUT} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1\text{ mA}$		33	48		33	48		33	48	mW
		$5V$, $-15V$, $I_{REF} = 2\text{ mA}$		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2\text{ mA}$		135	174		135	174		135	174	mW

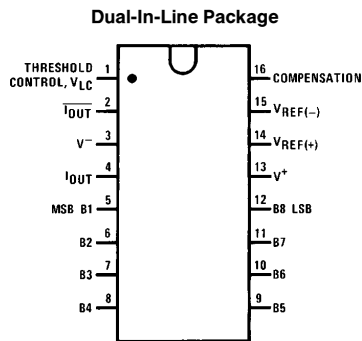
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C . For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W , junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a $1.5\text{ k}\Omega$ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

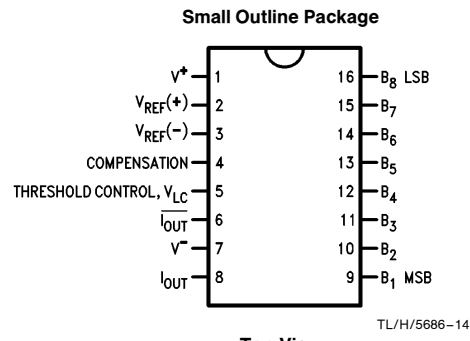
Connection Diagrams



Top View

TL/H/5686-13

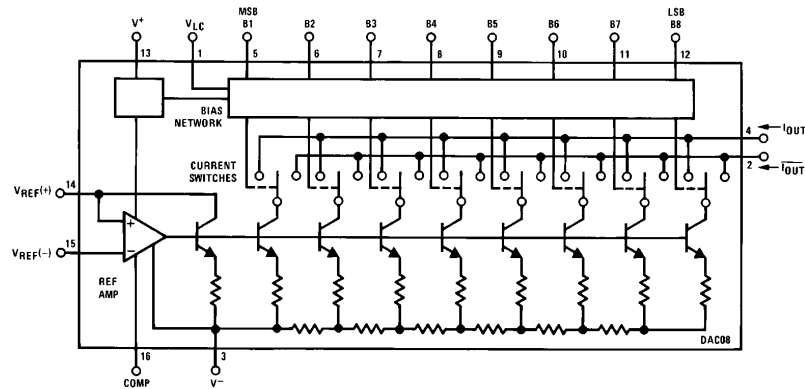
See Ordering Information



Top View

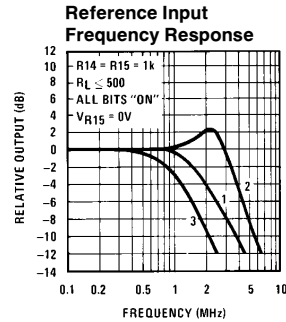
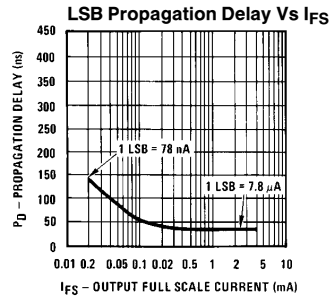
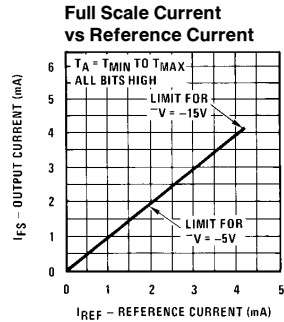
TL/H/5686-14

Block Diagram (Note 4)



TL/H/5686-2

Typical Performance Characteristics

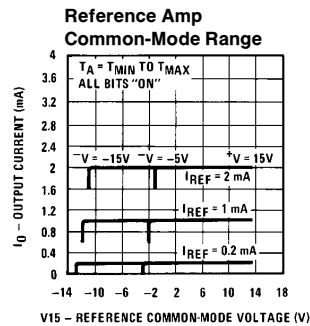


Curve 1: $C_C = 15$ pF, $V_{IN} = 2$ Vp-p

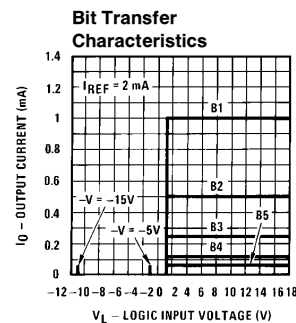
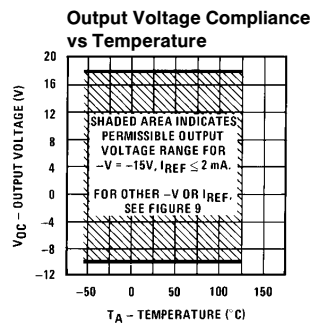
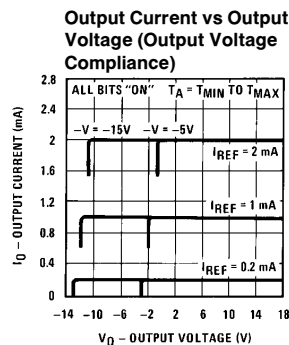
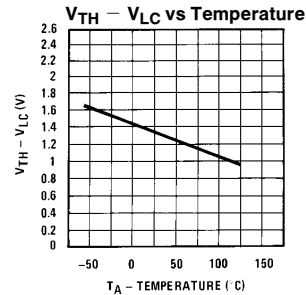
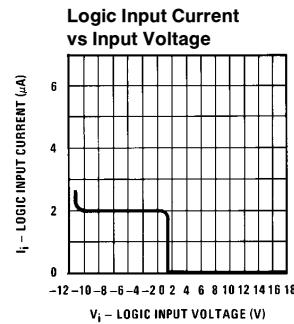
centered at 1V.

Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

Curve 3: $C_C = 0$ pF, $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.



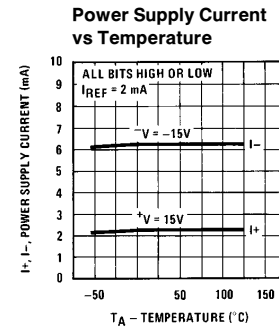
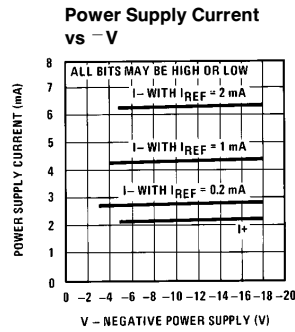
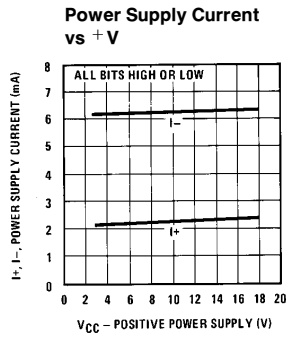
Note. Positive common-mode range is always $(V+) - 1.5V$



TL/H/5686-3

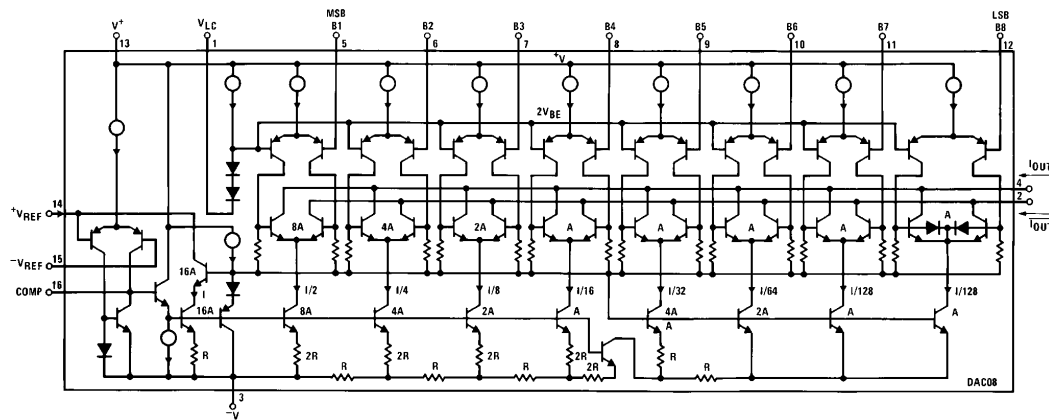
Note. B1-B8 have identical transfer characteristics. Bits are fully switched with less than $\frac{1}{2}$ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ($V_{LC} = 0V$).

Typical Performance Characteristics (Continued)



TL/H/5686-4

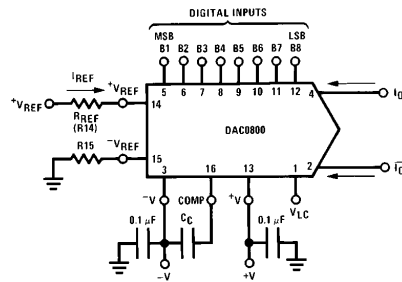
Equivalent Circuit



TL/H/5686-15

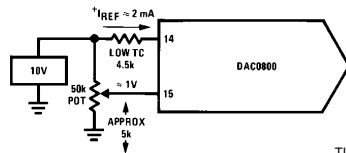
FIGURE 2

Typical Applications (Continued)



TL/H/5686-5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)

$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$$I_O + \bar{I}_O = I_{FS} \text{ for all logic states}$$

For fixed reference, TTL operation, typical values are:

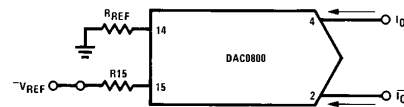
$$V_{REF} = 10.000V$$

$$R_{REF} = 5.000k$$

$$R_{15} \approx R_{REF}$$

$$C_C = 0.01 \mu F$$

$$V_{LC} = 0V \text{ (Ground)}$$



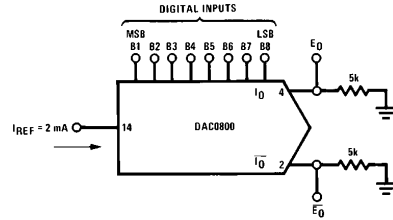
TL/H/5686-16

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note: R_{REF} sets I_{FS} ; R_{15} is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

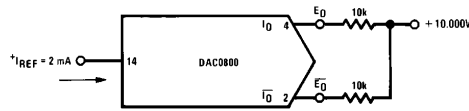
Typical Applications (Continued)



TL/H/5686-17

	B1	B2	B3	B4	B5	B6	B7	B8	I ₀ mA	I ₀ - mA	E _O	E _O -
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale - LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale - LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

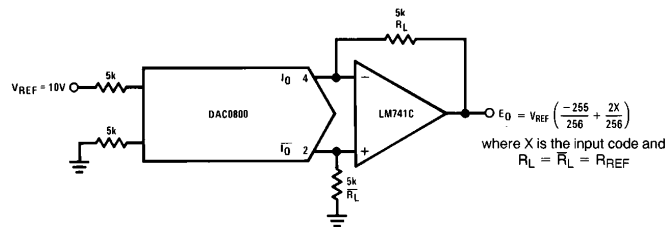
FIGURE 6. Basic Unipolar Negative Operation (Note 4)



TL/H/5686-6

	B1	B2	B3	B4	B5	B6	B7	B8	E _O	E _O -
Pos. Full Scale	1	1	1	1	1	1	1	1	-9.920	+10.000
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	-9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	-0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale - LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	-9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	-9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



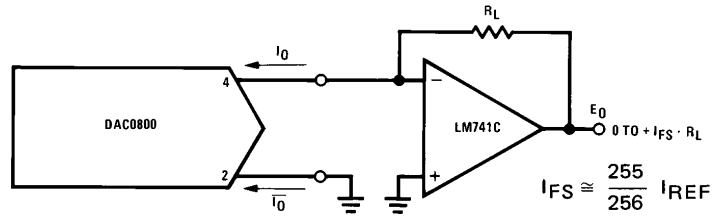
TL/H/5686-18

If $R_L = \bar{R}_L$ within $\pm 0.05\%$, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E _O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale - LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(-)Zero Scale	0	1	1	1	1	1	1	1	-0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	-9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	-9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

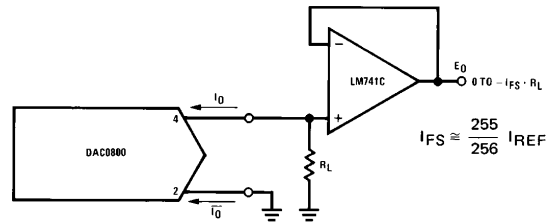
Typical Applications (Continued)



TL/H/5686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

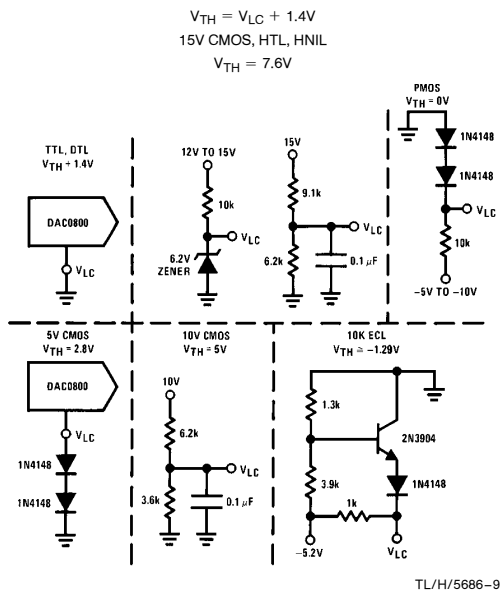
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686-20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

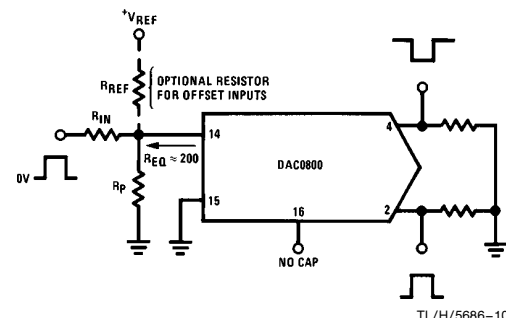
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686-9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5686-10

Typical values: $R_{IN} = 5k$, $V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

Typical Applications (Continued)

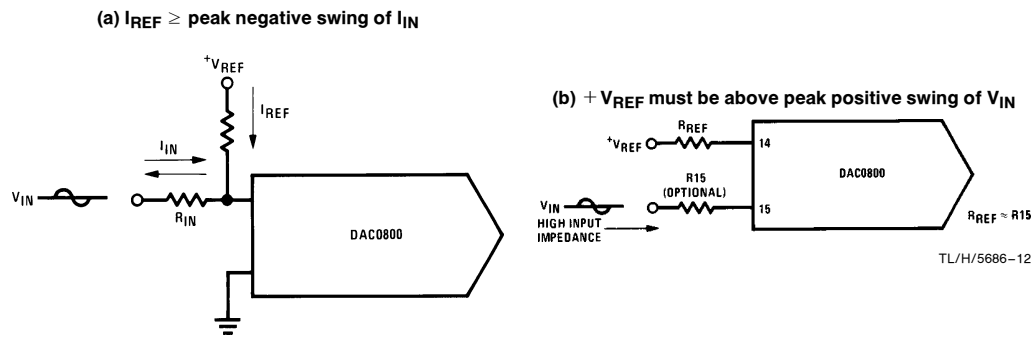


FIGURE 13. Accommodating Bipolar References (Note 4)

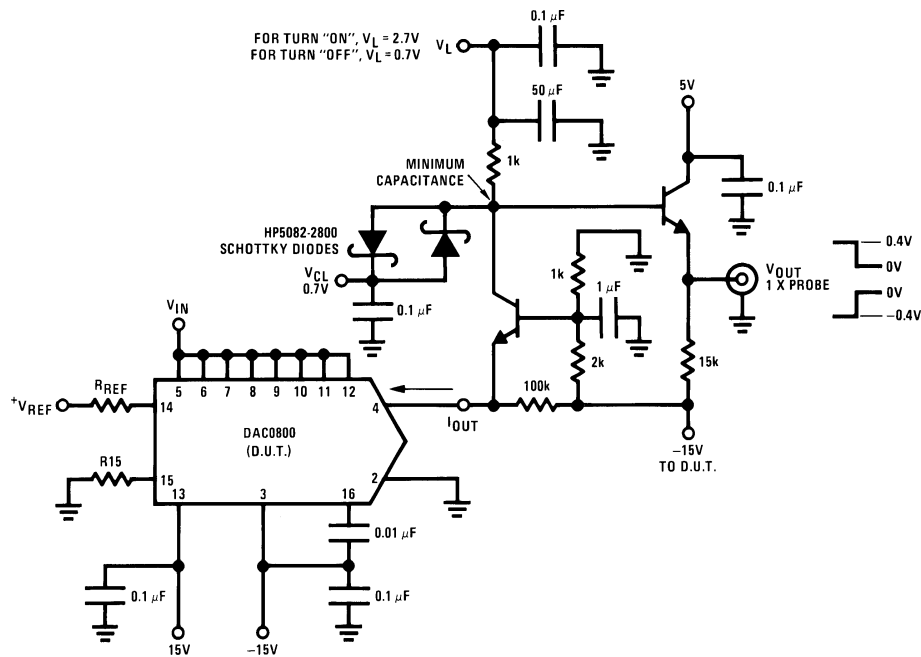
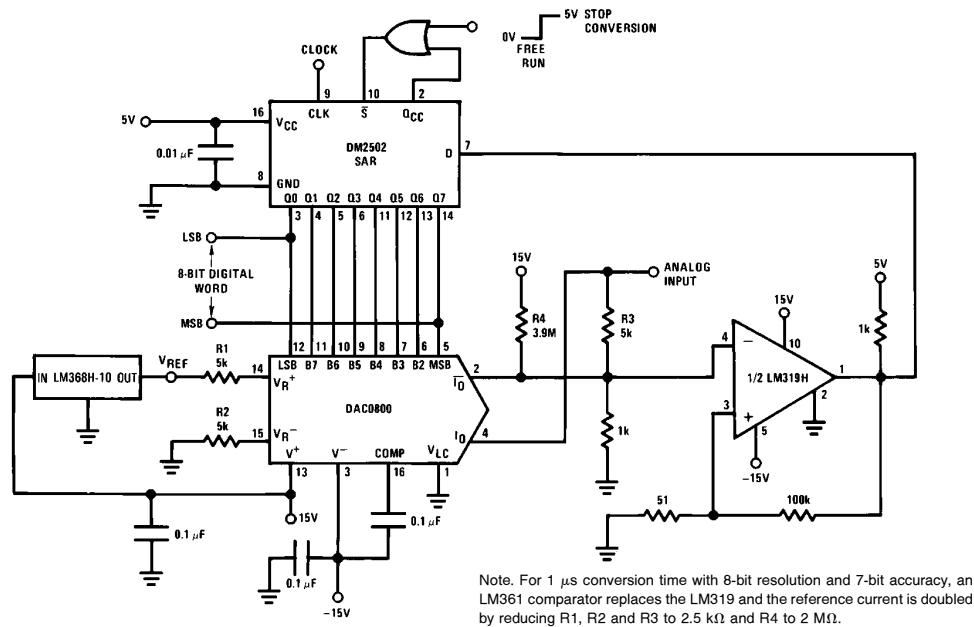


FIGURE 14. Settling Time Measurement (Note 4)

TL/H/5686-7

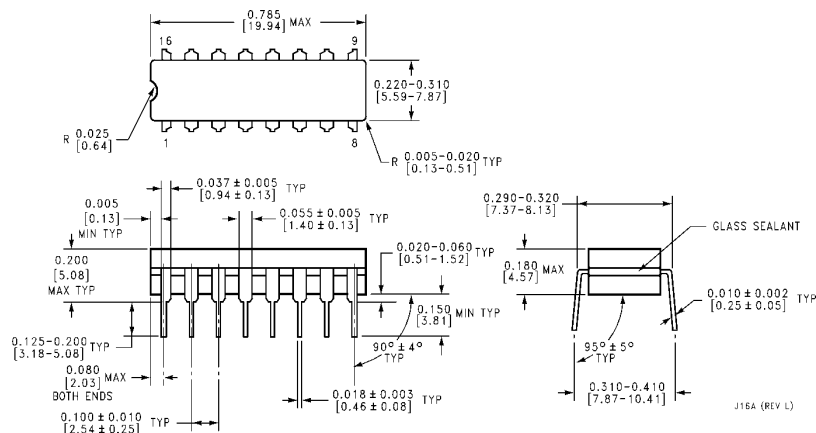
Typical Applications (Continued)



TL/H/5686-8

FIGURE 15. A Complete 2 μ s Conversion Time, 8-Bit A/D Converter (Note 4)

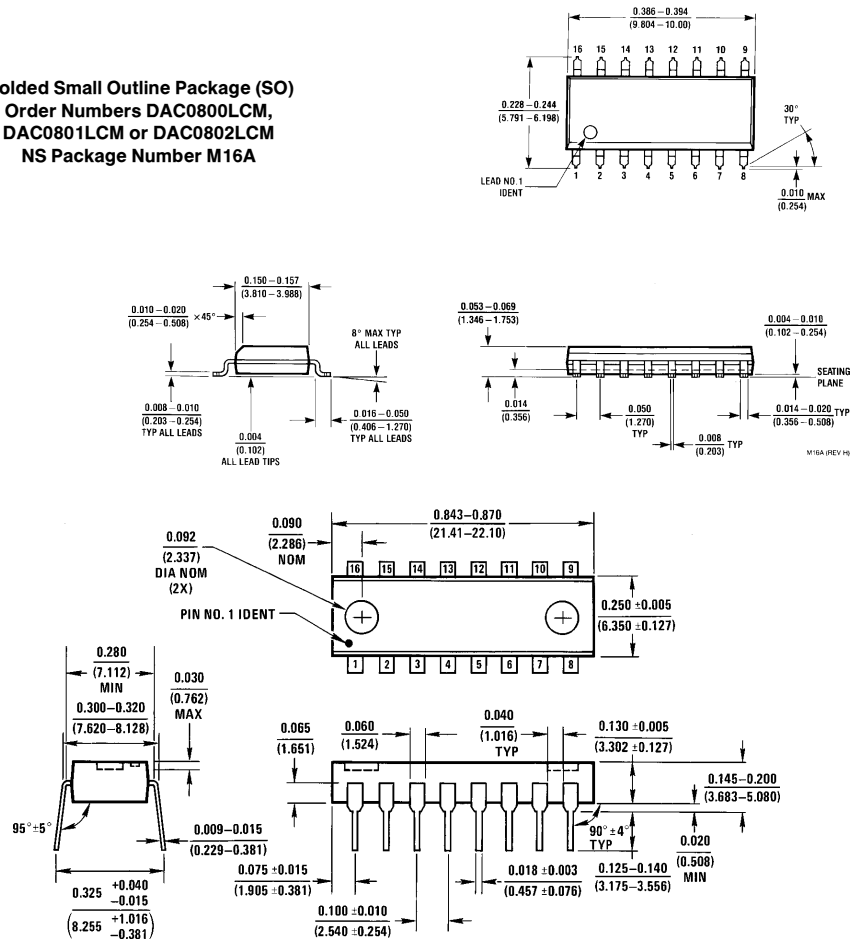
Physical Dimensions inches (millimeters)



Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

Physical Dimensions inches (millimeters) (Continued)

Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 1111 West Bardin Road
 Arlington, TX 76017
 Tel: 1(800) 272-9959
 Fax: 1(800) 737-7018

National Semiconductor Europe
 Fax: (+49) 0-180-530 85 86
 Email: cnjwge@tevm2.nsc.com
 Deutsch Tel: (+49) 0-180-530 85 85
 English Tel: (+49) 0-180-532 78 32
 Français Tel: (+49) 0-180-532 93 58
 Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
 13th Floor, Straight Block,
 Ocean Centre, 5 Canton Rd.
 Tsimshatsui, Kowloon
 Hong Kong
 Tel: (852) 2737-1600
 Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
 Tel: 81-043-299-2309
 Fax: 81-043-299-2408

CMOS Voltage Converters

The Intersil ICL7660 and ICL7660A are monolithic CMOS power supply circuits which offer unique performance advantages over previously available devices. The ICL7660 performs supply voltage conversions from positive to negative for an input range of +1.5V to +10.0V resulting in complementary output voltages of -1.5V to -10.0V and the ICL7660A does the same conversions with an input range of +1.5V to +12.0V resulting in complementary output voltages of -1.5V to -12.0V. Only 2 noncritical external capacitors are needed for the charge pump and charge reservoir functions. The ICL7660 and ICL7660A can also be connected to function as voltage doublers and will generate output voltages up to +18.6V with a +10V input.

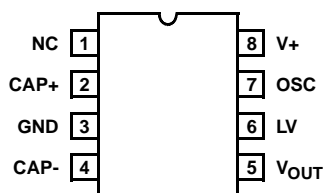
Contained on the chip are a series DC supply regulator, RC oscillator, voltage level translator, and four output power MOS switches. A unique logic element senses the most negative voltage in the device and ensures that the output N-Channel switch source-substrate junctions are not forward biased. This assures latchup free operation.

The oscillator, when unloaded, oscillates at a nominal frequency of 10kHz for an input supply voltage of 5.0V. This frequency can be lowered by the addition of an external capacitor to the "OSC" terminal, or the oscillator may be overdriven by an external clock.

The "LV" terminal may be tied to GROUND to bypass the internal series regulator and improve low voltage (LV) operation. At medium to high voltages (+3.5V to +10.0V for the ICL7660 and +3.5V to +12.0V for the ICL7660A), the LV pin is left floating to prevent device latchup.

Pinouts

ICL7660, ICL7660A (PDIP, SOIC)
TOP VIEW



Features

- Simple Conversion of +5V Logic Supply to $\pm 5V$ Supplies
- Simple Voltage Multiplication ($V_{OUT} = (-) nV_{IN}$)
- Typical Open Circuit Voltage Conversion Efficiency 99.9%
- Typical Power Efficiency 98%
- Wide Operating Voltage Range
 - ICL7660 1.5V to 10.0V
 - ICL7660A 1.5V to 12.0V
- ICL7660A 100% Tested at 3V
- Easy to Use - Requires Only 2 External Non-Critical Passive Components
- No External Diode Over Full Temp. and Voltage Range
- Pb-free available

Applications

- On Board Negative Supply for Dynamic RAMs
- Localized μ Processor (8080 Type) Negative Supplies
- Inexpensive Negative Supplies
- Data Acquisition Systems

Ordering Information

PART NO.	TEMP. RANGE (°C)	PACKAGE	PKG. DWG. #
ICL7660CBA*	0 to 70	8 Ld SOIC (N)	M8.15
ICL7660CBAZ* (See Note)	0 to 70	8 Ld SOIC (N) (Pb-free)	M8.15
ICL7660CBAZA* (See Note)	0 to 70	8 Ld SOIC (N) (Pb-free)	M8.15
ICL7660CPA	0 to 70	8 Ld PDIP	E8.3
ICL7660ACBA*	0 to 70	8 Ld SOIC (N)	M8.15
ICL7660ACBAZA* (See Note)	0 to 70	8 Ld SOIC (N) (Pb-free)	M8.15
ICL7660ACPA	0 to 70	8 Ld PDIP	E8.3
ICL7660AIBA*	-40 to 85	8 Ld SOIC (N)	M8.15
ICL7660AIBAZA* (See Note)	-40 to 85	8 Ld SOIC (N) (Pb-free)	M8.15

*Add "-T" suffix to part number for tape and reel packaging.

NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which is compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J Std-020B.

ICL7660, ICL7660A

Absolute Maximum Ratings

Supply Voltage	
ICL7660	+10.5V
ICL7660A	+13.0V
LV and OSC Input Voltage	-0.3V to (V+ +0.3V) for V+ < 5.5V (Note 2) (V+ -5.5V) to (V+ +0.3V) for V+ > 5.5V
Current into LV (Note 2)	.20μA for V+ > 3.5V
Output Short Duration (V _{SUPPLY} ≤ 5.5V)	Continuous

Thermal Information

Thermal Resistance (Typical, Note 1)	θ _{JA} (°C/W)	θ _{JC} (°C/W)
PDIP Package	110	N/A
SOIC Package	160	N/A
Maximum Storage Temperature Range	-65°C to 150°C	
Maximum Lead Temperature (Soldering, 10s)	300°C (SOIC - Lead Tips Only)	

Operating Conditions

Temperature Range	
ICL7660C, ICL7660AC	0°C to 70°C
ICL7660AI	-40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications ICL7660 and ICL7660A, V+ = 5V, T_A = 25°C, C_{OSC} = 0, Test Circuit Figure 11 Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	ICL7660			ICL7660A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Supply Current	I+	R _L = ∞	-	170	500	-	80	165	μA
Supply Voltage Range - Lo	V _L +	MIN ≤ T _A ≤ MAX, R _L = 10kΩ, LV to GND	1.5	-	3.5	1.5	-	3.5	V
Supply Voltage Range - Hi	V _H +	MIN ≤ T _A ≤ MAX, R _L = 10kΩ, LV to Open	3.0	-	10.0	3	-	12	V
Output Source Resistance	R _{OUT}	I _{OUT} = 20mA, T _A = 25°C	-	55	100	-	60	100	Ω
		I _{OUT} = 20mA, 0°C ≤ T _A ≤ 70°C	-	-	120	-	-	120	Ω
		I _{OUT} = 20mA, -55°C ≤ T _A ≤ 125°C	-	-	150	-	-	-	Ω
		I _{OUT} = 20mA, -40°C ≤ T _A ≤ 85°C	-	-	-	-	-	120	Ω
		V ⁺ = 2V, I _{OUT} = 3mA, LV to GND 0°C ≤ T _A ≤ 70°C	-	-	300	-	-	300	Ω
		V+ = 2V, I _{OUT} = 3mA, LV to GND, -55°C ≤ T _A ≤ 125°C	-	-	400	-	-	-	Ω
Oscillator Frequency	f _{OSC}		-	10	-	-	10	-	kHz
Power Efficiency	P _{EF}	R _L = 5kΩ	95	98	-	96	98	-	%
Voltage Conversion Efficiency	V _{OUT} EF	R _L = ∞	97	99.9	-	99	99.9	-	%
Oscillator Impedance	Z _{OSC}	V+ = 2V	-	1.0	-	-	1	-	MΩ
		V = 5V	-	100	-	-	-	-	kΩ
ICL7660A, V+ = 3V, T _A = 25°C, OSC = Free running, Test Circuit Figure 11, Unless Otherwise Specified									
Supply Current (Note 3)	I+	V+ = 3V, R _L = ∞, 25°C	-	-	-	-	26	100	μA
		0°C < T _A < 70°C	-	-	-	-	-	125	μA
		-40°C < T _A < 85°C	-	-	-	-	-	125	μA
Output Source Resistance	R _{OUT}	V+ = 3V, I _{OUT} = 10mA	-	-	-	-	97	150	Ω
		0°C < T _A < 70°C	-	-	-	-	-	200	Ω
		-40°C < T _A < 85°C	-	-	-	-	-	200	Ω
Oscillator Frequency (Note 3)	f _{OSC}	V+ = 3V (same as 5V conditions)	-	-	-	5.0	8	-	kHz
		0°C < T _A < 70°C	-	-	-	3.0	-	-	kHz
		-40°C < T _A < 85°C	-	-	-	3.0	-	-	kHz

ICL7660, ICL7660A

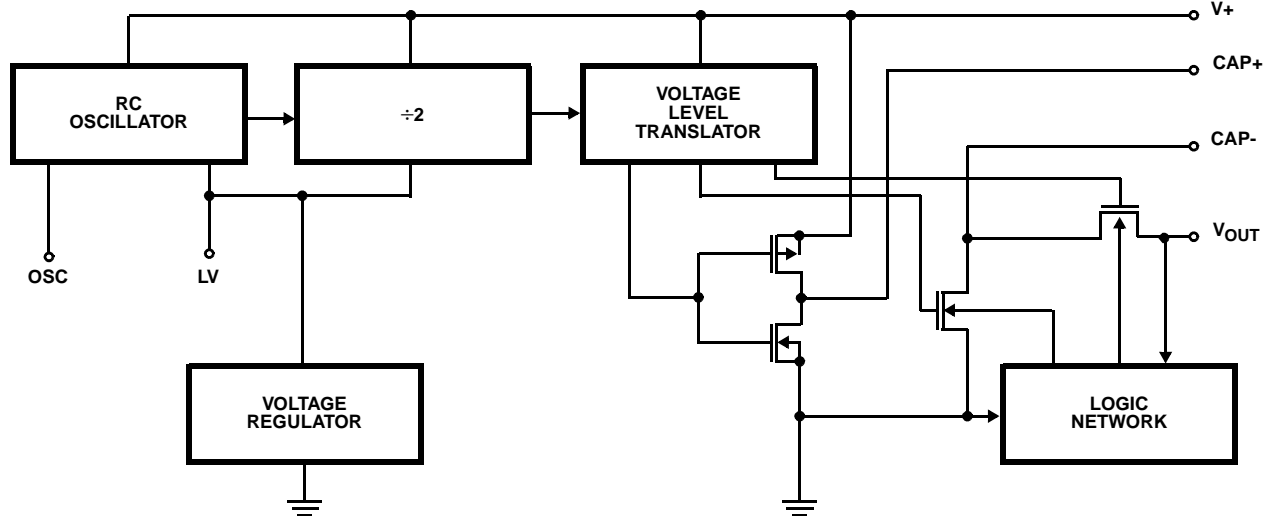
Electrical Specifications ICL7660 and ICL7660A, $V_+ = 5V$, $T_A = 25^\circ C$, $C_{OSC} = 0$, Test Circuit Figure 11
Unless Otherwise Specified **(Continued)**

PARAMETER	SYMBOL	TEST CONDITIONS	ICL7660			ICL7660A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Voltage Conversion Efficiency	V_{OUTEFF}	$V_+ = 3V$, $R_L = \infty$	-	-	-	99	-	-	%
		$T_{MIN} < T_A < T_{MAX}$	-	-	-	99	-	-	%
Power Efficiency	P_{EFF}	$V_+ = 3V$, $R_L = 5k\Omega$	-	-	-	96	-	-	%
		$T_{MIN} < T_A < T_{MAX}$	-	-	-	95	-	-	%

NOTES:

- Connecting any input terminal to voltages greater than V_+ or less than GND may cause destructive latchup. It is recommended that no inputs from sources operating from external supplies be applied prior to "power up" of the ICL7660, ICL7660A.
- Derate linearly above $50^\circ C$ by $5.5mW/^\circ C$.
- In the test circuit, there is no external capacitor applied to pin 7. However, when the device is plugged into a test socket, there is usually a very small but finite stray capacitance present, of the order of $5pF$.
- The Intersil ICL7660A can operate without an external diode over the full temperature and voltage range. This device will function in existing designs which incorporate an external diode with no degradation in overall circuit performance.

Functional Block Diagram



Typical Performance Curves (Test Circuit of Figure 11)

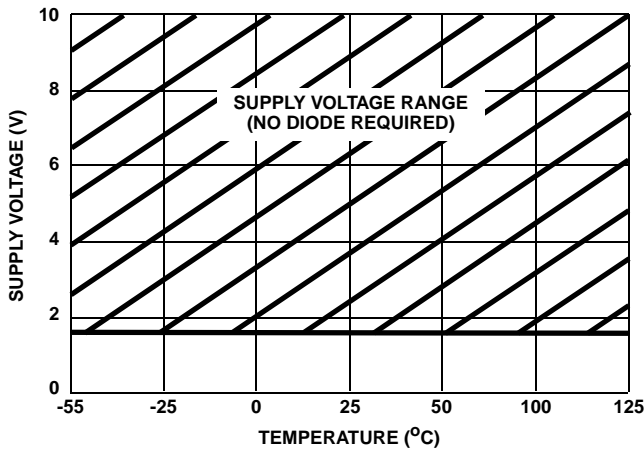


FIGURE 1. OPERATING VOLTAGE AS A FUNCTION OF TEMPERATURE

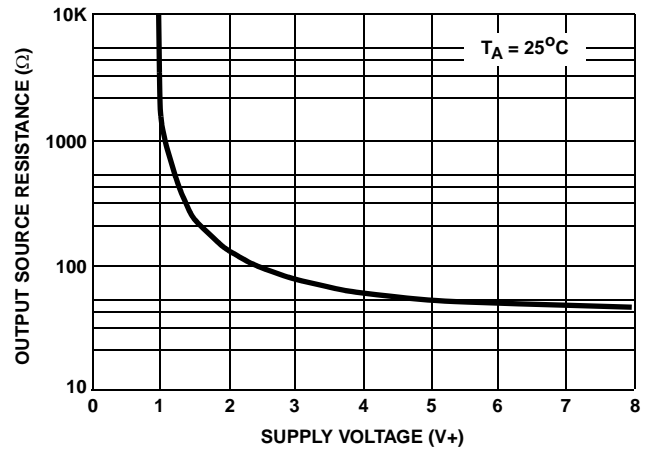


FIGURE 2. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF SUPPLY VOLTAGE

Typical Performance Curves (Test Circuit of Figure 11) (Continued)

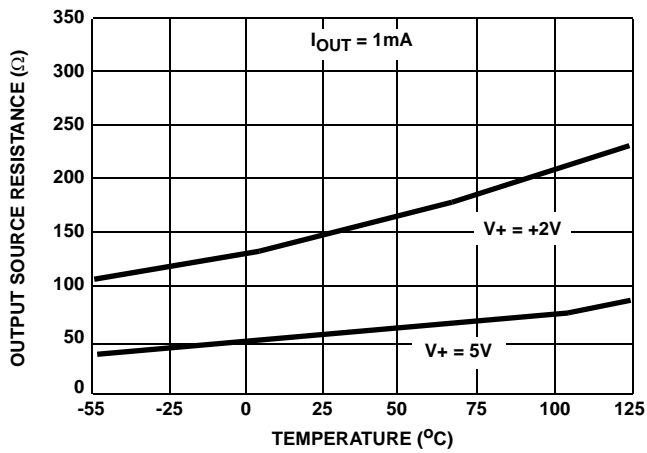


FIGURE 3. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF TEMPERATURE

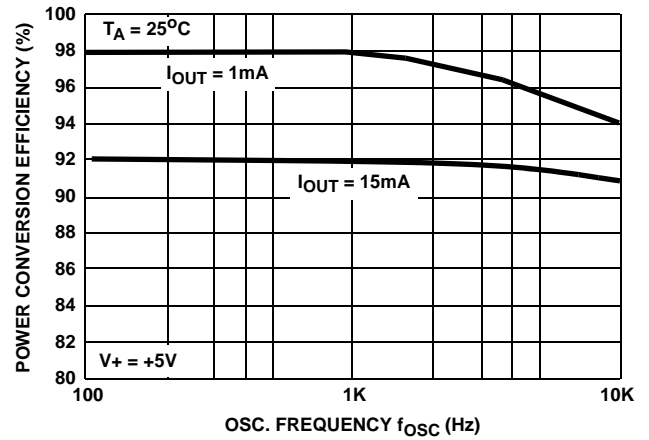


FIGURE 4. POWER CONVERSION EFFICIENCY AS A FUNCTION OF OSC. FREQUENCY

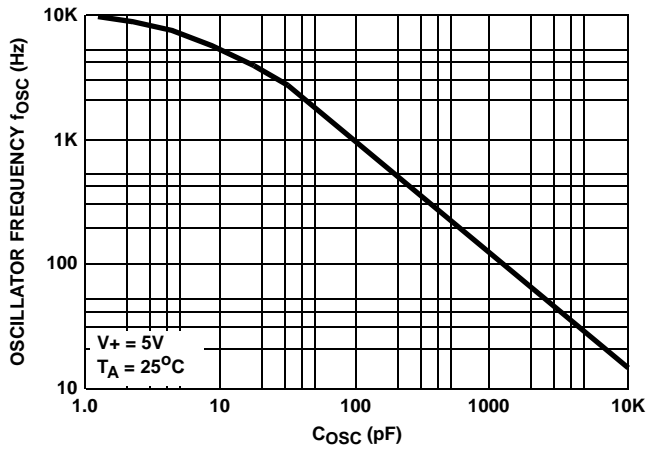


FIGURE 5. FREQUENCY OF OSCILLATION AS A FUNCTION OF EXTERNAL OSC. CAPACITANCE

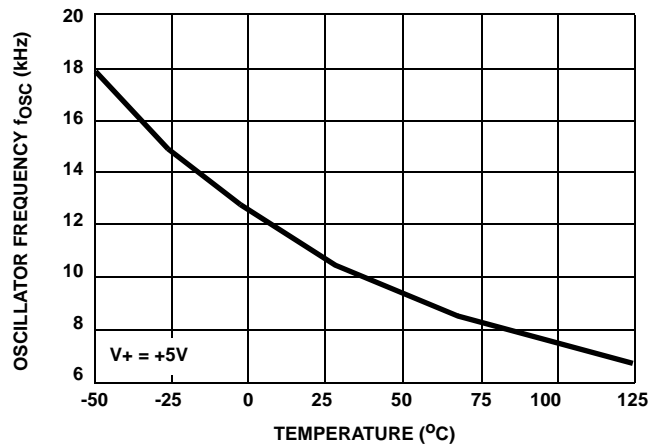


FIGURE 6. UNLOADED OSCILLATOR FREQUENCY AS A FUNCTION OF TEMPERATURE

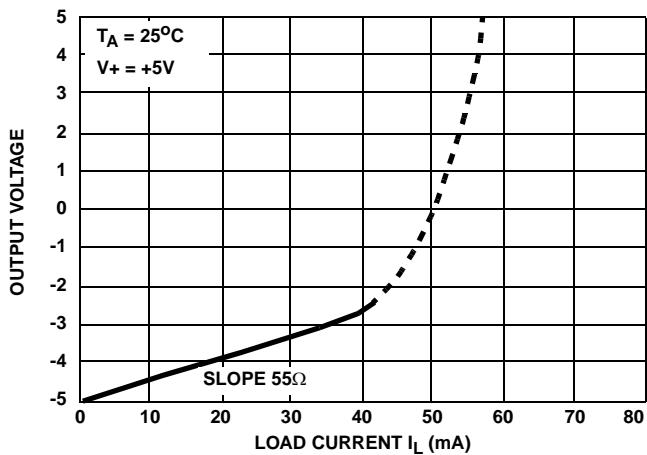


FIGURE 7. OUTPUT VOLTAGE AS A FUNCTION OF OUTPUT CURRENT

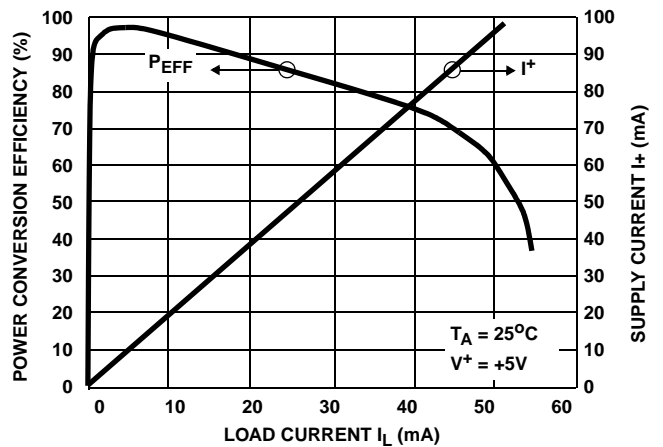


FIGURE 8. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT

Typical Performance Curves (Test Circuit of Figure 11) (Continued)

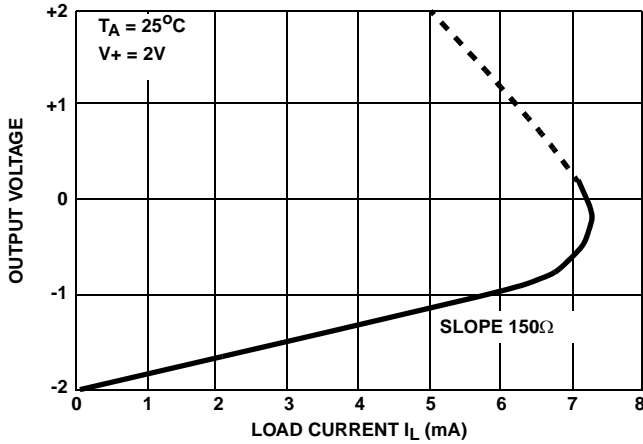


FIGURE 9. OUTPUT VOLTAGE AS A FUNCTION OF OUTPUT CURRENT

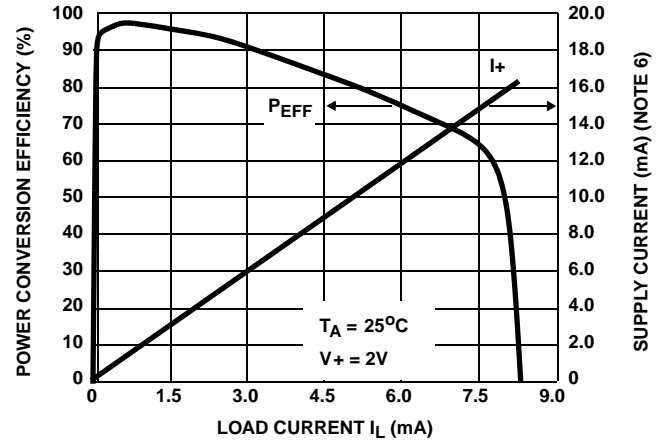
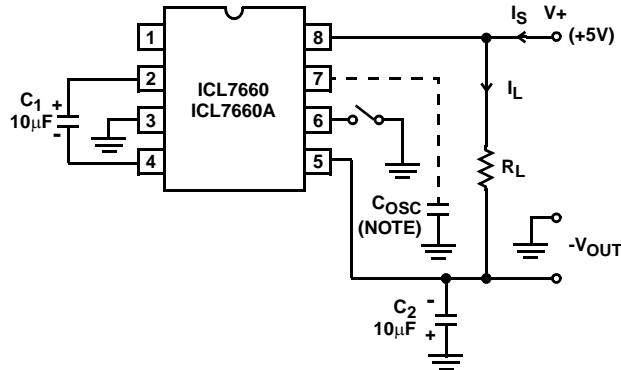


FIGURE 10. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT

NOTE:

6. These curves include in the supply current that current fed directly into the load R_L from the $V+$ (See Figure 11). Thus, approximately half the supply current goes directly to the positive side of the load, and the other half, through the ICL7660/ICL7660A, to the negative side of the load. Ideally, $V_{OUT} \approx 2V_{IN}$, $I_S \approx 2I_L$, so $V_{IN} \times I_S \approx V_{OUT} \times I_L$.



NOTE: For large values of C_{OSC} ($>1000\text{pF}$) the values of C_1 and C_2 should be increased to $100\mu\text{F}$.

FIGURE 11. ICL7660, ICL7660A TEST CIRCUIT

Detailed Description

The ICL7660 and ICL7660A contain all the necessary circuitry to complete a negative voltage converter, with the exception of 2 external capacitors which may be inexpensive $10\mu\text{F}$ polarized electrolytic types. The mode of operation of the device may be best understood by considering Figure 12, which shows an idealized negative voltage converter. Capacitor C_1 is charged to a voltage, $V+$, for the half cycle when switches S_1 and S_3 are closed. (Note: Switches S_2 and S_4 are open during this half cycle.) During the second half cycle of operation, switches S_2 and S_4 are closed, with S_1 and S_3 open, thereby shifting capacitor C_1 negatively by $V+$ volts. Charge is then transferred from C_1 to C_2 such that the voltage on C_2 is exactly $V+$, assuming ideal switches and no load on C_2 . The ICL7660 approaches this ideal situation more closely than existing non-mechanical circuits.

In the ICL7660 and ICL7660A, the 4 switches of Figure 12 are MOS power switches; S_1 is a P-Channel device and S_2 , S_3 and S_4 are N-Channel devices. The main difficulty with this approach is that in integrating the switches, the substrates of S_3 and S_4 must always remain reverse biased with respect to their sources, but not so much as to degrade their "ON" resistances. In addition, at circuit start-up, and under output short circuit conditions ($V_{OUT} = V+$), the output voltage must be sensed and the substrate bias adjusted accordingly. Failure to accomplish this would result in high power losses and probable device latchup.

This problem is eliminated in the ICL7660 and ICL7660A by a logic network which senses the output voltage (V_{OUT}) together with the level translators, and switches the substrates of S_3 and S_4 to the correct level to maintain necessary reverse bias.

The voltage regulator portion of the ICL7660 and ICL7660A is an integral part of the anti-latchup circuitry, however its inherent voltage drop can degrade operation at low voltages. Therefore, to improve low voltage operation the "LV" pin should be connected to GROUND, disabling the regulator. For supply voltages greater than 3.5V the LV terminal must be left open to insure latchup proof operation, and prevent device damage.

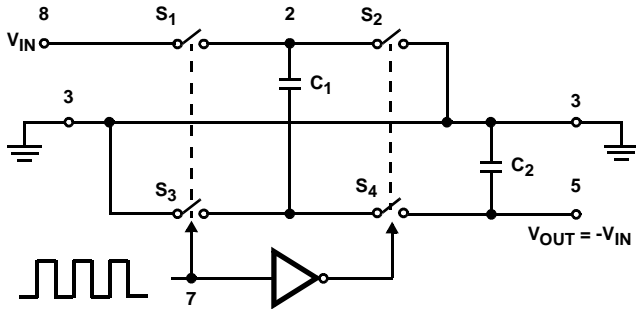


FIGURE 12. IDEALIZED NEGATIVE VOLTAGE CONVERTER

Theoretical Power Efficiency Considerations

In theory a voltage converter can approach 100% efficiency if certain conditions are met.

1. The driver circuitry consumes minimal power.
2. The output switches have extremely low ON resistance and virtually no offset.
3. The impedances of the pump and reservoir capacitors are negligible at the pump frequency.

The ICL7660 and ICL7660A approach these conditions for negative voltage conversion if large values of C_1 and C_2 are used.

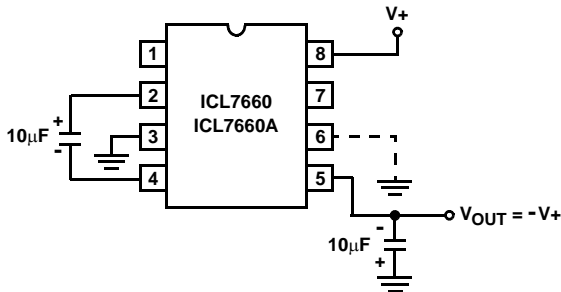


FIGURE 13A. CONFIGURATION

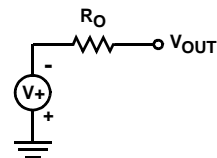


FIGURE 13B. THEVENIN EQUIVALENT

FIGURE 13. SIMPLE NEGATIVE CONVERTER

ENERGY IS LOST ONLY IN THE TRANSFER OF CHARGE BETWEEN CAPACITORS IF A CHANGE IN VOLTAGE OCCURS. The energy lost is defined by:

$$E = \frac{1}{2} C_1 (V_1^2 - V_2^2)$$

where V_1 and V_2 are the voltages on C_1 during the pump and transfer cycles. If the impedances of C_1 and C_2 are relatively high at the pump frequency (refer to Figure 12) compared to the value of R_L , there will be a substantial difference in the voltages V_1 and V_2 . Therefore it is not only desirable to make C_2 as large as possible to eliminate output voltage ripple, but also to employ a correspondingly large value for C_1 in order to achieve maximum efficiency of operation.

Do's And Don'ts

1. Do not exceed maximum supply voltages.
2. Do not connect LV terminal to GROUND for supply voltages greater than 3.5V.
3. Do not short circuit the output to $V+$ supply for supply voltages above 5.5V for extended periods, however, transient conditions including start-up are okay.
4. When using polarized capacitors, the + terminal of C_1 must be connected to pin 2 of the ICL7660 and ICL7660A and the + terminal of C_2 must be connected to GROUND.
5. If the voltage supply driving the ICL7660 and ICL7660A has a large source impedance ($25\Omega - 30\Omega$), then a $2.2\mu F$ capacitor from pin 8 to ground may be required to limit rate of rise of input voltage to less than $2V/\mu s$.
6. User should insure that the output (pin 5) does not go more positive than GND (pin 3). Device latch up will occur under these conditions. A 1N914 or similar diode placed in parallel with C_2 will prevent the device from latching up under these conditions. (Anode pin 5, Cathode pin 3).

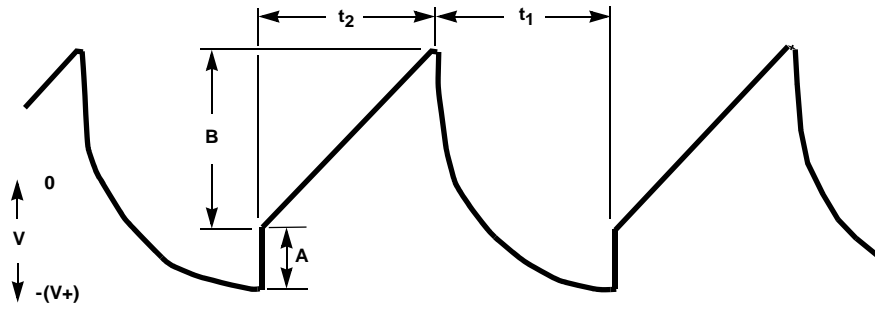


FIGURE 14. OUTPUT RIPPLE

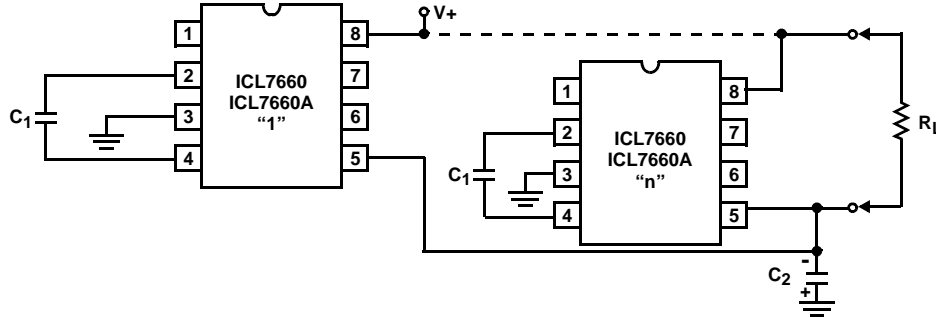


FIGURE 15. PARALLELING DEVICES

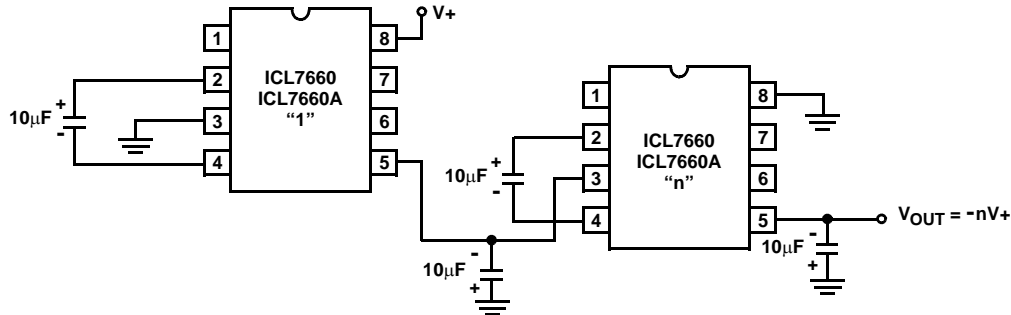


FIGURE 16. CASCADING DEVICES FOR INCREASED OUTPUT VOLTAGE

Typical Applications

Simple Negative Voltage Converter

The majority of applications will undoubtedly utilize the ICL7660 and ICL7660A for generation of negative supply voltages. Figure 13 shows typical connections to provide a negative supply negative (GND) for supply voltages below 3.5V.

The output characteristics of the circuit in Figure 13A can be approximated by an ideal voltage source in series with a resistance as shown in Figure 13B. The voltage source has a value of $-V_+$. The output impedance (R_O) is a function of the ON resistance of the internal MOS switches (shown in Figure 12), the switching frequency, the value of C_1 and C_2 , and the ESR (equivalent series resistance) of C_1 and C_2 . A good first order approximation for R_O is:

$$R_O \cong 2(R_{SW1} + R_{SW3} + ESR_{C1}) + 2(R_{SW2} + R_{SW4} + ESR_{C1}) +$$

$$R_O \cong 2(R_{SW1} + R_{SW3} + ESR_{C1}) + \frac{1}{(f_{PUMP})(C_1)} + ESR_{C2}$$

$$(f_{PUMP} = \frac{f_{OSC}}{2}, R_{SWX} = \text{MOSFET switch resistance})$$

Combining the four R_{SWX} terms as R_{SW} , we see that:

$$R_O \cong 2(R_{SW}) + \frac{1}{(f_{PUMP})(C_1)} + 4(ESR_{C1}) + ESR_{C2}$$

R_{SW} , the total switch resistance, is a function of supply voltage and temperature (See the Output Source Resistance graphs), typically 23Ω at 25°C and 5V. Careful selection of C_1 and C_2 will reduce the remaining terms, minimizing the output impedance. High value capacitors will reduce the $1/(f_{PUMP} \cdot C_1)$ component, and low ESR capacitors will lower the ESR term. Increasing the oscillator frequency will reduce the $1/(f_{PUMP} \cdot C_1)$ term, but may have the side effect of a net increase in output impedance when $C_1 > 10\mu\text{F}$ and there is no longer enough time to fully charge the capacitors

every cycle. In a typical application where $f_{OSC} = 10\text{kHz}$ and $C = C_1 = C_2 = 10\mu\text{F}$:

$$R_O \cong 2(23) + \frac{1}{(5 \cdot 10^3)(10^{-5})} + 4(ESR_{C1}) + ESR_{C2}$$

$$R_O \cong 46 + 20 + 5(ESR_C)$$

Since the ESRs of the capacitors are reflected in the output impedance multiplied by a factor of 5, a high value could potentially swamp out a low $1/(f_{PUMP} \cdot C_1)$ term, rendering an increase in switching frequency or filter capacitance ineffective. Typical electrolytic capacitors may have ESRs as high as 10Ω .

$$R_O \cong 2(23) + \frac{1}{(5 \cdot 10^3)(10^{-5})} + 4(ESR_{C1}) + ESR_{C2}$$

$$R_O \cong 46 + 20 + 5(ESR_C)$$

Since the ESRs of the capacitors are reflected in the output impedance multiplied by a factor of 5, a high value could potentially swamp out a low $1/(f_{PUMP} \cdot C_1)$ term, rendering an increase in switching frequency or filter capacitance ineffective. Typical electrolytic capacitors may have ESRs as high as 10Ω .

Output Ripple

ESR also affects the ripple voltage seen at the output. The total ripple is determined by 2 voltages, A and B, as shown in Figure 14. Segment A is the voltage drop across the ESR of C_2 at the instant it goes from being charged by C_1 (current flow into C_2) to being discharged through the load (current flowing out of C_2). The magnitude of this current change is $2 \cdot I_{OUT}$, hence the total drop is $2 \cdot I_{OUT} \cdot eSR_{C2}V$. Segment B is the voltage change across C_2 during time t_2 , the half of the cycle when C_2 supplies current to the load. The drop at B is $I_{OUT} \cdot t_2/C_2V$. The peak-to-peak ripple voltage is the sum of these voltage drops:

$$V_{RIPPLE} \cong \left[\frac{1}{2(f_{PUMP})(C_2)} + 2(ESR_{C2}) \right] I_{OUT}$$

Again, a low ESR capacitor will result in a higher performance output.

Paralleling Devices

Any number of ICL7660 and ICL7660A voltage converters may be paralleled to reduce output resistance. The reservoir capacitor, C_2 , serves all devices while each device requires its own pump capacitor, C_1 . The resultant output resistance would be approximately:

$$R_{OUT} = \frac{R_{OUT} \text{ (of ICL7660/ICL7660A)}}{n \text{ (number of devices)}}$$

Cascading Devices

The ICL7660 and ICL7660A may be cascaded as shown to produce larger negative multiplication of the initial supply voltage. However, due to the finite efficiency of each device, the practical limit is 10 devices for light loads. The output voltage is defined by:

$$V_{OUT} = -n(V_{IN}),$$

where n is an integer representing the number of devices cascaded. The resulting output resistance would be approximately the weighted sum of the individual ICL7660 and ICL7660A R_{OUT} values.

Changing the ICL7660/ICL7660A Oscillator Frequency

It may be desirable in some applications, due to noise or other considerations, to increase the oscillator frequency. This is achieved by overdriving the oscillator from an external clock, as shown in Figure 17. In order to prevent possible device latchup, a $1k\Omega$ resistor must be used in series with the clock output. In a situation where the designer has generated the external clock frequency using TTL logic, the addition of a $10k\Omega$ pullup resistor to $V+$ supply is required. Note that the pump frequency with external clocking, as with internal clocking, will be $1/2$ of the clock frequency. Output transitions occur on the positive-going edge of the clock.

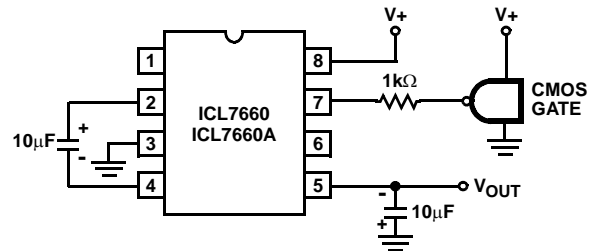


FIGURE 17. EXTERNAL CLOCKING

It is also possible to increase the conversion efficiency of the ICL7660 and ICL7660A at low load levels by lowering the oscillator frequency. This reduces the switching losses, and is shown in Figure 18. However, lowering the oscillator frequency will cause an undesirable increase in the impedance of the pump (C_1) and reservoir (C_2) capacitors; this is overcome by increasing the values of C_1 and C_2 by the same factor that the frequency has been reduced. For example, the addition of a 100pF capacitor between pin 7 (OSC) and $V+$ will lower the oscillator frequency to 1kHz from its nominal frequency of 10kHz (a multiple of 10), and thereby necessitate a corresponding increase in the value of C_1 and C_2 (from $10\mu\text{F}$ to $100\mu\text{F}$).

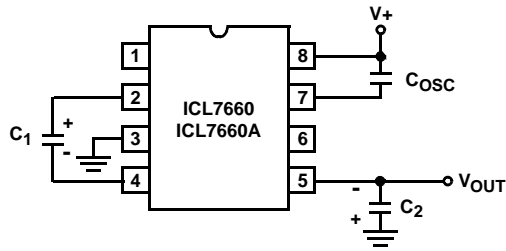


FIGURE 18. LOWERING OSCILLATOR FREQUENCY

Positive Voltage Doubling

The ICL7660 and ICL7660A may be employed to achieve positive voltage doubling using the circuit shown in Figure 19. In this application, the pump inverter switches of the ICL7660 and ICL7660A are used to charge C_1 to a voltage level of $V_+ - V_F$ (where V_+ is the supply voltage and V_F is the forward voltage drop of diode D_1). On the transfer cycle, the voltage on C_1 plus the supply voltage (V_+) is applied through diode D_2 to capacitor C_2 . The voltage thus created on C_2 becomes $(2V_+) - (2V_F)$ or twice the supply voltage minus the combined forward voltage drops of diodes D_1 and D_2 .

The source impedance of the output (V_{OUT}) will depend on the output current, but for $V_+ = 5V$ and an output current of 10mA it will be approximately 60Ω .

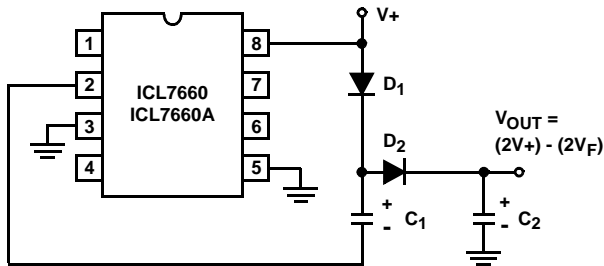


FIGURE 19. POSITIVE VOLT DOUBLER

Combined Negative Voltage Conversion and Positive Supply Doubling

Figure 20 combines the functions shown in Figures 13 and Figure 19 to provide negative voltage conversion and positive voltage doubling simultaneously. This approach would be, for example, suitable for generating +9V and -5V from an existing +5V supply. In this instance capacitors C_1 and C_3 perform the pump and reservoir functions respectively for the generation of the negative voltage, while capacitors C_2 and C_4 are pump and reservoir respectively for the doubled positive voltage. There is a penalty in this configuration which combines both functions, however, in that the source impedances of the generated supplies will be somewhat higher due to the finite impedance of the common charge pump driver at pin 2 of the device.

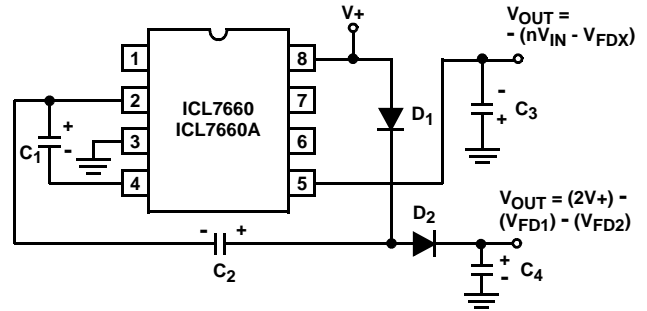


FIGURE 20. COMBINED NEGATIVE VOLTAGE CONVERTER AND POSITIVE DOUBLER

Voltage Splitting

The bidirectional characteristics can also be used to split a higher supply in half, as shown in Figure 21. The combined load will be evenly shared between the two sides. Because the switches share the load in parallel, the output impedance is much lower than in the standard circuits, and higher currents can be drawn from the device. By using this circuit, and then the circuit of Figure 16, +15V can be converted (via +7.5, and -7.5) to a nominal -15V, although with rather high series output resistance ($\sim 250\Omega$).

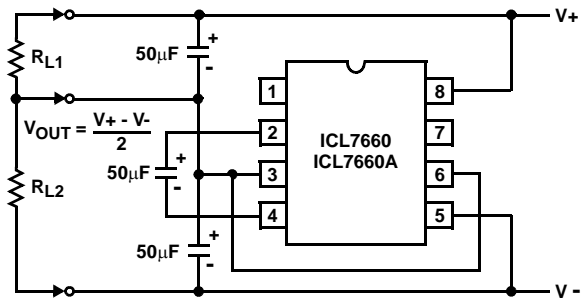


FIGURE 21. SPLITTING A SUPPLY IN HALF

Regulated Negative Voltage Supply

In some cases, the output impedance of the ICL7660 and ICL7660A can be a problem, particularly if the load current varies substantially. The circuit of Figure 22 can be used to overcome this by controlling the input voltage, via an ICL7611 low-power CMOS op amp, in such a way as to maintain a nearly constant output voltage. Direct feedback is inadvisable, since the ICL7660s and ICL7660As output does not respond instantaneously to change in input, but only after the switching delay. The circuit shown supplies enough delay to accommodate the ICL7660 and ICL7660A, while maintaining adequate feedback. An increase in pump and storage capacitors is desirable, and the values shown provides an output impedance of less than 5Ω to a load of 10mA.

Other Applications

Further information on the operation and use of the ICL7660 and ICL7660A may be found in AN051 "Principals and Applications of the ICL7660 and ICL7660A CMOS Voltage Converter".

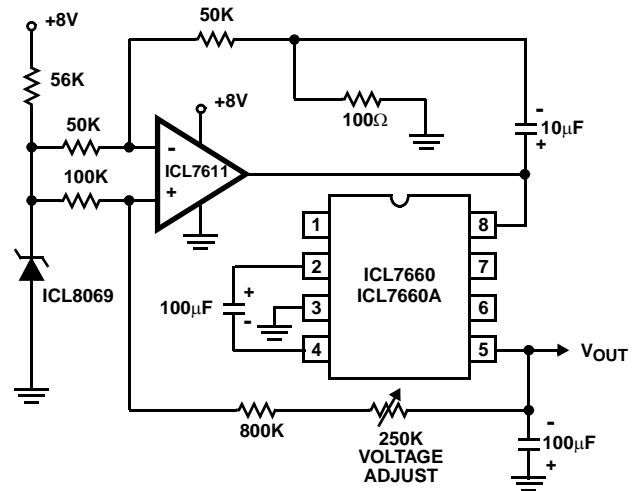


FIGURE 22. REGULATING THE OUTPUT VOLTAGE

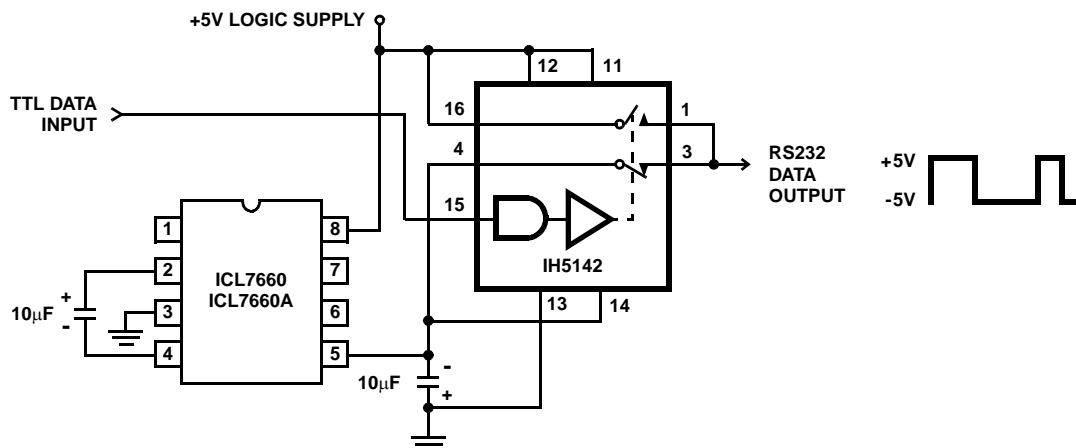


FIGURE 23. RS232 LEVELS FROM A SINGLE 5V SUPPLY

All Intersil products are manufactured, assembled and tested utilizing ISO9000 quality systems. Intersil Corporation's quality certifications can be viewed at website www.intersil.com/design/quality

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

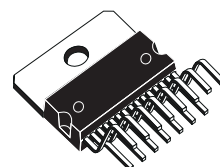
For information regarding Intersil Corporation and its products, see web site www.intersil.com

DUAL FULL-BRIDGE DRIVER

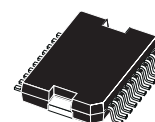
- OPERATING SUPPLY VOLTAGE UP TO 46 V
- TOTAL DC CURRENT UP TO 4 A
- LOW SATURATION VOLTAGE
- OVERTEMPERATURE PROTECTION
- LOGICAL "0" INPUT VOLTAGE UP TO 1.5 V (HIGH NOISE IMMUNITY)

DESCRIPTION

The L298 is an integrated monolithic circuit in a 15-lead Multiwatt and PowerSO20 packages. It is a high voltage, high current dual full-bridge driver designed to accept standard TTL logic levels and drive inductive loads such as relays, solenoids, DC and stepping motors. Two enable inputs are provided to enable or disable the device independently of the input signals. The emitters of the lower transistors of each bridge are connected together and the corresponding external terminal can be used for the con-



Multiwatt15

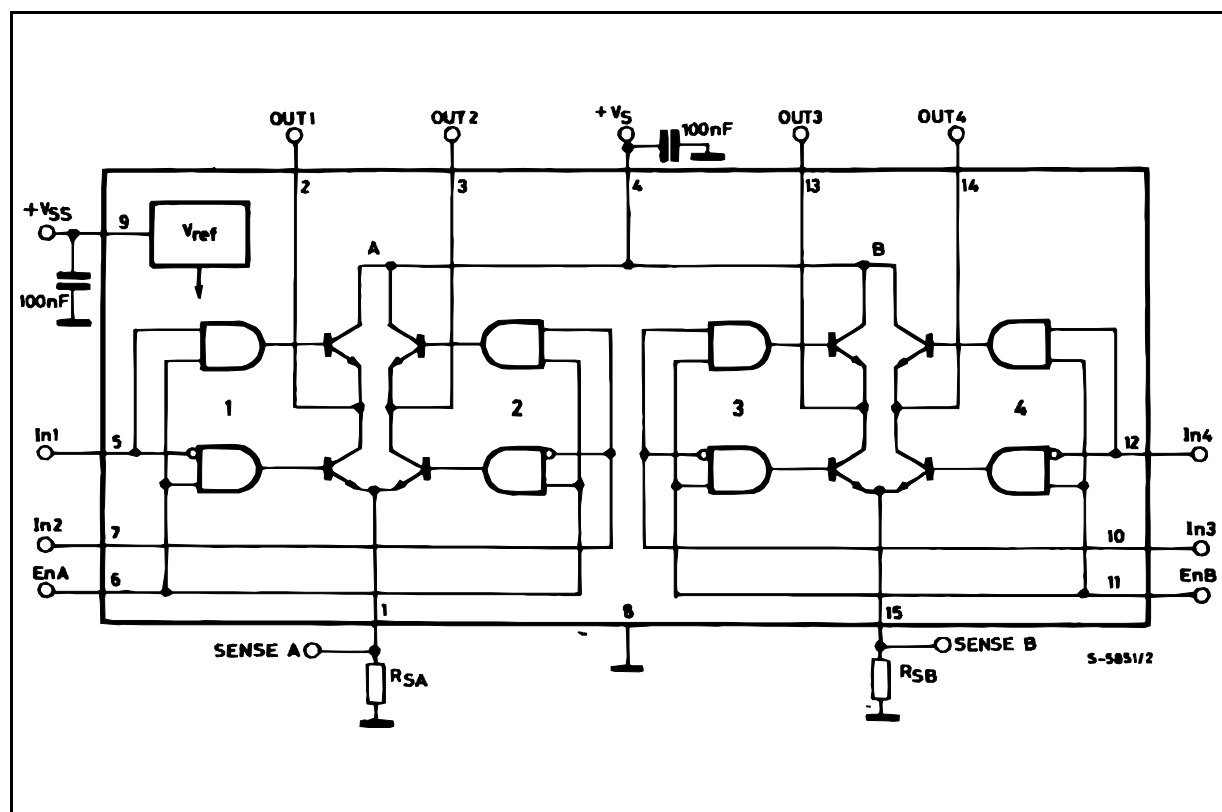


PowerSO20

ORDERING NUMBERS : L298N (Multiwatt Vert.)
L298HN (Multiwatt Horiz.)
L298P (PowerSO20)

nection of an external sensing resistor. An additional supply input is provided so that the logic works at a lower voltage.

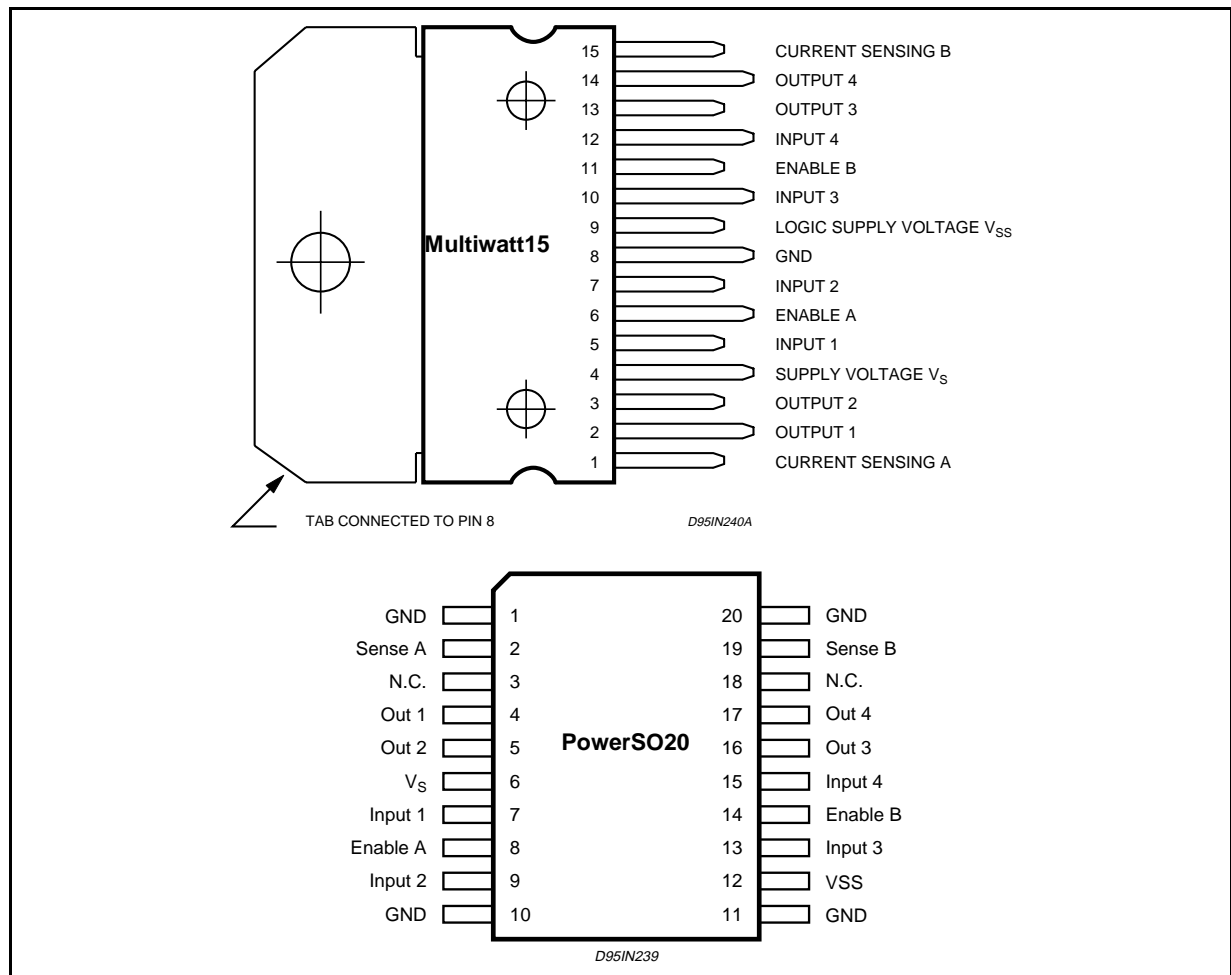
BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_S	Power Supply	50	V
V_{SS}	Logic Supply Voltage	7	V
V_I, V_{en}	Input and Enable Voltage	-0.3 to 7	V
I_O	Peak Output Current (each Channel) – Non Repetitive ($t = 100\mu s$) – Repetitive (80% on –20% off; $t_{on} = 10ms$) – DC Operation	3 2.5 2	A A A
V_{sens}	Sensing Voltage	-1 to 2.3	V
P_{tot}	Total Power Dissipation ($T_{case} = 75^\circ C$)	25	W
T_{op}	Junction Operating Temperature	-25 to 130	$^\circ C$
T_{stg}, T_j	Storage and Junction Temperature	-40 to 150	$^\circ C$

PIN CONNECTIONS (top view)



THERMAL DATA

Symbol	Parameter	PowerSO20	Multiwatt15	Unit
$R_{th\ j-case}$	Thermal Resistance Junction-case	Max. –	3	$^\circ C/W$
$R_{th\ j-amb}$	Thermal Resistance Junction-ambient	Max. 13 (*)	35	$^\circ C/W$

(*) Mounted on aluminum substrate

PIN FUNCTIONS (refer to the block diagram)

MW.15	PowerSO	Name	Function
1;15	2;19	Sense A; Sense B	Between this pin and ground is connected the sense resistor to control the current of the load.
2;3	4;5	Out 1; Out 2	Outputs of the Bridge A; the current that flows through the load connected between these two pins is monitored at pin 1.
4	6	V _S	Supply Voltage for the Power Output Stages. A non-inductive 100nF capacitor must be connected between this pin and ground.
5;7	7;9	Input 1; Input 2	TTL Compatible Inputs of the Bridge A.
6;11	8;14	Enable A; Enable B	TTL Compatible Enable Input: the L state disables the bridge A (enable A) and/or the bridge B (enable B).
8	1,10,11,20	GND	Ground.
9	12	V _{SS}	Supply Voltage for the Logic Blocks. A100nF capacitor must be connected between this pin and ground.
10; 12	13;15	Input 3; Input 4	TTL Compatible Inputs of the Bridge B.
13; 14	16;17	Out 3; Out 4	Outputs of the Bridge B. The current that flows through the load connected between these two pins is monitored at pin 15.
–	3;18	N.C.	Not Connected

ELECTRICAL CHARACTERISTICS (V_S = 42V; V_{SS} = 5V, T_j = 25°C; unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _S	Supply Voltage (pin 4)	Operative Condition	V _{IH} +2.5		46	V
V _{SS}	Logic Supply Voltage (pin 9)		4.5	5	7	V
I _S	Quiescent Supply Current (pin 4)	V _{en} = H; I _L = 0 V _i = L V _i = H		13 50	22 70	mA mA
		V _{en} = L V _i = X			4	mA
I _{SS}	Quiescent Current from V _{SS} (pin 9)	V _{en} = H; I _L = 0 V _i = L V _i = H		24 7	36 12	mA mA
		V _{en} = L V _i = X			6	mA
V _{iL}	Input Low Voltage (pins 5, 7, 10, 12)		–0.3		1.5	V
V _{iH}	Input High Voltage (pins 5, 7, 10, 12)		2.3		V _{SS}	V
I _{iL}	Low Voltage Input Current (pins 5, 7, 10, 12)	V _i = L			–10	μA
I _{iH}	High Voltage Input Current (pins 5, 7, 10, 12)	V _i = H ≤ V _{SS} –0.6V		30	100	μA
V _{en} = L	Enable Low Voltage (pins 6, 11)		–0.3		1.5	V
V _{en} = H	Enable High Voltage (pins 6, 11)		2.3		V _{SS}	V
I _{en} = L	Low Voltage Enable Current (pins 6, 11)	V _{en} = L			–10	μA
I _{en} = H	High Voltage Enable Current (pins 6, 11)	V _{en} = H ≤ V _{SS} –0.6V		30	100	μA
V _{CEsat} (H)	Source Saturation Voltage	I _L = 1A	0.95	1.35	1.7	V
		I _L = 2A		2	2.7	V
V _{CEsat} (L)	Sink Saturation Voltage	I _L = 1A (5)	0.85	1.2	1.6	V
		I _L = 2A (5)		1.7	2.3	V
V _{CEsat}	Total Drop	I _L = 1A (5)	1.80		3.2	V
		I _L = 2A (5)			4.9	V
V _{sens}	Sensing Voltage (pins 1, 15)		–1 (1)		2	V

ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$T_1 (V_i)$	Source Current Turn-off Delay	$0.5 V_i$ to $0.9 I_L$ (2); (4)		1.5		μs
$T_2 (V_i)$	Source Current Fall Time	$0.9 I_L$ to $0.1 I_L$ (2); (4)		0.2		μs
$T_3 (V_i)$	Source Current Turn-on Delay	$0.5 V_i$ to $0.1 I_L$ (2); (4)		2		μs
$T_4 (V_i)$	Source Current Rise Time	$0.1 I_L$ to $0.9 I_L$ (2); (4)		0.7		μs
$T_5 (V_i)$	Sink Current Turn-off Delay	$0.5 V_i$ to $0.9 I_L$ (3); (4)		0.7		μs
$T_6 (V_i)$	Sink Current Fall Time	$0.9 I_L$ to $0.1 I_L$ (3); (4)		0.25		μs
$T_7 (V_i)$	Sink Current Turn-on Delay	$0.5 V_i$ to $0.9 I_L$ (3); (4)		1.6		μs
$T_8 (V_i)$	Sink Current Rise Time	$0.1 I_L$ to $0.9 I_L$ (3); (4)		0.2		μs
$f_c (V_i)$	Commutation Frequency	$I_L = 2A$		25	40	KHz
$T_1 (V_{en})$	Source Current Turn-off Delay	$0.5 V_{en}$ to $0.9 I_L$ (2); (4)		3		μs
$T_2 (V_{en})$	Source Current Fall Time	$0.9 I_L$ to $0.1 I_L$ (2); (4)		1		μs
$T_3 (V_{en})$	Source Current Turn-on Delay	$0.5 V_{en}$ to $0.1 I_L$ (2); (4)		0.3		μs
$T_4 (V_{en})$	Source Current Rise Time	$0.1 I_L$ to $0.9 I_L$ (2); (4)		0.4		μs
$T_5 (V_{en})$	Sink Current Turn-off Delay	$0.5 V_{en}$ to $0.9 I_L$ (3); (4)		2.2		μs
$T_6 (V_{en})$	Sink Current Fall Time	$0.9 I_L$ to $0.1 I_L$ (3); (4)		0.35		μs
$T_7 (V_{en})$	Sink Current Turn-on Delay	$0.5 V_{en}$ to $0.9 I_L$ (3); (4)		0.25		μs
$T_8 (V_{en})$	Sink Current Rise Time	$0.1 I_L$ to $0.9 I_L$ (3); (4)		0.1		μs

1) Sensing voltage can be $-1 V$ for $t \leq 50 \mu s$; in steady state $V_{sens} \min \geq -0.5 V$.

2) See fig. 2.

3) See fig. 4.

4) The load must be a pure resistor.

Figure 1 : Typical Saturation Voltage vs. Output Current.

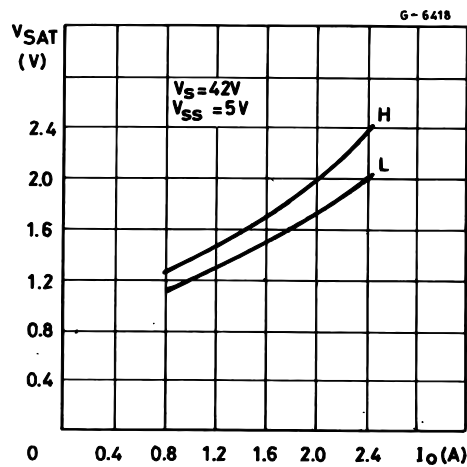
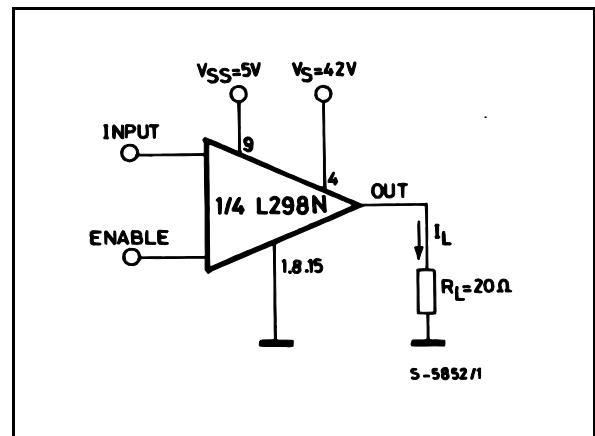
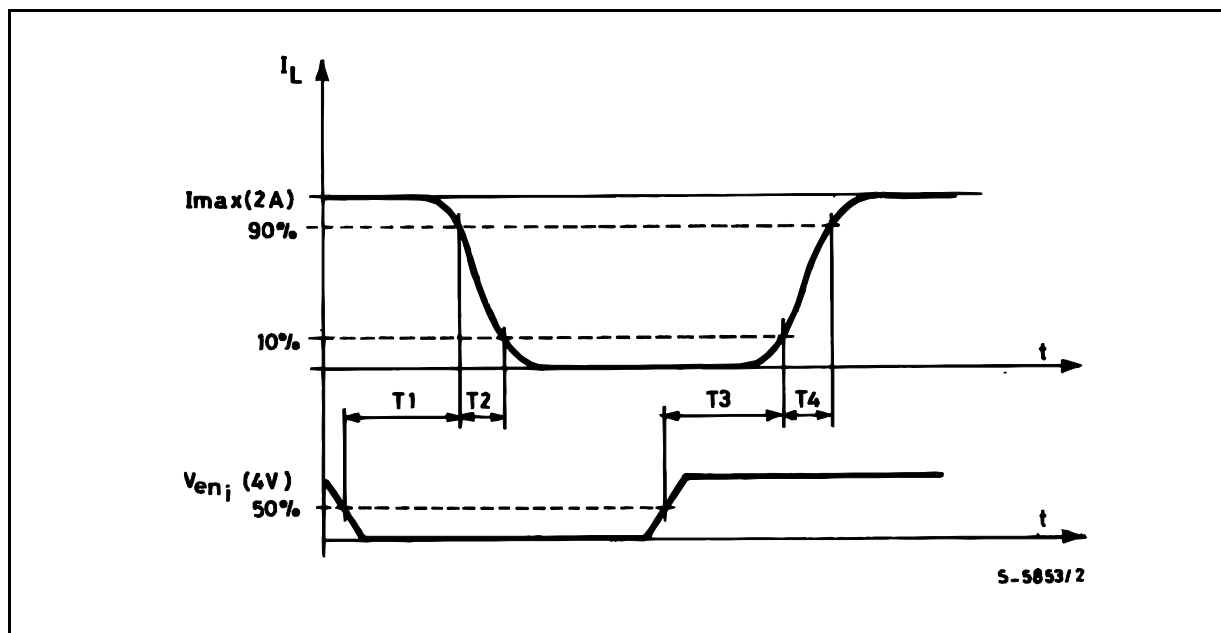
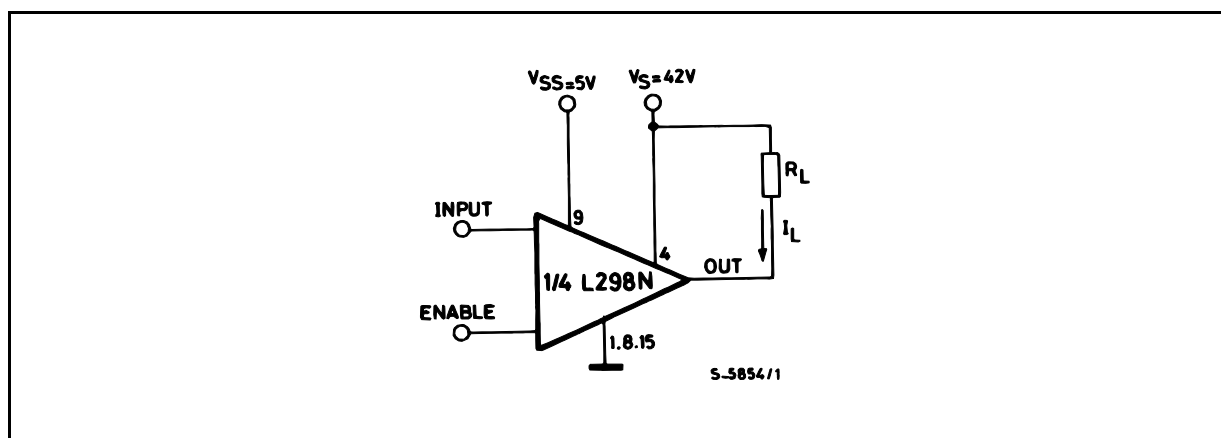


Figure 2 : Switching Times Test Circuits.



Note : For INPUT Switching, set EN = H
For ENABLE Switching, set IN = H

Figure 3 : Source Current Delay Times vs. Input or Enable Switching.**Figure 4 :** Switching Times Test Circuits.

Note : For INPUT Switching, set EN = H
 For ENABLE Switching, set IN = L

Figure 5 : Sink Current Delay Times vs. Input 0 V Enable Switching.

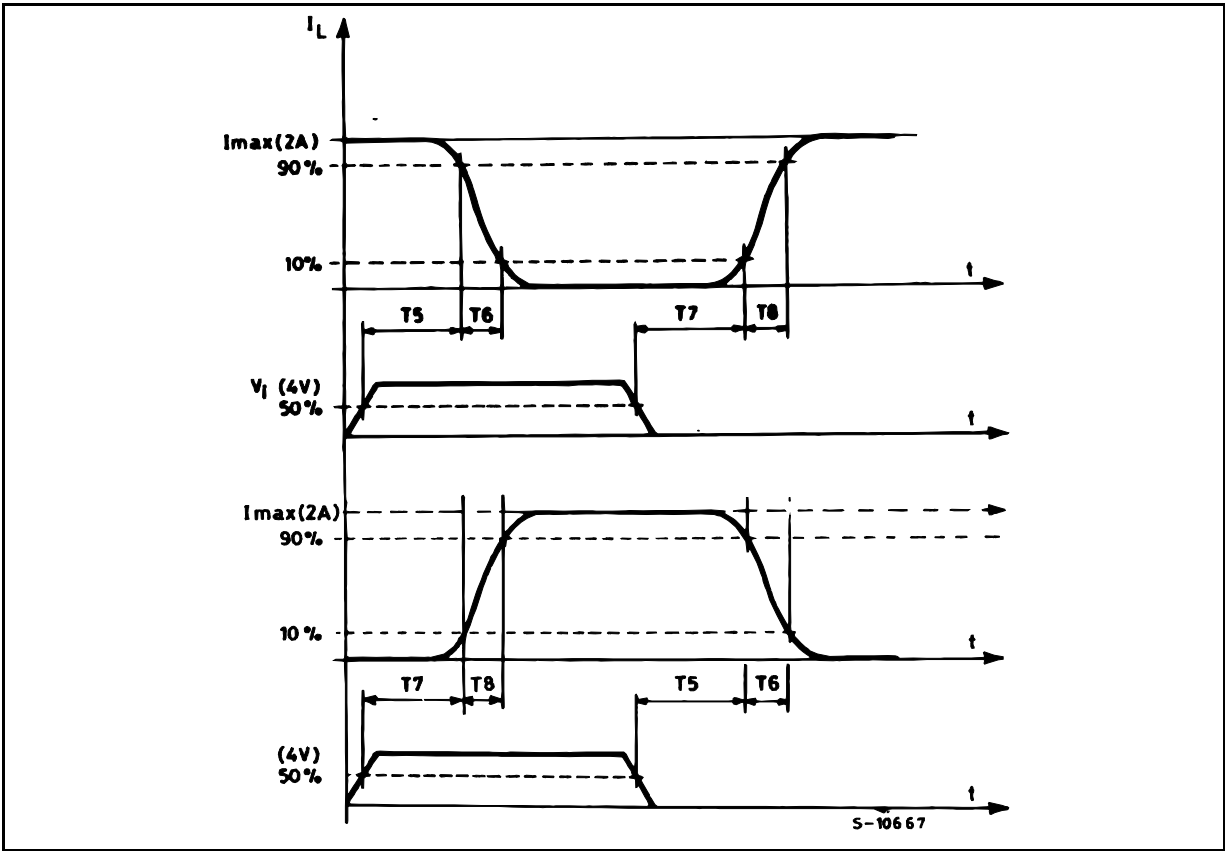


Figure 6 : Bidirectional DC Motor Control.

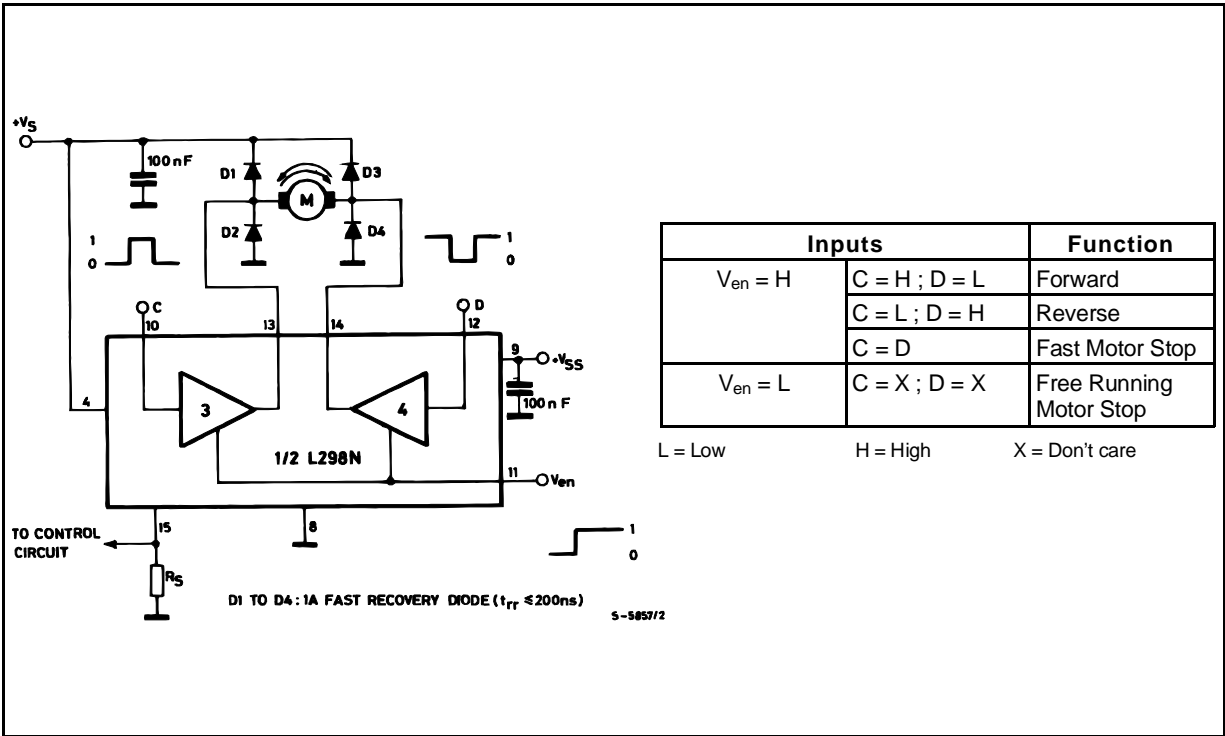
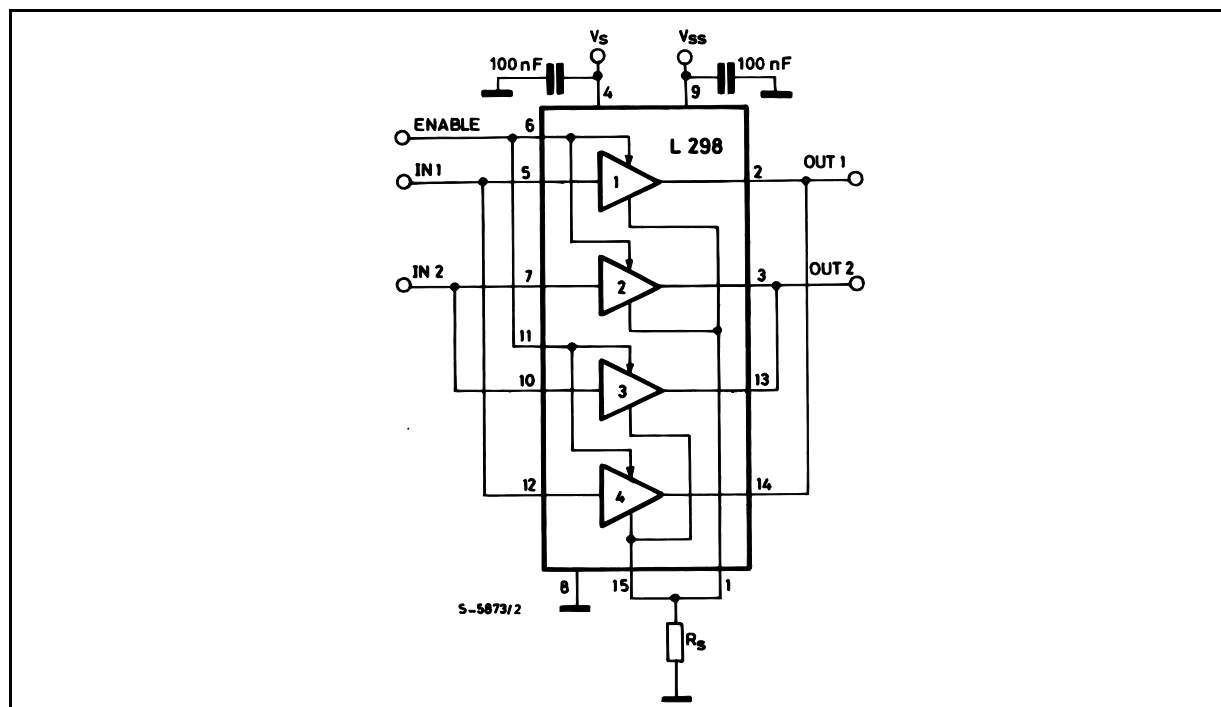


Figure 7 : For higher currents, outputs can be paralleled. Take care to parallel channel 1 with channel 4 and channel 2 with channel 3.



APPLICATION INFORMATION (Refer to the block diagram)

1.1. POWER OUTPUT STAGE

The L298 integrates two power output stages (A ; B). The power output stage is a bridge configuration and its outputs can drive an inductive load in common or differenzial mode, depending on the state of the inputs. The current that flows through the load comes out from the bridge at the sense output : an external resistor (R_{SA} ; R_{SB} .) allows to detect the intensity of this current.

1.2. INPUT STAGE

Each bridge is driven by means of four gates the input of which are In1 ; In2 ; EnA and In3 ; In4 ; EnB. The In inputs set the bridge state when The En input is high ; a low state of the En input inhibits the bridge. All the inputs are TTL compatible.

2. SUGGESTIONS

A non inductive capacitor, usually of 100 nF, must be foreseen between both Vs and Vss, to ground, as near as possible to GND pin. When the large capacitor of the power supply is too far from the IC, a second smaller one must be foreseen near the L298.

The sense resistor, not of a wire wound type, must be grounded near the negative pole of Vs that must be near the GND pin of the I.C.

Each input must be connected to the source of the driving signals by means of a very short path.

Turn-On and Turn-Off : Before to Turn-ON the Supply Voltage and before to Turn it OFF, the Enable input must be driven to the Low state.

3. APPLICATIONS

Fig 6 shows a bidirectional DC motor control Schematic Diagram for which only one bridge is needed. The external bridge of diodes D1 to D4 is made by four fast recovery elements ($t_{rr} \leq 200$ nsec) that must be chosen of a VF as low as possible at the worst case of the load current.

The sense output voltage can be used to control the current amplitude by chopping the inputs, or to provide overcurrent protection by switching low the enable input.

The brake function (Fast motor stop) requires that the Absolute Maximum Rating of 2 Amps must never be overcome.

When the repetitive peak current needed from the load is higher than 2 Amps, a paralleled configuration can be chosen (See Fig.7).

An external bridge of diodes are required when inductive loads are driven and when the inputs of the IC are chopped ; Schottky diodes would be preferred.

This solution can drive until 3 Amps In DC operation and until 3.5 Amps of a repetitive peak current.

On Fig 8 it is shown the driving of a two phase bipolar stepper motor ; the needed signals to drive the inputs of the L298 are generated, in this example, from the IC L297.

Fig 9 shows an example of P.C.B. designed for the application of Fig 8.

Figure 8 : Two Phase Bipolar Stepper Motor Circuit.

This circuit drives bipolar stepper motors with winding currents up to 2 A. The diodes are fast 2 A types.

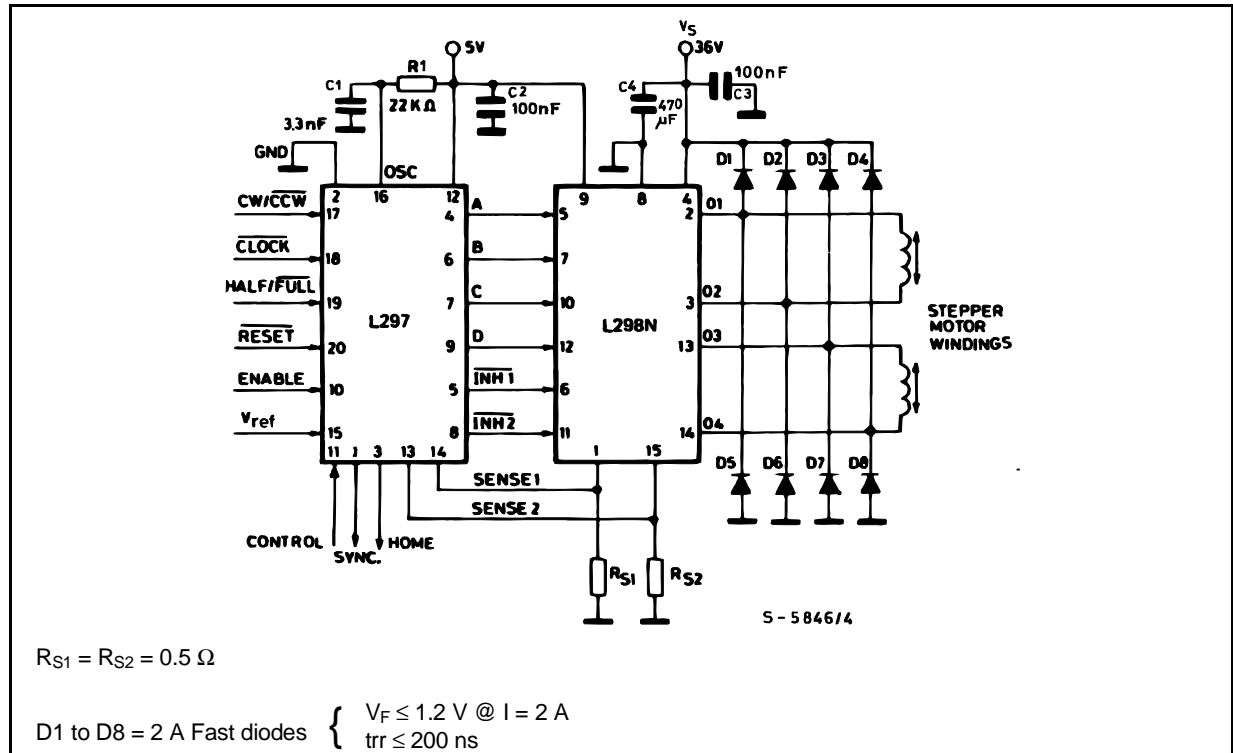


Fig 10 shows a second two phase bipolar stepper motor control circuit where the current is controlled by the I.C. L6506.

Figure 9 : Suggested Printed Circuit Board Layout for the Circuit of fig. 8 (1:1 scale).

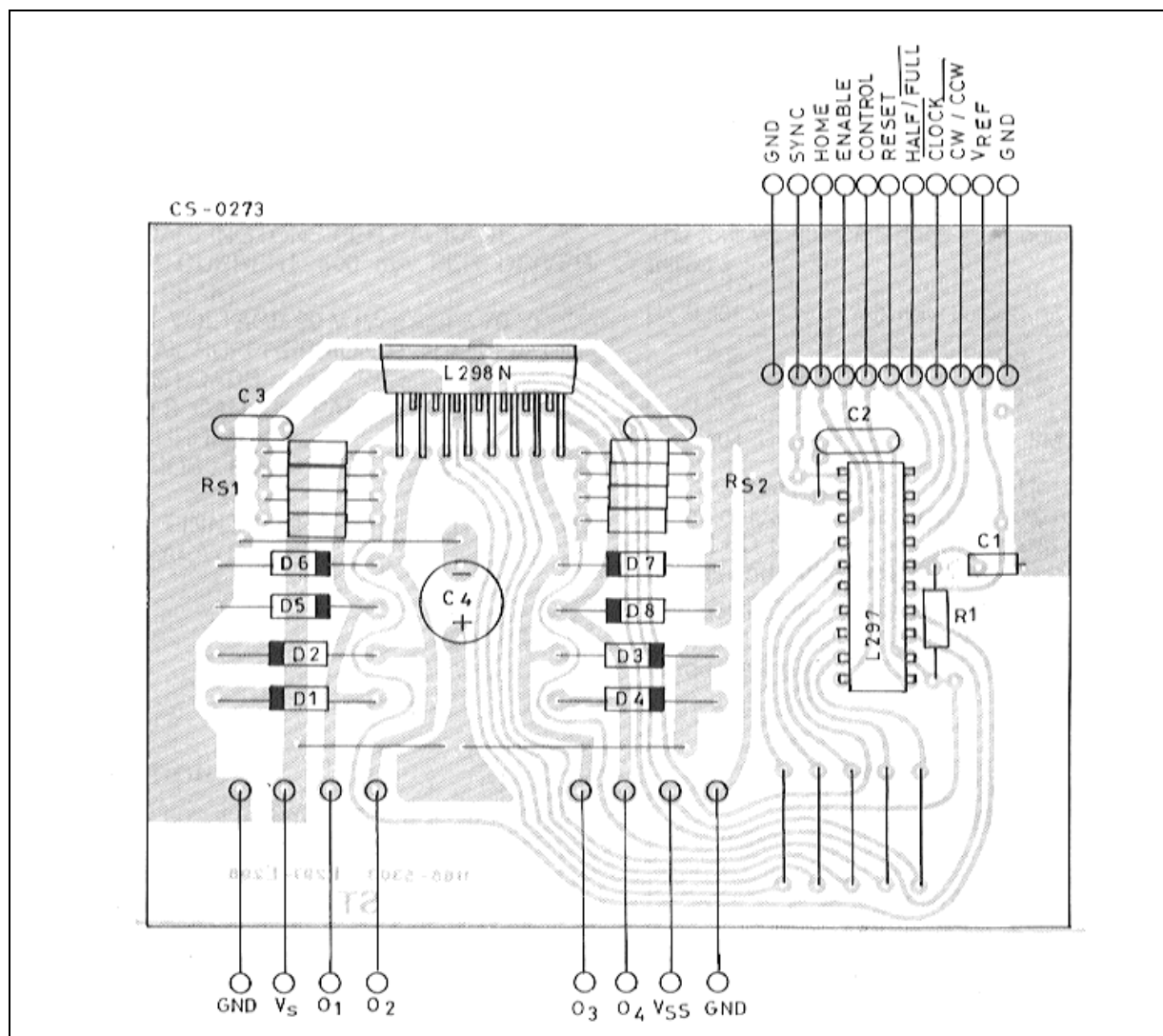
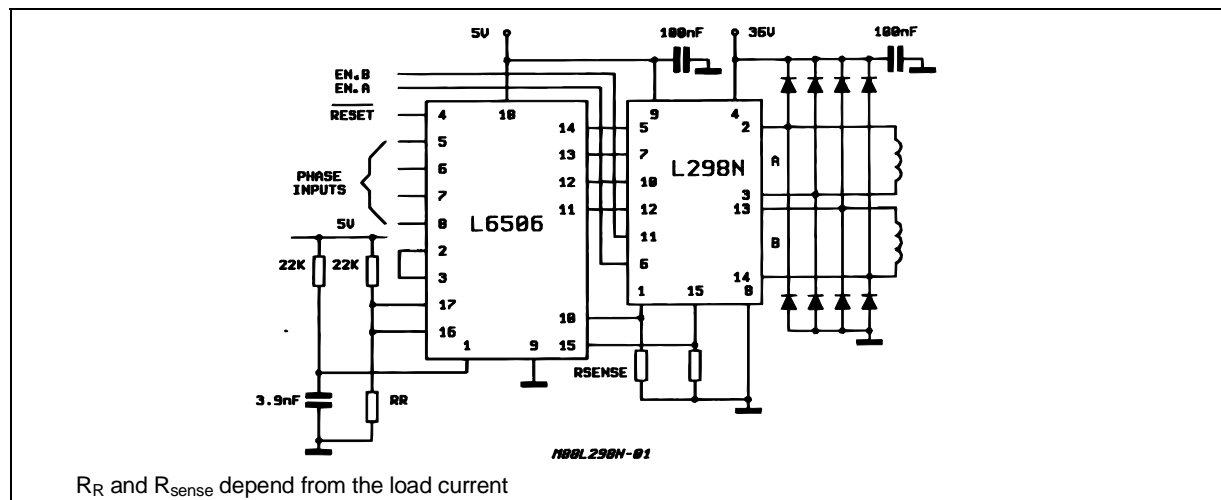
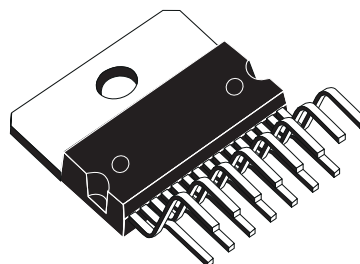


Figure 10 : Two Phase Bipolar Stepper Motor Control Circuit by Using the Current Controller L6506.

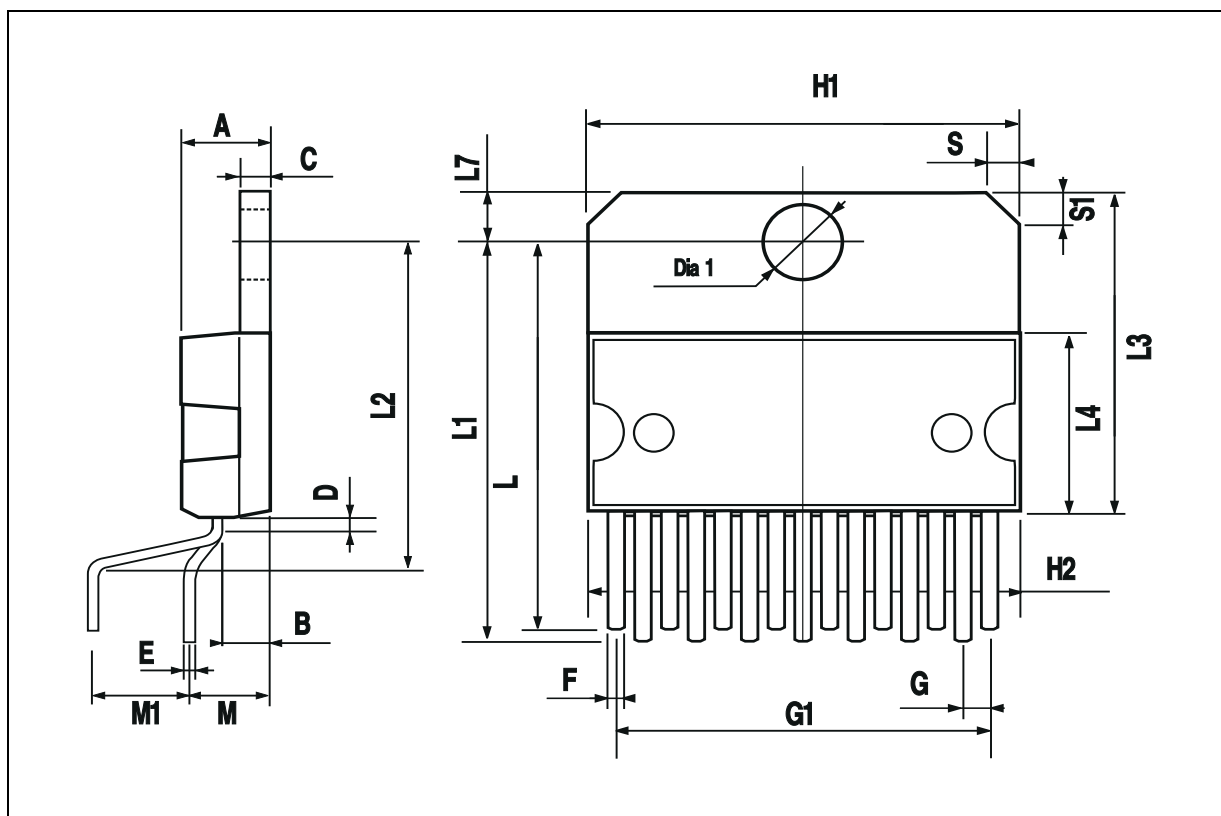


DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			5			0.197
B			2.65			0.104
C			1.6			0.063
D		1			0.039	
E	0.49		0.55	0.019		0.022
F	0.66		0.75	0.026		0.030
G	1.02	1.27	1.52	0.040	0.050	0.060
G1	17.53	17.78	18.03	0.690	0.700	0.710
H1	19.6			0.772		
H2			20.2			0.795
L	21.9	22.2	22.5	0.862	0.874	0.886
L1	21.7	22.1	22.5	0.854	0.870	0.886
L2	17.65		18.1	0.695		0.713
L3	17.25	17.5	17.75	0.679	0.689	0.699
L4	10.3	10.7	10.9	0.406	0.421	0.429
L7	2.65		2.9	0.104		0.114
M	4.25	4.55	4.85	0.167	0.179	0.191
M1	4.63	5.08	5.53	0.182	0.200	0.218
S	1.9		2.6	0.075		0.102
S1	1.9		2.6	0.075		0.102
Dia1	3.65		3.85	0.144		0.152

OUTLINE AND MECHANICAL DATA

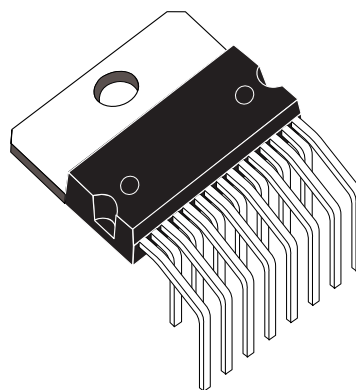


Multiwatt15 V

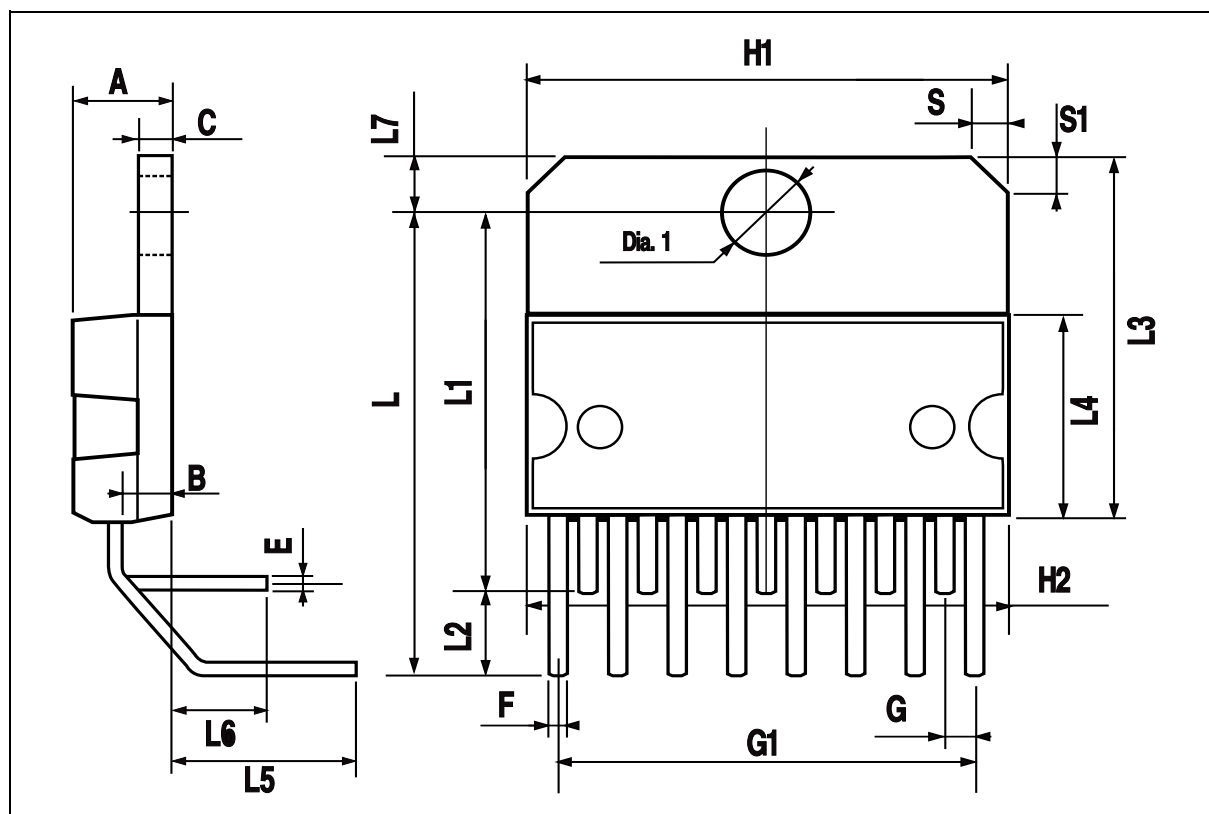


DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			5			0.197
B			2.65			0.104
C			1.6			0.063
E	0.49		0.55	0.019		0.022
F	0.66		0.75	0.026		0.030
G	1.14	1.27	1.4	0.045	0.050	0.055
G1	17.57	17.78	17.91	0.692	0.700	0.705
H1	19.6			0.772		
H2			20.2			0.795
L		20.57			0.810	
L1		18.03			0.710	
L2		2.54			0.100	
L3	17.25	17.5	17.75	0.679	0.689	0.699
L4	10.3	10.7	10.9	0.406	0.421	0.429
L5		5.28			0.208	
L6		2.38			0.094	
L7	2.65		2.9	0.104		0.114
S	1.9		2.6	0.075		0.102
S1	1.9		2.6	0.075		0.102
Dia1	3.65		3.85	0.144		0.152

OUTLINE AND MECHANICAL DATA



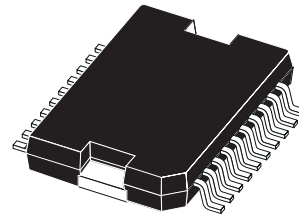
Multiwatt15 H



DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			3.6			0.142
a1	0.1		0.3	0.004		0.012
a2			3.3			0.130
a3	0		0.1	0.000		0.004
b	0.4		0.53	0.016		0.021
c	0.23		0.32	0.009		0.013
D (1)	15.8		16	0.622		0.630
D1	9.4		9.8	0.370		0.386
E	13.9		14.5	0.547		0.570
e		1.27			0.050	
e3		11.43			0.450	
E1 (1)	10.9		11.1	0.429		0.437
E2			2.9			0.114
E3	5.8		6.2	0.228		0.244
G	0		0.1	0.000		0.004
H	15.5		15.9	0.610		0.626
h			1.1			0.043
L	0.8		1.1	0.031		0.043
N	10° (max.)					
S	8° (max.)					
T		10			0.394	

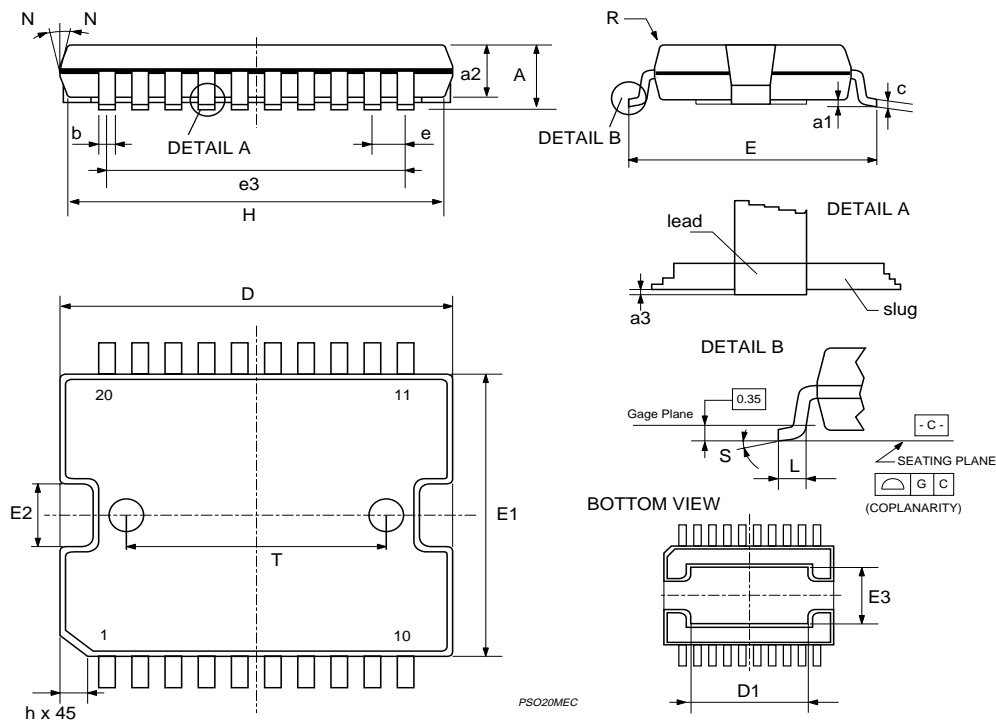
(1) "D and F" do not include mold flash or protrusions.
- Mold flash or protrusions shall not exceed 0.15 mm (0.006").
- Critical dimensions: "E", "G" and "a3"

OUTLINE AND MECHANICAL DATA



JEDEC MO-166

PowerSO20



Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics
© 2000 STMicroelectronics – Printed in Italy – All Rights Reserved
STMicroelectronics GROUP OF COMPANIES

Australia - Brazil - China - Finland - France - Germany - Hong Kong - India - Italy - Japan - Malaysia - Malta - Morocco -
Singapore - Spain - Sweden - Switzerland - United Kingdom - U.S.A.

<http://www.st.com>

MF10

Universal Monolithic Dual Switched Capacitor Filter

General Description

The MF10 consists of 2 independent and extremely easy to use, general purpose CMOS active filter building blocks. Each block, together with an external clock and 3 to 4 resistors, can produce various 2nd order functions. Each building block has 3 output pins. One of the outputs can be configured to perform either an allpass, highpass or a notch function; the remaining 2 output pins perform lowpass and bandpass functions. The center frequency of the lowpass and bandpass 2nd order functions can be either directly dependent on the clock frequency, or they can depend on both clock frequency and external resistor ratios. The center frequency of the notch and allpass functions is directly dependent on the clock frequency, while the highpass center frequency depends on both resistor ratio and clock. Up to 4th order functions can be performed by cascading the two 2nd order building blocks of the MF10; higher than 4th order functions can be obtained by cascading MF10 packages.

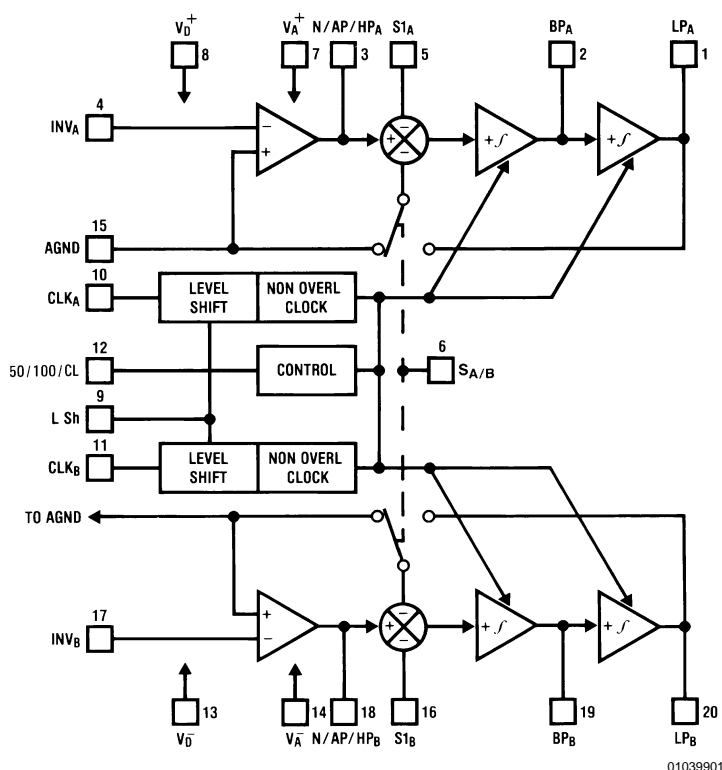
Any of the classical filter configurations (such as Butterworth, Bessel, Cauer and Chebyshev) can be formed.

For pin-compatible device with improved performance refer to LMF100 datasheet.

Features

- Easy to use
- Clock to center frequency ratio accuracy $\pm 0.6\%$
- Filter cutoff frequency stability directly dependent on external clock quality
- Low sensitivity to external component variation
- Separate highpass (or notch or allpass), bandpass, lowpass outputs
- $f_o \times Q$ range up to 200 kHz
- Operation up to 30 kHz
- 20-pin 0.3" wide Dual-In-Line package
- 20-pin Surface Mount (SO) wide-body package

System Block Diagram



Package in 20 pin molded wide body surface mount and 20 pin molded DIP.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	14V
Voltage at Any Pin	$V^+ + 0.3V$ $V^- - 0.3V$
Input Current at Any Pin (Note 2)	5 mA
Package Input Current (Note 2)	20 mA
Power Dissipation (Note 3)	500 mW
Storage Temperature	150°C
ESD Susceptibility (Note 11)	2000V
Soldering Information	
N Package: 10 sec	260°C

SO Package:

Vapor Phase (60 Sec.)	215°C
Infrared (15 Sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Operating Ratings (Note 1)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
MF10ACN, MF10CCN	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$
MF10CCWM	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$

Electrical Characteristics

$V^+ = +5.00V$ and $V^- = -5.00V$ unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX}** ; all other limits $T_A = T_J = 25^\circ\text{C}$.

Symbol	Parameter		Conditions		MF10ACN, MF10CCN, MF10CCWM			Units
					Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
V ⁺ – V ⁻	Supply Voltage	Min					9	V
		Max					14	V
I _S	Maximum Supply Current		Clock Applied to Pins 10 & 11 No Input Signal		8	12	12	mA
f _O	Center Frequency Range	Min	f _O x Q < 200 kHz		0.1		0.2	Hz
		Max			30		20	kHz
f _{CLK}	Clock Frequency Range	Min			5.0		10	Hz
		Max			1.5		1.0	MHz
f _{CLK} /f _O	50:1 Clock to Center Frequency Ratio Deviation	MF10A	Q = 10 Mode 1	V _{pin12} = 5V f _{CLK} = 250 KHz	±0.2	±0.6	±0.6	%
		MF10C			±0.2	±1.5	±1.5	%
f _{CLK} /f _O	100:1 Clock to Center Frequency Ratio Deviation	MF10A	Q = 10 Mode 1	V _{pin12} = 0V f _{CLK} = 500 kHz	±0.2	±0.6	±0.6	%
		MF10C			±0.2	±1.5	±1.5	%
	Clock Feedthrough		Q = 10 Mode 1		10			mV
	Q Error (MAX) (Note 4)		Q = 10 Mode 1	V _{pin12} = 5V f _{CLK} = 250 kHz	±2	±6	±6	%
				V _{pin12} = 0V f _{CLK} = 500 kHz	±2	±6	±6	%
H _{OLP}	DC Lowpass Gain		Mode 1 R1 = R2 = 10k		0	±0.2	±0.2	dB
V _{OS1}	DC Offset Voltage (Note 5)				±5.0	±20	±20	mV
V _{OS2}	DC Offset Voltage	Min	V _{pin12} = +5V	S _{A/B} = V ⁺	-150	-185	-185	mV

Electrical Characteristics (Continued)

$V^+ = +5.00V$ and $V^- = -5.00V$ unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX}** ; all other limits $T_A = T_J = 25^\circ C$.

Symbol	Parameter		Conditions		MF10ACN, MF10CCN, MF10CCWM			Units
					Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
	(Note 5)	Max	$(f_{CLK}/f_O = 50)$			-85	-85	
		Min	$V_{pin12} = +5V$	$S_{A/B} = V^-$	-70			mV
		Max	$(f_{CLK}/f_O = 50)$					
V_{OS3}	DC Offset Voltage (Note 5)	Min	$V_{pin12} = +5V$	All Modes	-70	-100	-100	mV
		Max	$(f_{CLK}/f_O = 50)$			-20	-20	
V_{OS2}	DC Offset Voltage (Note 5)		$V_{pin12} = 0V$ $(f_{CLK}/f_O = 100)$	$S_{A/B} = V^+$	-300			mV
			$V_{pin12} = 0V$ $(f_{CLK}/f_O = 100)$	$S_{A/B} = V^-$	-140			mV
V_{OS3}	DC Offset Voltage (Note 5)		$V_{pin12} = 0V$ $(f_{CLK}/f_O = 100)$	All Modes	-140			mV
V_{OUT}	Minimum Output	BP, LP Pins	$R_L = 5k$		± 4.25	± 3.8	± 3.8	V
	Voltage Swing	N/AP/HP Pin	$R_L = 3.5k$		± 4.25	± 3.8	± 3.8	V
GBW	Op Amp Gain BW Product				2.5			MHz
SR	Op Amp Slew Rate				7			V/ μs
	Dynamic Range (Note 6)		$V_{pin12} = +5V$ $(f_{CLK}/f_O = 50)$		83			dB
			$V_{pin12} = 0V$ $(f_{CLK}/f_O = 100)$		80			dB
I_{SC}	Maximum Output Short Circuit Current (Note 7)	Source			20			mA
		Sink			3.0			mA

Logic Input Characteristics

Boldface limits apply for T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ C$

Parameter		Conditions	MF10ACN, MF10CCN, MF10CCWM			Units
			Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
CMOS Clock Input Voltage	Min Logical "1"	$V^+ = +5V, V^- = -5V,$ $V_{LSh} = 0V$		+3.0	+3.0	V
	Max Logical "0"			-3.0	-3.0	V
	Min Logical "1"	$V^+ = +10V, V^- = 0V,$ $V_{LSh} = +5V$		+8.0	+8.0	V
	Max Logical "0"			+2.0	+2.0	V
TTL Clock Input Voltage	Min Logical "1"	$V^+ = +5V, V^- = -5V,$ $V_{LSh} = 0V$		+2.0	+2.0	V
	Max Logical "0"			+0.8	+0.8	V

Logic Input Characteristics (Continued)

Boldface limits apply for T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^{\circ}\text{C}$

Parameter		Conditions	MF10ACN, MF10CCN, MF10CCWM			Units
			Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
	Min Logical "1"	$V^+ = +10\text{V}$, $V^- = 0\text{V}$,		+2.0	+2.0	V
	Max Logical "0"	$V_{LSh} = 0\text{V}$		+0.8	+0.8	V

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 5 mA or less. The 20 mA package input current limits the number of pins that can exceed the power supply boundaries with a 5 mA current limit to four.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^{\circ}\text{C}$, and the typical junction-to-ambient thermal resistance of the MF10ACN/CCN when board mounted is 55°C/W . For the MF10AJ/CCJ, this number increases to 95°C/W and for the MF10ACWM/CCWM this number is 66°C/W .

Note 4: The accuracy of the Q value is a function of the center frequency (f_O). This is illustrated in the curves under the heading "Typical Performance Characteristics".

Note 5: V_{OS1} , V_{OS2} , and V_{OS3} refer to the internal offsets as discussed in the Applications Information Section 3.4.

Note 6: For $\pm 5\text{V}$ supplies the dynamic range is referenced to 2.82V rms (4V peak) where the wideband noise over a 20 kHz bandwidth is typically 200 μV rms for the MF10 with a 50:1 CLK ratio and 280 μV rms for the MF10 with a 100:1 CLK ratio.

Note 7: The short circuit source current is measured by forcing the output that is being tested to its maximum positive voltage swing and then shorting that output to the negative supply. The short circuit sink current is measured by forcing the output that is being tested to its maximum negative voltage swing and then shorting that output to the positive supply. These are the worst case conditions.

Note 8: Typicals are at 25°C and represent most likely parametric norm.

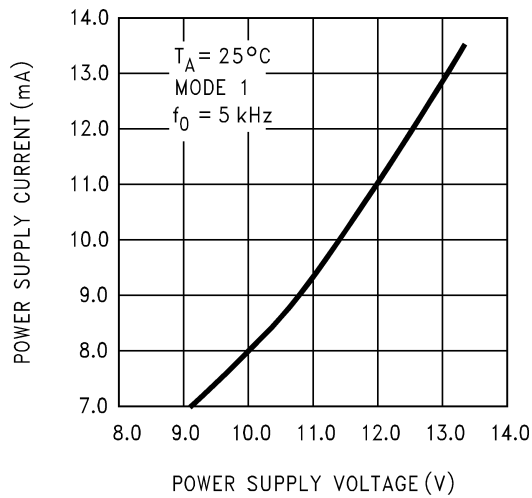
Note 9: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 10: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 11: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

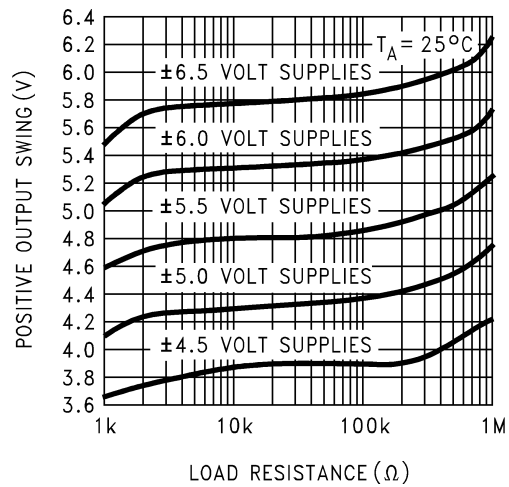
Typical Performance Characteristics

Power Supply Current vs. Power Supply Voltage



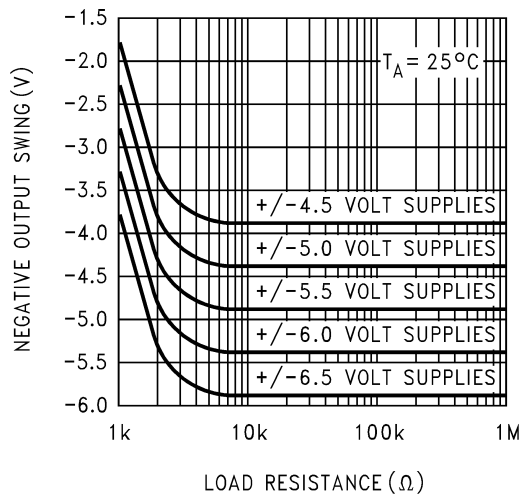
01039934

Positive Output Voltage Swing vs. Load Resistance (N/AP/HP Output)



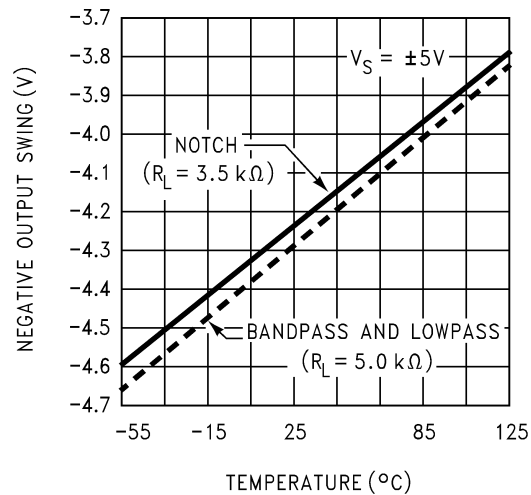
01039935

Negative Output Voltage Swing vs. Load Resistance (N/AP/HP Output)



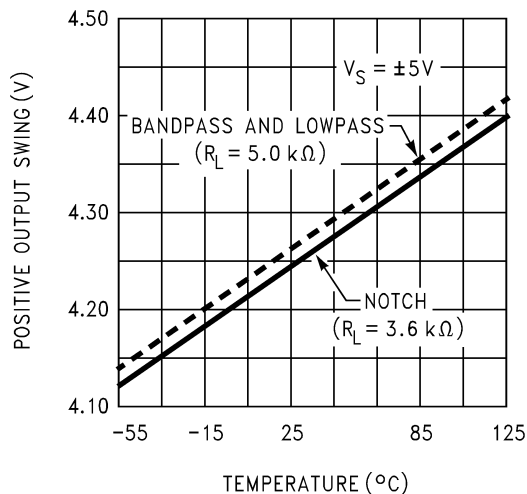
01039936

Negative Output Swing vs. Temperature



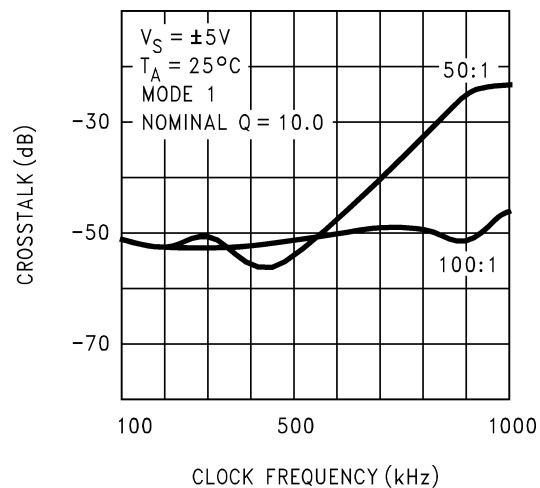
01039937

Positive Output Swing vs. Temperature



01039938

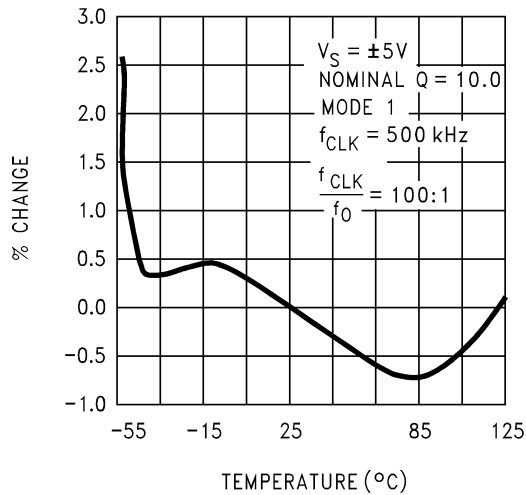
Crosstalk vs. Clock Frequency



01039939

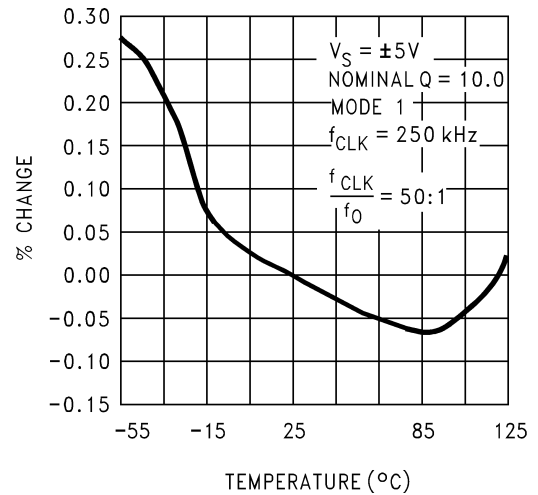
Typical Performance Characteristics (Continued)

Q Deviation vs. Temperature



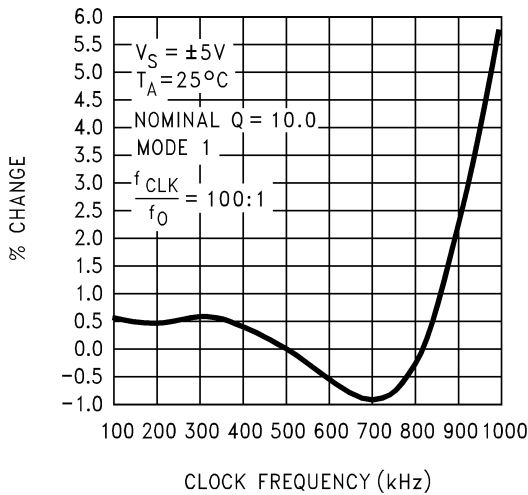
01039940

Q Deviation vs. Temperature



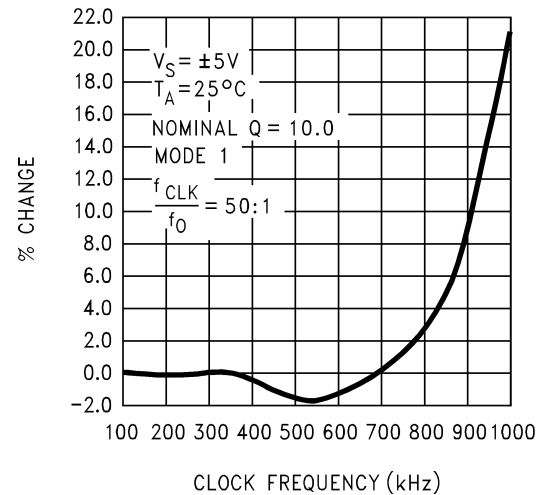
01039941

Q Deviation vs. Clock Frequency



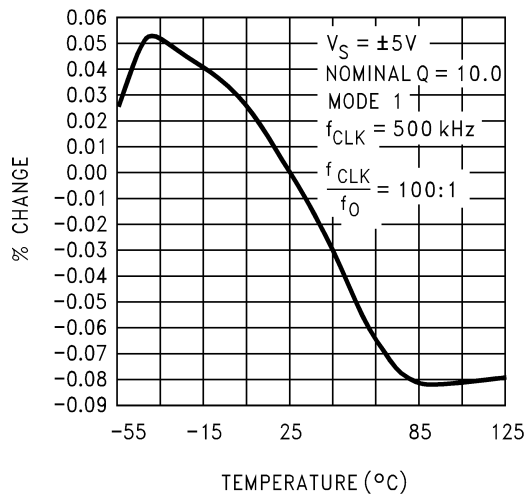
01039942

Q Deviation vs. Clock Frequency



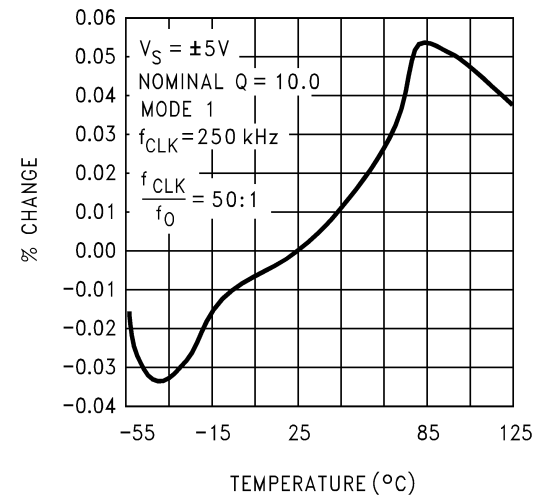
01039943

f_{CLK}/f_0 Deviation vs. Temperature



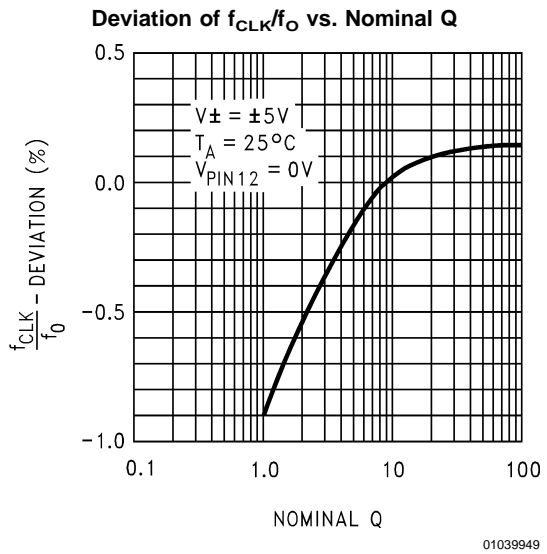
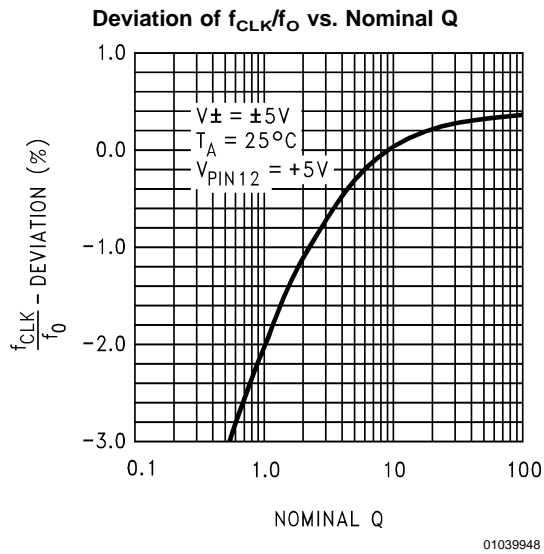
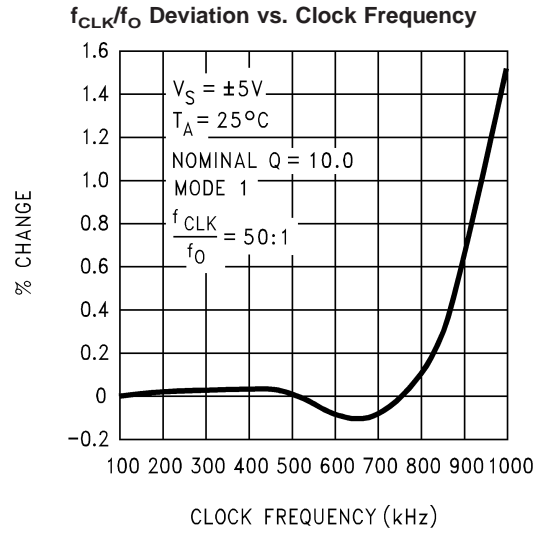
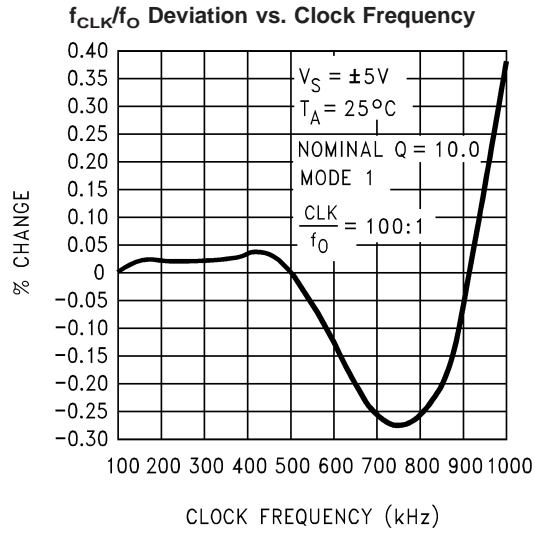
01039944

f_{CLK}/f_0 Deviation vs. Temperature



01039945

Typical Performance Characteristics (Continued)



Pin Descriptions

LP(1,20), BP(2,19), N/AP/HP(3,18)

The second order lowpass, bandpass and notch/allpass/highpass outputs. These outputs can typically sink 1.5 mA and source 3 mA. Each output typically swings to within 1V of each supply.

INV(4,17)

The inverting input of the summing op-amp of each filter. These are high impedance inputs, but the non-inverting input is internally tied to AGND, making INV_A and INV_B behave like summing junctions (low impedance, current inputs).

S1(5,16)

S1 is a signal input pin used in the allpass filter configurations (see modes 4 and 5). The pin should be driven with a source impedance of less than 1 k Ω . If S1 is not driven with a signal it should be tied to AGND (mid-supply).

$S_{A/B}$ (6)

This pin activates a switch that connects one of the inputs of each filter's second summer to either AGND ($S_{A/B}$ tied to V^-) or to the lowpass (LP) output ($S_{A/B}$ tied to V^+). This offers the flexibility needed for configuring the filter in its various modes of operation.

V_A^+ (7), V_D^+ (8)

Analog positive supply and digital positive supply. These pins are internally connected through the IC substrate and therefore V_A^+ and V_D^+ should be derived from the same power supply source. They have been brought out separately so they can be bypassed by separate capacitors, if desired. They can be externally tied together and bypassed by a single capacitor.

V_A^- (14), V_D^- (13)

Analog and digital negative supplies. The same comments as for V_A^+ and V_D^+ apply here.

LSh(9)

Level shift pin; it accommodates various clock levels with dual or single supply operation. With dual $\pm 5V$ supplies, the MF10 can be driven with CMOS clock levels ($\pm 5V$) and the LSh pin should be tied to the system ground. If the same supplies as above are used

CLKA(10),

but only TTL clock levels, derived from 0V to +5V supply, are available, the LSh pin should be tied to the system ground. For single supply operation (0V and +10V) the V_A^- , V_D^- pins should be connected to the system ground, the AGND pin should be biased at +5V and the LSh pin should also be tied to the system ground for TTL clock levels. LSh should be biased at +5V for CMOS clock levels in 10V single-supply applications.

CLKB(11)

Clock inputs for each switched capacitor filter building block. They should both be of the same level (TTL or CMOS). The level shift (LSh) pin description discusses how to accommodate their levels. The duty cycle of the clock should be close to 50% especially when clock frequencies above 200 kHz are used. This allows the maximum time for the internal op-amps to settle, which yields optimum filter operation.

50/100/CL(12)

By tying this pin high a 50:1 clock-to-filter-center-frequency ratio is obtained. Tying this pin at mid-supplies (i.e. analog ground with dual supplies) allows the filter to operate at a 100:1 clock-to-center-frequency ratio. When the pin is tied low (i.e., negative supply with dual supplies), a simple current limiting circuit is triggered to limit the overall supply current down to about 2.5 mA. The filtering action is then aborted.

AGND(15)

This is the analog ground pin. This pin should be connected to the system ground for dual supply operation or biased to mid-supply for single supply operation. For a further discussion of mid-supply biasing techniques see the Applications Information (Section 3.2). For optimum filter performance a "clean" ground must be provided.

1.0 Definition of Terms

f_{CLK} : the frequency of the external clock signal applied to pin 10 or 11.

f_O : center frequency of the second order function complex pole pair. f_O is measured at the bandpass outputs of the MF10, and is the frequency of maximum bandpass gain. (Figure 1)

f_{notch} : the frequency of minimum (ideally zero) gain at the notch outputs.

f_z : the center frequency of the second order complex zero pair, if any. If f_z is different from f_O and if Q_z is high, it can be observed as the frequency of a notch at the allpass output. (Figure 10)

Q : "quality factor" of the 2nd order filter. Q is measured at the bandpass outputs of the MF10 and is equal to f_O divided by

the -3 dB bandwidth of the 2nd order bandpass filter (Figure 1). The value of Q determines the shape of the 2nd order filter responses as shown in Figure 6.

Q_z : the quality factor of the second order complex zero pair, if any. Q_z is related to the allpass characteristic, which is written:

$$H_{AP}(s) = \frac{H_{OAP} \left(s^2 - \frac{s\omega_O}{Q_z} + \omega_O^2 \right)}{s^2 + \frac{s\omega_O}{Q} + \omega_O^2}$$

where $Q_z = Q$ for an all-pass response.

H_{OBP} : the gain (in V/V) of the bandpass output at $f = f_O$.

1.0 Definition of Terms (Continued)

H_{OLP}: the gain (in V/V) of the lowpass output as $f \rightarrow 0$ Hz (Figure 2).

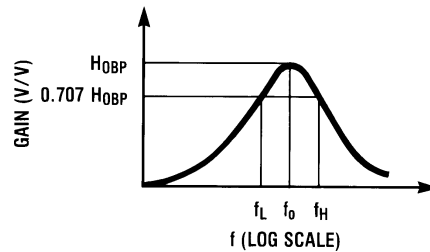
H_{OHP}: the gain (in V/V) of the highpass output as $f \rightarrow f_{\text{CLK}}/2$ (Figure 3).

H_{ON}: the gain (in V/V) of the notch output as $f \rightarrow 0$ Hz and as $f \rightarrow f_{\text{CLK}}/2$, when the notch filter has equal gain above and

below the center frequency (Figure 4). When the low-frequency gain differs from the high-frequency gain, as in modes 2 and 3a (Figure 11 and Figure 8), the two quantities below are used in place of H_{ON}.

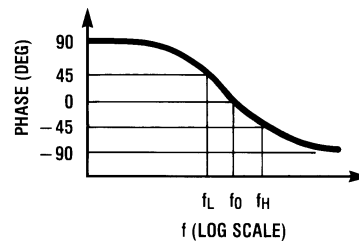
H_{ON1}: the gain (in V/V) of the notch output as $f \rightarrow 0$ Hz.

H_{ON2}: the gain (in V/V) of the notch output as $f \rightarrow f_{\text{CLK}}/2$.



01039905

(a)



01039906

(b)

$$H_{BP}(s) = \frac{H_{OBP} \frac{\omega_0}{Q} s}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$Q = \frac{f_0}{f_H - f_L}; f_0 = \sqrt{f_L f_H}$$

$$f_L = f_0 \left(\frac{-1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1} \right)$$

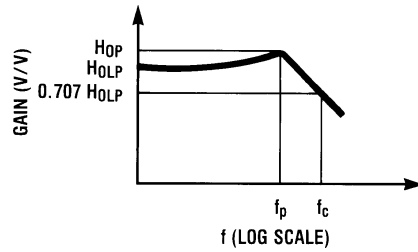
$$f_H = f_0 \left(\frac{1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1} \right)$$

$$\omega_0 = 2\pi f_0$$

01039956

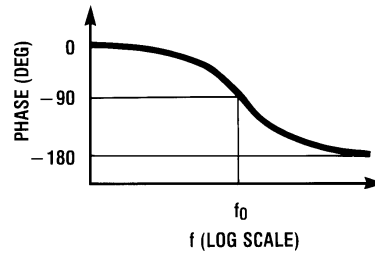
FIGURE 1. 2nd-Order Bandpass Response

1.0 Definition of Terms (Continued)



01039907

(a)



01039908

(b)

$$H_{LP}(s) = \frac{H_{OLP}\omega_0^2}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$f_c = f_0 \times \sqrt{\left(1 - \frac{1}{2Q^2}\right) + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1}}$$

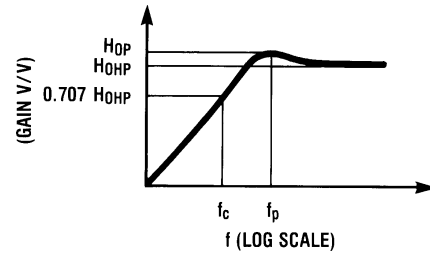
$$f_p = f_0 \sqrt{1 - \frac{1}{2Q^2}}$$

$$H_{OP} = H_{OLP} \times \frac{1}{\frac{1}{Q} \sqrt{1 - \frac{1}{4Q^2}}}$$

01039957

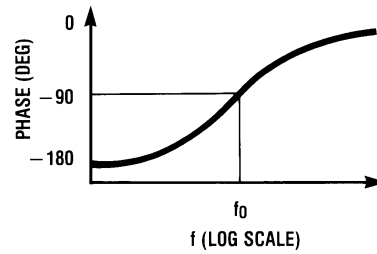
FIGURE 2. 2nd-Order Low-Pass Response

1.0 Definition of Terms (Continued)



01039909

(a)



01039910

(b)

$$H_{HP}(s) = \frac{H_{OHP}s^2}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$f_c = f_0 \times \left[\sqrt{\left(1 - \frac{1}{2Q^2}\right)} + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1} \right]^{-1}$$

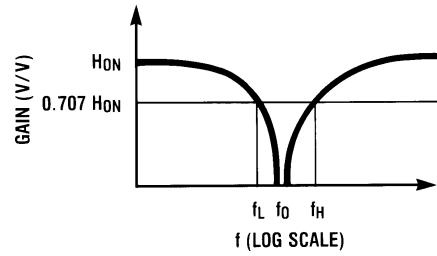
$$f_p = f_0 \times \left[\sqrt{1 - \frac{1}{2Q^2}} \right]^{-1}$$

$$H_{OP} = H_{OHP} \times \frac{1}{\frac{1}{Q} \sqrt{1 - \frac{1}{4Q^2}}}$$

01039958

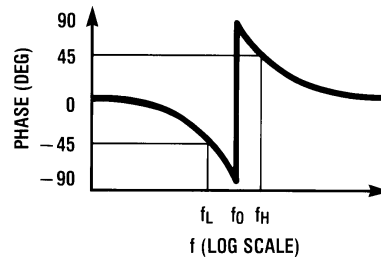
FIGURE 3. 2nd-Order High-Pass Response

1.0 Definition of Terms (Continued)



01039911

(a)



01039912

(b)

$$H_N(s) = \frac{H_{0N}(s^2 + \omega_0^2)}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$Q = \frac{f_0}{f_H - f_L}; \quad f_0 = \sqrt{f_L f_H}$$

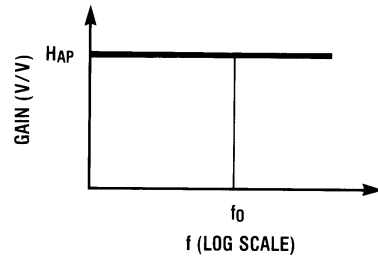
$$f_L = f_0 \left(\frac{-1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1} \right)$$

$$f_H = f_0 \left(\frac{1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1} \right)$$

01039960

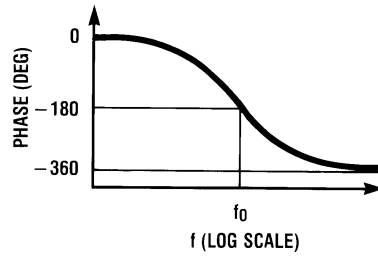
FIGURE 4. 2nd-Order Notch Response

1.0 Definition of Terms (Continued)



01039913

(a)



01039914

(b)

$$H_{AP}(s) = \frac{H_{OAP} \left(s^2 - \frac{s\omega_0}{Q} + \omega_0^2 \right)}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

01039961

FIGURE 5. 2nd-Order All-Pass Response

1.0 Definition of Terms (Continued)

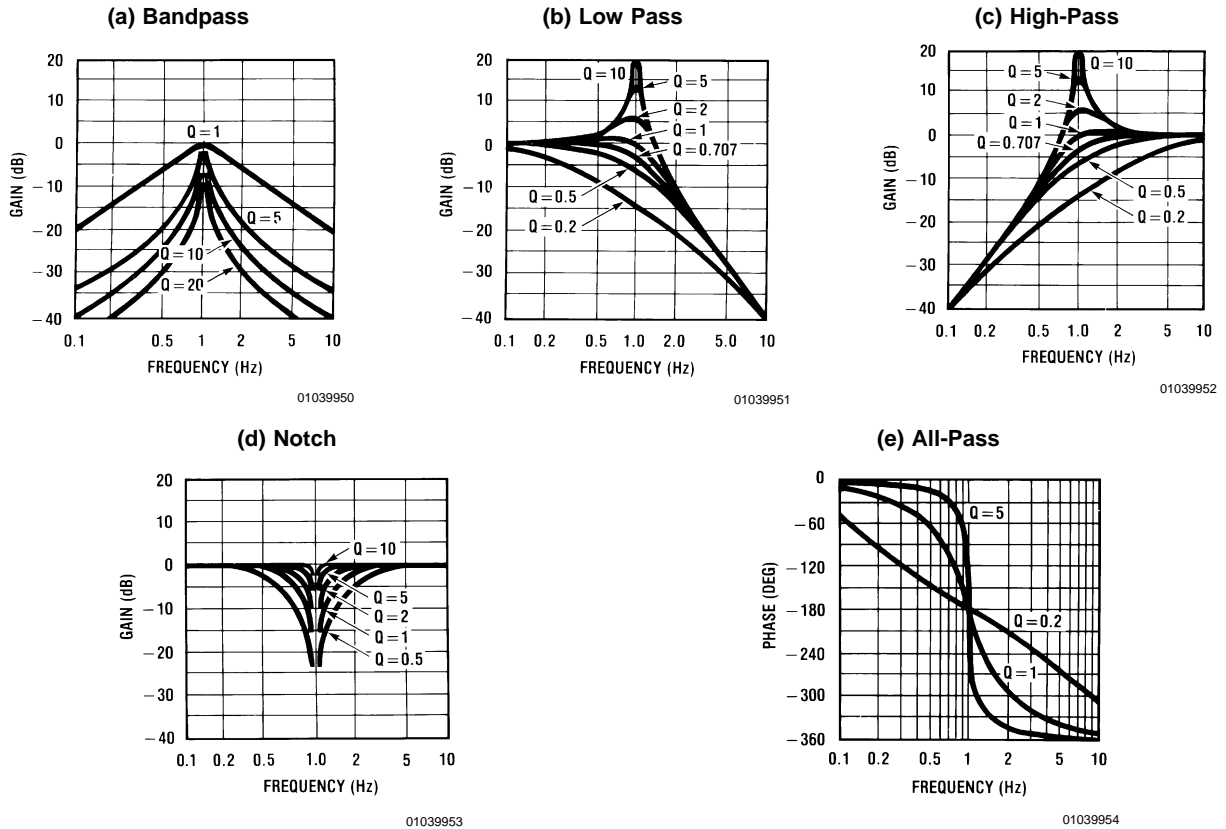


FIGURE 6. Response of various 2nd-order filters as a function of Q. Gains and center frequencies are normalized to unity.

2.0 Modes of Operation

The MF10 is a switched capacitor (sampled data) filter. To fully describe its transfer functions, a time domain approach is appropriate. Since this is cumbersome, and since the MF10 closely approximates continuous filters, the following discussion is based on the well known frequency domain. Each MF10 can produce a full 2nd order function. See *Table 1* for a summary of the characteristics of the various modes.

MODE 1: Notch 1, Bandpass, Lowpass Outputs:

$$f_{\text{notch}} = f_0 \text{ (See Figure 7)}$$

f_0 = center frequency of the complex pole pair

$$= \frac{f_{\text{CLK}}}{100} \text{ or } \frac{f_{\text{CLK}}}{50}$$

f_{notch} = center frequency of the imaginary zero pair = f_0 .

$$H_{\text{OLP}} = \text{Lowpass gain (as } f \rightarrow 0) = -\frac{R_2}{R_1}$$

$$H_{\text{OBP}} = \text{Bandpass gain (at } f = f_0) = -\frac{R_3}{R_1}$$

$$H_{\text{ON}} = \text{Notch output gain as } \left. \begin{array}{l} f \rightarrow 0 \\ f \rightarrow f_{\text{CLK}}/2 \end{array} \right\} = -\frac{R_2}{R_1}$$

$$Q = \frac{f_0}{\text{BW}} = \frac{R_3}{R_2}$$

= quality factor of the complex pole pair

BW = the -3 dB bandwidth of the bandpass output.

Circuit dynamics:

$$H_{\text{OLP}} = \frac{H_{\text{OBP}}}{Q} \text{ or } H_{\text{OBP}} = H_{\text{OLP}} \times Q$$

$$= H_{\text{ON}} \times Q.$$

$$H_{\text{OLP(peak)}} \approx Q \times H_{\text{OLP}} \text{ (for high Q's)}$$

MODE 1a: Non-Inverting BP, LP (See Figure 8)

$$f_0 = \frac{f_{\text{CLK}}}{100} \text{ or } \frac{f_{\text{CLK}}}{50}$$

$$Q = \frac{R_3}{R_2}$$

$$H_{\text{OLP}} = -1; H_{\text{OLP(peak)}} \approx Q \times H_{\text{OLP}} \text{ (for high Q's)}$$

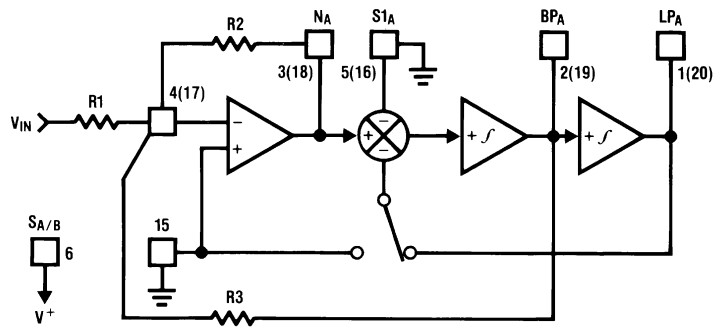
$$H_{\text{OBP}_1} = -\frac{R_3}{R_2}$$

$$H_{\text{OBP}_2} = 1 \text{ (Non-Inverting)}$$

$$\text{Circuit Dynamics: } H_{\text{OBP}_1} = Q$$

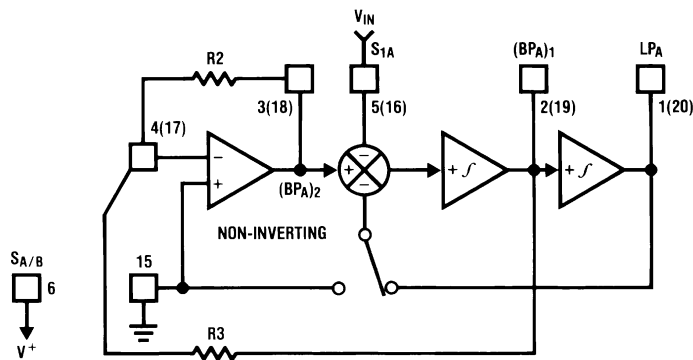
Note: V_{IN} should be driven from a low impedance (<1 k Ω) source.

2.0 Modes of Operation (Continued)



01039916

FIGURE 7. MODE 1



01039917

FIGURE 8. MODE 1a

MODE 2: Notch 2, Bandpass, Lowpass: $f_{\text{notch}} < f_O$
(See Figure 9)

f_O = center frequency

$$= \frac{f_{\text{CLK}}}{100} \sqrt{\frac{R_2}{R_4} + 1} \text{ or } \frac{f_{\text{CLK}}}{50} \sqrt{\frac{R_2}{R_4} + 1}$$

$$f_{\text{notch}} = \frac{f_{\text{CLK}}}{100} \text{ or } \frac{f_{\text{CLK}}}{50}$$

Q = quality factor of the complex pole pair

$$= \frac{\sqrt{R_2/R_4 + 1}}{R_2/R_3}$$

H_{OLP} = Lowpass output gain (as $f \rightarrow 0$)

$$= -\frac{R_2/R_1}{R_2/R_4 + 1}$$

H_{OBP} = Bandpass output gain (at $f = f_O$) = $-R_3/R_1$

H_{ON_1} = Notch output gain (as $f \rightarrow 0$)

$$= -\frac{R_2/R_1}{R_2/R_4 + 1}$$

H_{ON_2} = Notch output gain (as $f \rightarrow \frac{f_{\text{CLK}}}{2}$) = $-R_2/R_1$

Filter dynamics: $H_{\text{OBP}} = Q \sqrt{H_{\text{OLP}} H_{\text{ON}_2}} = \sqrt{H_{\text{ON}_1} H_{\text{ON}_2}}$

MODE 3: Highpass, Bandpass, Lowpass Outputs
(See Figure 10)

$$f_O = \frac{f_{\text{CLK}}}{100} \times \sqrt{\frac{R_2}{R_4}} \text{ or } \frac{f_{\text{CLK}}}{50} \times \sqrt{\frac{R_2}{R_4}}$$

Q = quality factor of the complex pole pair

$$= \sqrt{\frac{R_2}{R_4}} \times \frac{R_3}{R_2}$$

H_{OHP} = Highpass Gain (as $f \rightarrow \frac{f_{\text{CLK}}}{2}$) = $-\frac{R_2}{R_1}$

H_{OBP} = Lowpass Gain (at $f = f_O$) = $-\frac{R_3}{R_1}$

H_{OLP} = Lowpass Gain (as $f \rightarrow 0$) = $-\frac{R_4}{R_1}$

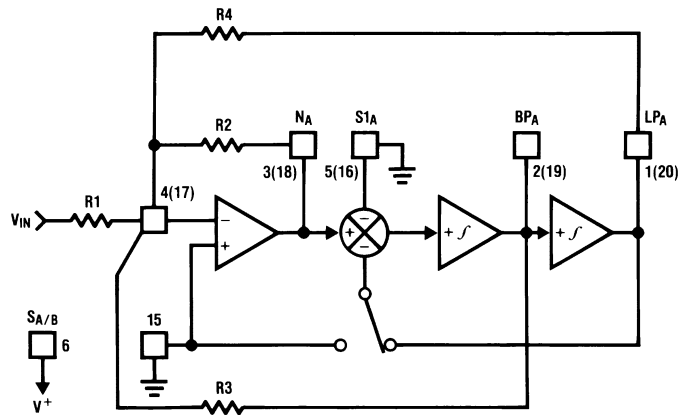
Circuit dynamics: $\frac{R_2}{R_4} = \frac{H_{\text{OHP}}}{H_{\text{OLP}}}$

$$H_{\text{OBP}} = \sqrt{H_{\text{OHP}} \times H_{\text{OLP}}} \times Q$$

$H_{\text{OLP(peak)}} \cong Q \times H_{\text{OLP}}$ (for high Q 's)

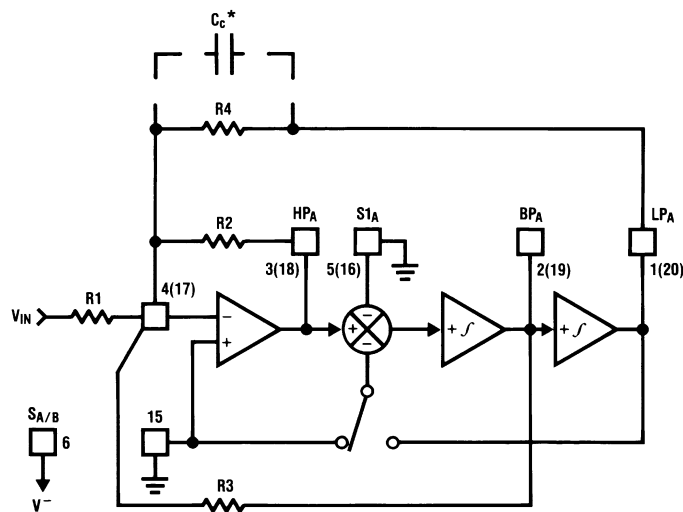
$H_{\text{OHP(peak)}} \cong Q \times H_{\text{OHP}}$ (for high Q 's)

2.0 Modes of Operation (Continued)



01039918

FIGURE 9. MODE 2



01039919

*In Mode 3, the feedback loop is closed around the input summing amplifier; the finite GBW product of this op amp causes a slight Q enhancement. If this is a problem, connect a small capacitor (10 pF – 100 pF) across R4 to provide some phase lead.

FIGURE 10. MODE 3

2.0 Modes of Operation (Continued)

MODE 3a: HP, BP, LP and Notch with External Op Amp
(See Figure 11)

$$f_O = \frac{f_{CLK}}{100} \times \sqrt{\frac{R_2}{R_4}} \text{ or } \frac{f_{CLK}}{50} \times \sqrt{\frac{R_2}{R_4}}$$

$$Q = \sqrt{\frac{R_2}{R_4}} \times \frac{R_3}{R_2}$$

$$H_{OHP} = -\frac{R_2}{R_1}$$

$$H_{OBP} = -\frac{R_3}{R_1}$$

$$H_{OLP} = -\frac{R_4}{R_1}$$

$$f_n = \text{notch frequency} = \frac{f_{CLK}}{100} \sqrt{\frac{R_h}{R_l}} \text{ or } \frac{f_{CLK}}{50} \sqrt{\frac{R_h}{R_l}}$$

H_{ON} = gain of notch at

$$f = f_O = \left\| Q \left(\frac{R_g}{R_l} H_{OLP} - \frac{R_g}{R_h} H_{OHP} \right) \right\|$$

$$H_{n1} = \text{gain of notch (as } f \rightarrow 0) = \frac{R_g}{R_l} \times H_{OLP}$$

$$H_{n2} = \text{gain of notch (as } f \rightarrow \frac{f_{CLK}}{2})$$

$$= -\frac{R_g}{R_h} \times H_{OHP}$$

MODE 4: Allpass, Bandpass, Lowpass Outputs(See Figure 12)

f_O = center frequency

$$= \frac{f_{CLK}}{100} \text{ or } \frac{f_{CLK}}{50};$$

f_z^* = center frequency of the complex zero $\approx f_O$

$$Q = \frac{f_O}{BW} = \frac{R_3}{R_2};$$

$$Q_Z = \text{quality factor of complex zero pair} = \frac{R_3}{R_1}$$

For AP output make $R_1 = R_2$

$$H_{OAP}^* = \text{Allpass gain (at } 0 < f < \frac{f_{CLK}}{2}) = -\frac{R_2}{R_1} = -1$$

H_{OLP} = Lowpass gain (as $f \rightarrow 0$)

$$= -\left(\frac{R_2}{R_1} + 1\right) = -2$$

H_{OBP} = Bandpass gain (at $f = f_O$)

$$= -\frac{R_3}{R_2} \left(1 + \frac{R_2}{R_1}\right) = -2 \left(\frac{R_3}{R_2}\right)$$

$$\text{Circuit Dynamics: } H_{OBP} = (H_{OLP}) \times Q = (H_{OAP} + 1)Q$$

*Due to the sampled data nature of the filter, a slight mismatch of f_z and f_O occurs causing a 0.4 dB peaking around f_O of the allpass filter amplitude response (which theoretically should be a straight line). If this is unacceptable, Mode 5 is recommended.

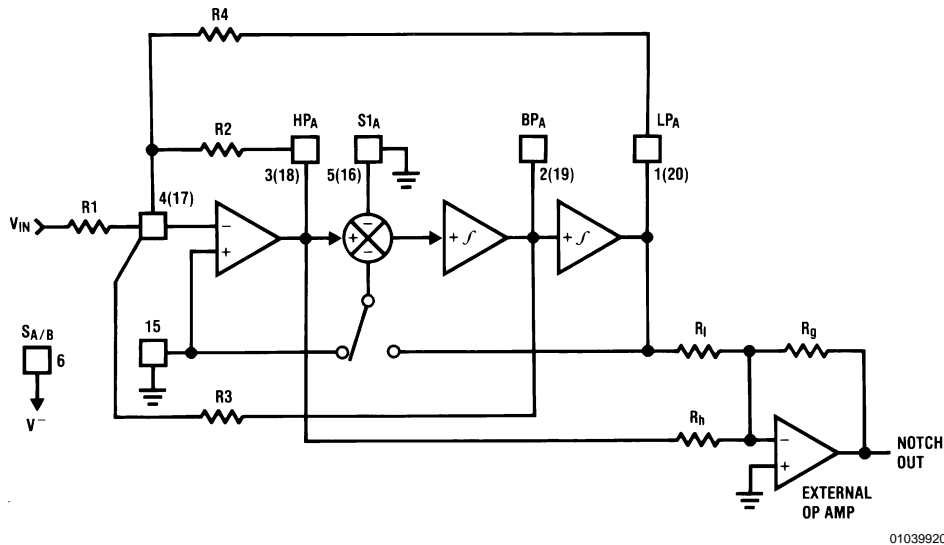
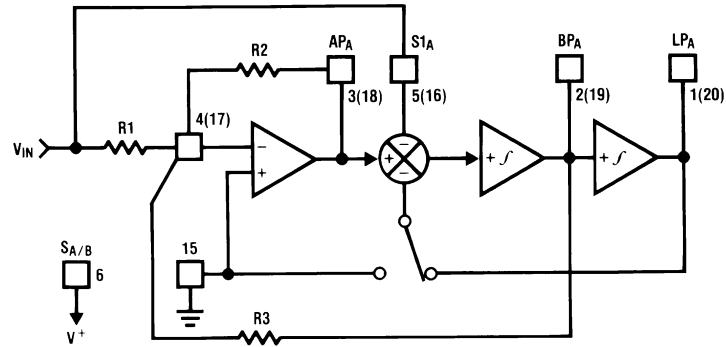


FIGURE 11. MODE 3a

2.0 Modes of Operation (Continued)



01039921

FIGURE 12. MODE 4

MODE 5: Numerator Complex Zeros, BP, LP
(See Figure 13)

$$f_O = \sqrt{1 + \frac{R2}{R4}} \times \frac{f_{CLK}}{100} \text{ or } \sqrt{1 + \frac{R2}{R4}} \times \frac{f_{CLK}}{50}$$

$$f_Z = \sqrt{1 - \frac{R2}{R4}} \times \frac{f_{CLK}}{100} \text{ or } \sqrt{1 - \frac{R1}{R4}} \times \frac{f_{CLK}}{50}$$

$$Q = \sqrt{1 + R2/R4} \times \frac{R3}{R2}$$

$$Q_Z = \sqrt{1 - R1/R4} \times \frac{R3}{R1}$$

H_{0z1} = gain at C.Z. output (as $f \rightarrow 0$ Hz)

$$\frac{-R2(R4 - R1)}{R1(R2 + R4)}$$

H_{0z2} = gain at C.Z. output (as $f \rightarrow \frac{f_{CLK}}{2}$) = $\frac{-R2}{R1}$

$$H_{OBP} = -\left(\frac{R2}{R1} + 1\right) \times \frac{R3}{R2}$$

$$H_{OLP} = -\left(\frac{R2 + R1}{R2 + R4}\right) \times \frac{R4}{R1}$$

MODE 6a: Single Pole, HP, LP Filter (See Figure 14)

f_c = cutoff frequency of LP or HP output

$$= \frac{R2}{R3} \frac{f_{CLK}}{100} \text{ or } \frac{R2}{R3} \frac{f_{CLK}}{50}$$

$$H_{OLP} = -\frac{R3}{R1}$$

$$H_{OHP} = -\frac{R2}{R1}$$

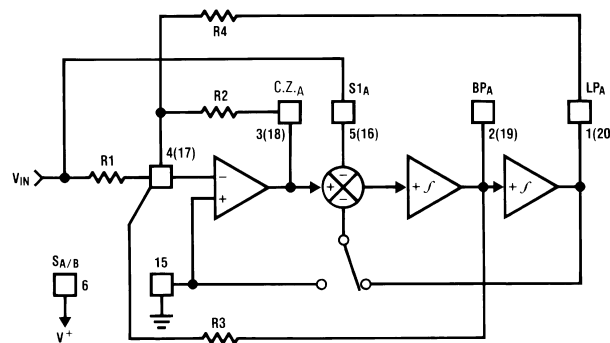
MODE 6b: Single Pole LP Filter (Inverting and Non-Inverting) (See Figure 15)

f_c = cutoff frequency of LP outputs

$$\cong \frac{R2}{R3} \frac{f_{CLK}}{100} \text{ or } \frac{R2}{R3} \frac{f_{CLK}}{50}$$

$H_{OLP1} = 1$ (non-inverting)

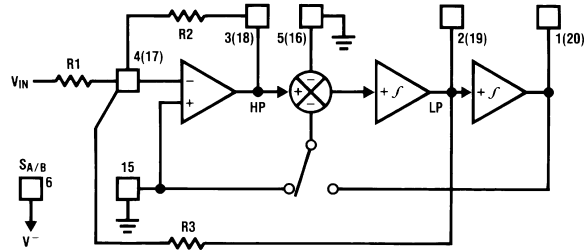
$$H_{OLP2} = -\frac{R3}{R2}$$



01039922

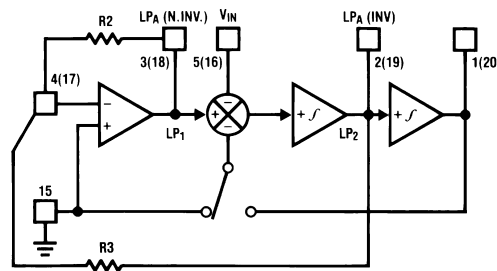
FIGURE 13. MODE 5

2.0 Modes of Operation (Continued)



01039923

FIGURE 14. MODE 6a



01039924

FIGURE 15. MODE 6b

TABLE 1. Summary of Modes. Realizable filter types (e.g. low-pass) denoted by asterisks. Unless otherwise noted, gains of various filter outputs are inverting and adjustable by resistor ratios.

Mode	BP	LP	HP	N	AP	Number of Resistors	Adjustable f_{CLK}/f_O	Notes
1	*	*		*		3	No	
1a	(2) $H_{OBP1} = -Q$ $H_{OBP2} = +1$	$H_{OLP} + 1$				2	No	May need input buffer. Poor dynamics for high Q.
2	*	*		*		3	Yes (above $f_{CLK}/50$ or $f_{CLK}/100$)	
3	*	*	*			4	Yes	Universal State-Variable Filter. Best general-purpose mode.
3a	*	*	*	*		7	Yes	As above, but also includes resistor-tuneable notch.
4	*	*			*	3	No	Gives Allpass response with $H_{OAP} = -1$ and $H_{OLP} = -2$.
5	*	*			*	4		Gives flatter allpass response than above if $R_1 = R_2 = 0.02R_4$.
6a		*	*			3		Single pole.
6b		(2) $H_{OLP1} = +1$ $H_{OLP2} = \frac{-R3}{R2}$				2		Single pole.

3.0 Applications Information

The MF10 is a general-purpose dual second-order state variable filter whose center frequency is proportional to the frequency of the square wave applied to the clock input (f_{CLK}). By connecting pin 12 to the appropriate DC voltage, the filter center frequency f_O can be made equal to either $f_{CLK}/100$ or $f_{CLK}/50$. f_O can be very accurately set (within $\pm 6\%$) by using a crystal clock oscillator, or can be easily varied over a wide frequency range by adjusting the clock frequency. If desired, the f_{CLK}/f_O ratio can be altered by external resistors as in *Figures 9, 10, 11, 13, 14, 15*. The filter Q and gain are determined by external resistors.

All of the five second-order filter types can be built using either section of the MF10. These are illustrated in *Figure 1* through *Figure 5* along with their transfer functions and some related equations. *Figure 6* shows the effect of Q on the shapes of these curves. When filter orders greater than two are desired, two or more MF10 sections can be cascaded.

3.1 DESIGN EXAMPLE

In order to design a second-order filter section using the MF10, we must define the necessary values of three parameters: f_O , the filter section's center frequency; H_O , the passband gain; and the filter's Q. These are determined by the characteristics required of the filter being designed.

As an example, let's assume that a system requires a fourth-order Chebyshev low-pass filter with 1 dB ripple, unity gain at DC, and 1000 Hz cutoff frequency. As the system order is four, it is realizable using both second-order sections of an MF10. Many filter design texts include tables that list the characteristics (f_O and Q) of each of the second-order filter sections needed to synthesize a given higher-order filter. For the Chebyshev filter defined above, such a table yields the following characteristics:

$$f_{OA} = 529 \text{ Hz} \quad Q_A = 0.785$$

$$f_{OB} = 993 \text{ Hz} \quad Q_B = 3.559$$

For unity gain at DC, we also specify:

$$H_{OA} = 1$$

$$H_{OB} = 1$$

The desired clock-to-cutoff-frequency ratio for the overall filter of this example is 100 and a 100 kHz clock signal is available. Note that the required center frequencies for the two second-order sections will not be obtainable with clock-to-center-frequency ratios of 50 or 100. It will be necessary to adjust

$$\frac{f_{CLK}}{f_O}$$

externally. From *Table 1*, we see that Mode 3 can be used to produce a low-pass filter with resistor-adjustable center frequency.

In most filter designs involving multiple second-order stages, it is best to place the stages with lower Q values ahead of stages with higher Q, especially when the higher Q is greater than 0.707. This is due to the higher relative gain at the center frequency of a higher-Q stage. Placing a stage with lower Q ahead of a higher-Q stage will provide some attenuation at the center frequency and thus help avoid clipping of signals near this frequency. For this example, stage A has the lower Q (0.785) so it will be placed ahead of the other stage.

For the first section, we begin the design by choosing a convenient value for the input resistance: $R_{1A} = 20\text{k}$. The absolute value of the passband gain H_{OLPA} is made equal to 1 by choosing R_{4A} such that: $R_{4A} = -H_{OLPA} R_{1A} = R_{1A} = 20\text{k}$. If the 50/100/CL pin is connected to mid-supply for nominal 100:1 clock-to-center-frequency ratio, we find R_{2A} by:

$$R_{2A} = R_{4A} \frac{f_{OA}^2}{(f_{CLK}/100)^2} = 2 \times 10^4 \times \frac{(529)^2}{(1000)^2} = 5.6\text{k}$$

$$R_{3A} = Q_A \sqrt{R_{2A} R_{4A}} = 0.785 \sqrt{5.6 \times 10^3 \times 2 \times 10^4} = 8.3\text{k}$$

The resistors for the second section are found in a similar fashion:

$$R_{1B} = 20\text{k}$$

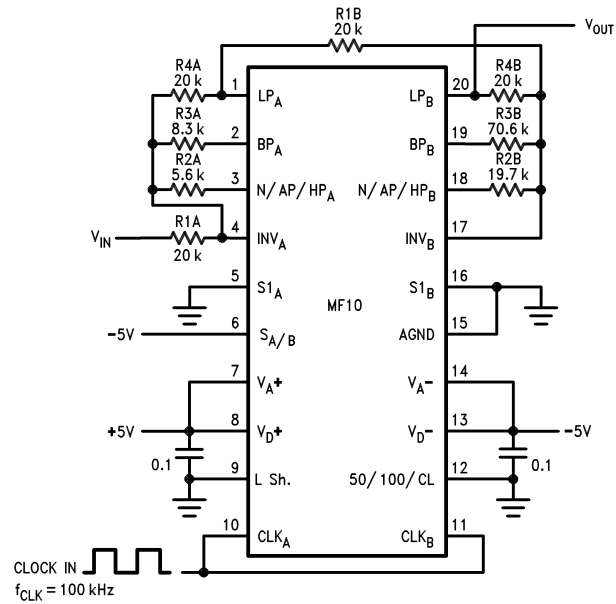
$$R_{4B} = R_{1B} = 20\text{k}$$

$$R_{2B} = R_{4B} \frac{f_{OB}^2}{(f_{CLK}/100)^2} = 20\text{k} \frac{(993)^2}{(1000)^2} = 19.7\text{k}$$

$$R_{3B} = Q_B \sqrt{R_{2B} R_{4B}} = 3.559 \sqrt{1.97 \times 10^4 \times 2 \times 10^4} = 70.6\text{k}$$

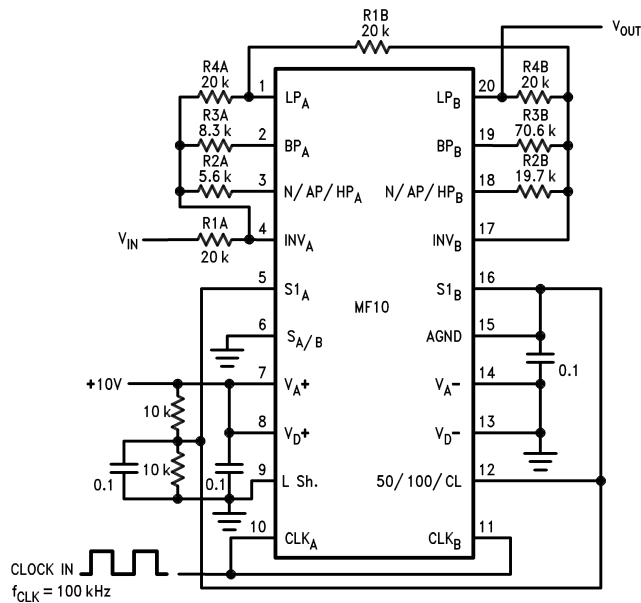
The complete circuit is shown in *Figure 16* for split $\pm 5\text{V}$ power supplies. Supply bypass capacitors are highly recommended.

3.0 Applications Information (Continued)



01039925

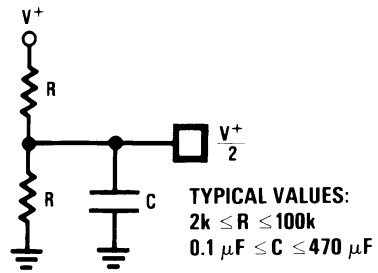
**FIGURE 16. Fourth-Order Chebyshev Low-Pass Filter from Example in 3.1.
±5V Power Supply. 0V–5V TTL or –5V ±5V CMOS Logic Levels.**



01039926

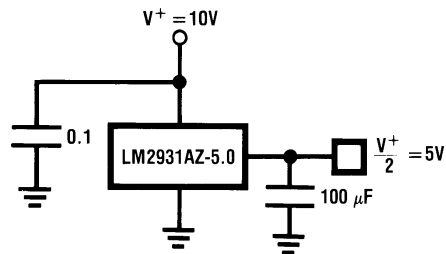
**FIGURE 17. Fourth-Order Chebyshev Low-Pass Filter from Example in 3.1.
Single +10V Power Supply. 0V–5V TTL Logic Levels. Input Signals
Should be Referred to Half-Supply or Applied through a Coupling Capacitor.**

3.0 Applications Information (Continued)



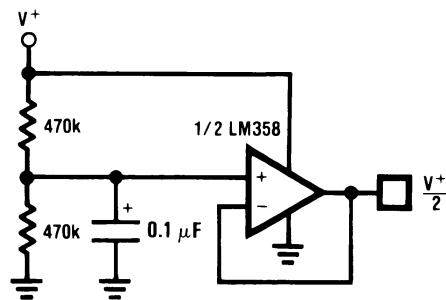
01039927

(a) Resistive Divider with Decoupling Capacitor



01039928

(b) Voltage Regulator



01039929

(c) Operational Amplifier with Divider

FIGURE 18. Three Ways of Generating $V^+/2$ for Single-Supply Operation

3.0 Applications Information

(Continued)

3.2 SINGLE SUPPLY OPERATION

The MF10 can also operate with a single-ended power supply. Figure 17 shows the example filter with a single-ended power supply. V_A^+ and V_D^+ are again connected to the positive power supply (8V to 14V), and V_A^- and V_D^- are connected to ground. The A_{GND} pin must be tied to $V^+/2$ for single supply operation. This half-supply point should be very “clean”, as any noise appearing on it will be treated as an input to the filter. It can be derived from the supply voltage with a pair of resistors and a bypass capacitor (Figure 18a), or a low-impedance half-supply voltage can be made using a three-terminal voltage regulator or an operational amplifier (Figure 18b and Figure 18c). The passive resistor divider with a bypass capacitor is sufficient for many applications, provided that the time constant is long enough to reject any power supply noise. It is also important that the half-supply reference present a low impedance to the clock frequency, so at very low clock frequencies the regulator or op-amp approaches may be preferable because they will require smaller capacitors to filter the clock frequency. The main power supply voltage should be clean (preferably regulated) and bypassed with 0.1 μ F.

3.3 DYNAMIC CONSIDERATIONS

The maximum signal handling capability of the MF10, like that of any active filter, is limited by the power supply voltages used. The amplifiers in the MF10 are able to swing to within about 1V of the supplies, so the input signals must be kept small enough that none of the outputs will exceed these limits. If the MF10 is operating on ± 5 V, for example, the outputs will clip at about $8 V_{p-p}$. The maximum input voltage multiplied by the filter gain should therefore be less than $8 V_{p-p}$.

Note that if the filter Q is high, the gain at the lowpass or highpass outputs will be much greater than the nominal filter gain (Figure 6). As an example, a lowpass filter with a Q of 10 will have a 20 dB peak in its amplitude response at f_O . If the nominal gain of the filter H_{OLP} is equal to 1, the gain at f_O will be 10. The maximum input signal at f_O must therefore be less than $800 mV_{p-p}$ when the circuit is operated on ± 5 V supplies.

Also note that one output can have a reasonable small voltage on it while another is saturated. This is most likely for a circuit such as the notch in Mode 1 (Figure 7). The notch output will be very small at f_O , so it might appear safe to apply a large signal to the input. However, the bandpass will have its maximum gain at f_O and can clip if overdriven. If one output clips, the performance at the other outputs will be degraded, so avoid overdriving any filter section, even ones whose outputs are not being directly used. Accompanying Figure 7 through Figure 15 are equations labeled “circuit dynamics”, which relate the Q and the gains at the various outputs. These should be consulted to determine peak circuit gains and maximum allowable signals for a given application.

3.4 OFFSET VOLTAGE

The MF10's switched capacitor integrators have a higher equivalent input offset voltage than would be found in a typical continuous-time active filter integrator. Figure 19 shows an equivalent circuit of the MF10 from which the output DC offsets can be calculated. Typical values for these offsets with $S_{A/B}$ tied to V^+ are:

$$V_{OS1} = \text{opamp offset} = \pm 5 \text{ mV}$$

$$V_{OS2} = -150 \text{ mV @ } 50:1: \quad -300 \text{ mV @ } 100:1$$

$$V_{OS3} = -70 \text{ mV @ } 50:1: \quad -140 \text{ mV @ } 100:1$$

When $S_{A/B}$ is tied to V^- , V_{OS2} will approximately halve. The DC offset at the BP output is equal to the input offset of the lowpass integrator (V_{OS3}). The offsets at the other outputs depend on the mode of operation and the resistor ratios, as described in the following expressions.

Mode 1 and Mode 4

$$V_{OS(N)} = V_{OS1} \left(\frac{1}{Q} + 1 \parallel H_{OLP} \right) - \frac{V_{OS3}}{Q}$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N)} - V_{OS2}$$

Mode 1a

$$V_{OS(N.INV.BP)} = \left(1 + \frac{1}{Q} \right) V_{OS1} - \frac{V_{OS3}}{Q}$$

$$V_{OS(INV.BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N.INV.BP)} - V_{OS2}$$

3.0 Applications Information

(Continued)

Mode 2 and Mode 5

$$V_{OS(N)} = \left(\frac{R_2}{R_p} + 1 \right) V_{OS1} \times \frac{1}{1 + R_2/R_4}$$

$$+ V_{OS2} \frac{1}{1 + R_4/R_2} - \frac{V_{OS3}}{Q\sqrt{1 + R_2/R_4}}$$

$$R_p = R_1 // R_3 // R_4$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N)} - V_{OS2}$$

Mode 3

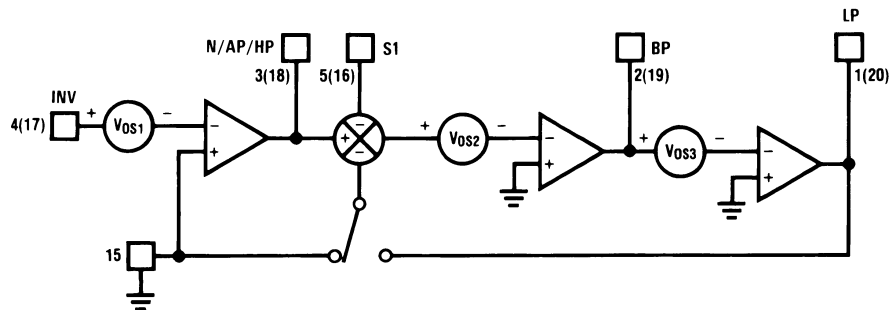
$$V_{OS(HP)} = V_{OS2}$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS1} \left[1 + \frac{R_4}{R_p} \right] - V_{OS2} \left(\frac{R_4}{R_2} \right)$$

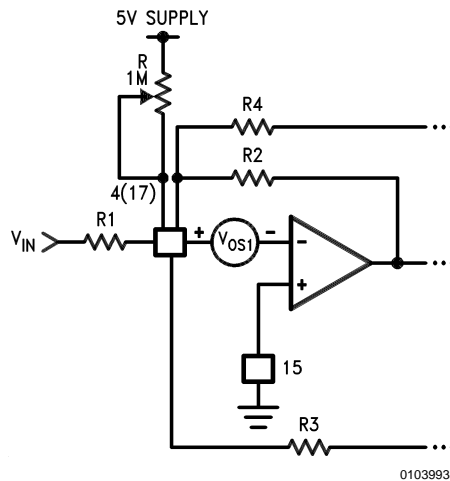
$$- V_{OS3} \left(\frac{R_4}{R_3} \right)$$

$$R_p = R_1 // R_2 // R_3$$



01039930

FIGURE 19. MF10 Offset Voltage Sources



01039931

FIGURE 20. Method for Trimming V_{OS}

For most applications, the outputs are AC coupled and DC offsets are not bothersome unless large signals are applied

to the filter input. However, larger offset voltages will cause clipping to occur at lower AC signal levels, and clipping at

3.0 Applications Information

(Continued)

any of the outputs will cause gain nonlinearities and will change f_O and Q . When operating in Mode 3, offsets can become excessively large if R_2 and R_4 are used to make f_{CLK}/f_O significantly higher than the nominal value, especially if Q is also high. An extreme example is a bandpass filter having unity gain, a Q of 20, and $f_{CLK}/f_O = 250$ with pin 12 tied to ground (100:1 nominal). R_4/R_2 will therefore be equal to 6.25 and the offset voltage at the lowpass output will be about +1V. Where necessary, the offset voltage can be adjusted by using the circuit of *Figure 20*. This allows adjustment of V_{OS1} , which will have varying effects on the different outputs as described in the above equations. Some outputs cannot be adjusted this way in some modes, however ($V_{OS(BP)}$ in modes 1a and 3, for example).

3.5 SAMPLED DATA SYSTEM CONSIDERATIONS

The MF10 is a sampled data filter, and as such, differs in many ways from conventional continuous-time filters. An important characteristic of sampled-data systems is their effect on signals at frequencies greater than one-half the sampling frequency. (The MF10's sampling frequency is the same as its clock frequency.) If a signal with a frequency greater than one-half the sampling frequency is applied to the input of a sampled data system, it will be "reflected" to a frequency less than one-half the sampling frequency. Thus, an input signal whose frequency is $f_s/2 + 100$ Hz will cause the system to respond as though the input frequency was $f_s/2 - 100$ Hz. This phenomenon is known as "aliasing", and

can be reduced or eliminated by limiting the input signal spectrum to less than $f_s/2$. This may in some cases require the use of a bandwidth-limiting filter ahead of the MF10 to limit the input spectrum. However, since the clock frequency is much higher than the center frequency, this will often not be necessary.

Another characteristic of sampled-data circuits is that the output signal changes amplitude once every sampling period, resulting in "steps" in the output voltage which occur at the clock rate (*Figure 21*). If necessary, these can be "smoothed" with a simple R-C low-pass filter at the MF10 output.

The ratio of f_{CLK} to f_O (normally either 50:1 or 100:1) will also affect performance. A ratio of 100:1 will reduce any aliasing problems and is usually recommended for wideband input signals. In noise sensitive applications, however, a ratio of 50:1 may be better as it will result in 3 dB lower output noise. The 50:1 ratio also results in lower DC offset voltages, as discussed in Section 3.4.

The accuracy of the f_{CLK}/f_O ratio is dependent on the value of Q . This is illustrated in the curves under the heading "Typical Performance Characteristics". As Q is changed, the true value of the ratio changes as well. Unless the Q is low, the error in f_{CLK}/f_O will be small. If the error is too large for a specific application, use a mode that allows adjustment of the ratio with external resistors.

It should also be noted that the product of Q and f_O should be limited to 300 kHz when $f_O < 5$ kHz, and to 200 kHz for $f_O > 5$ kHz.

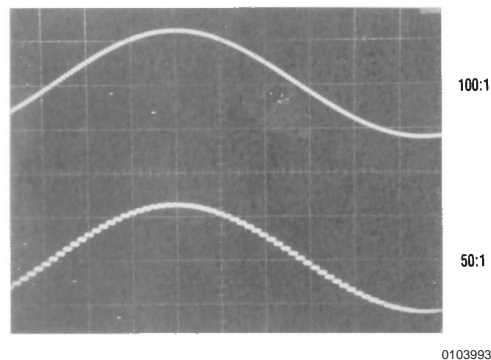
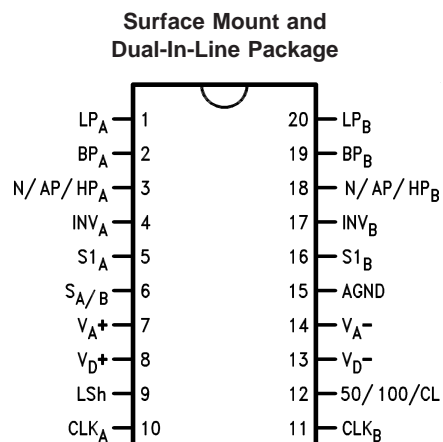


FIGURE 21. The Sampled-Data Output Waveform

3.0 Applications Information (Continued)

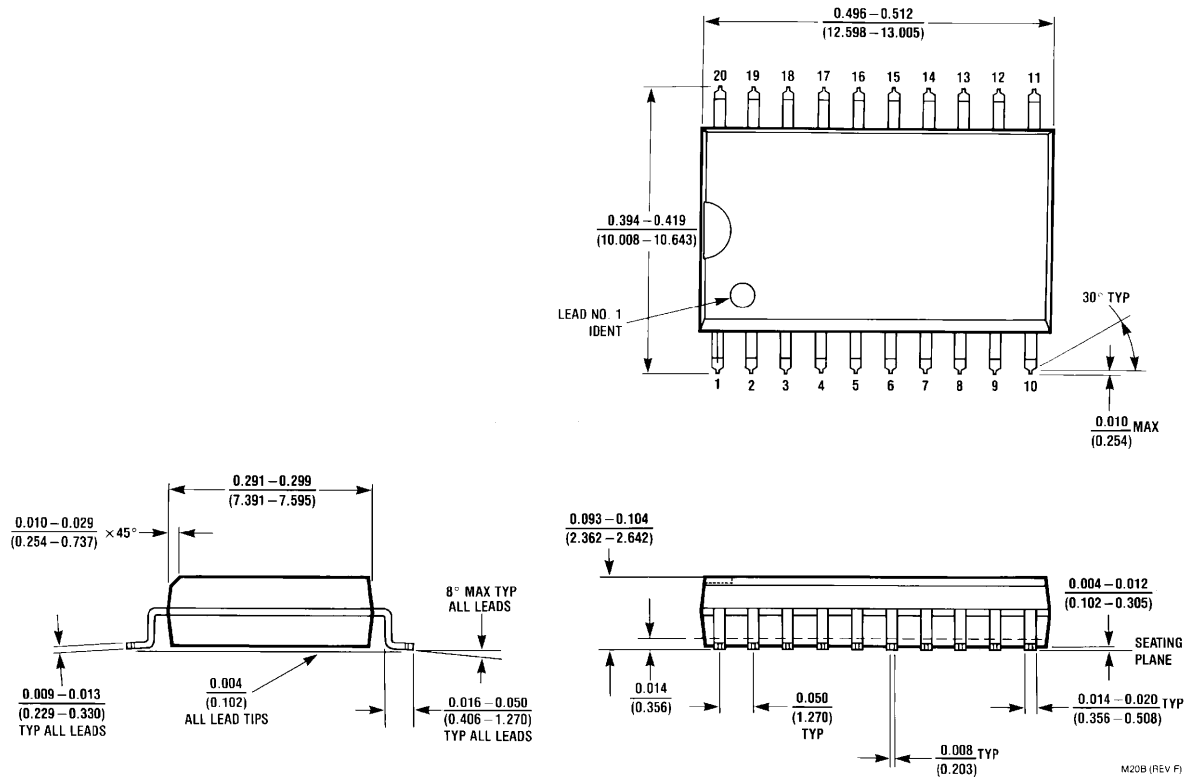
Connection Diagram



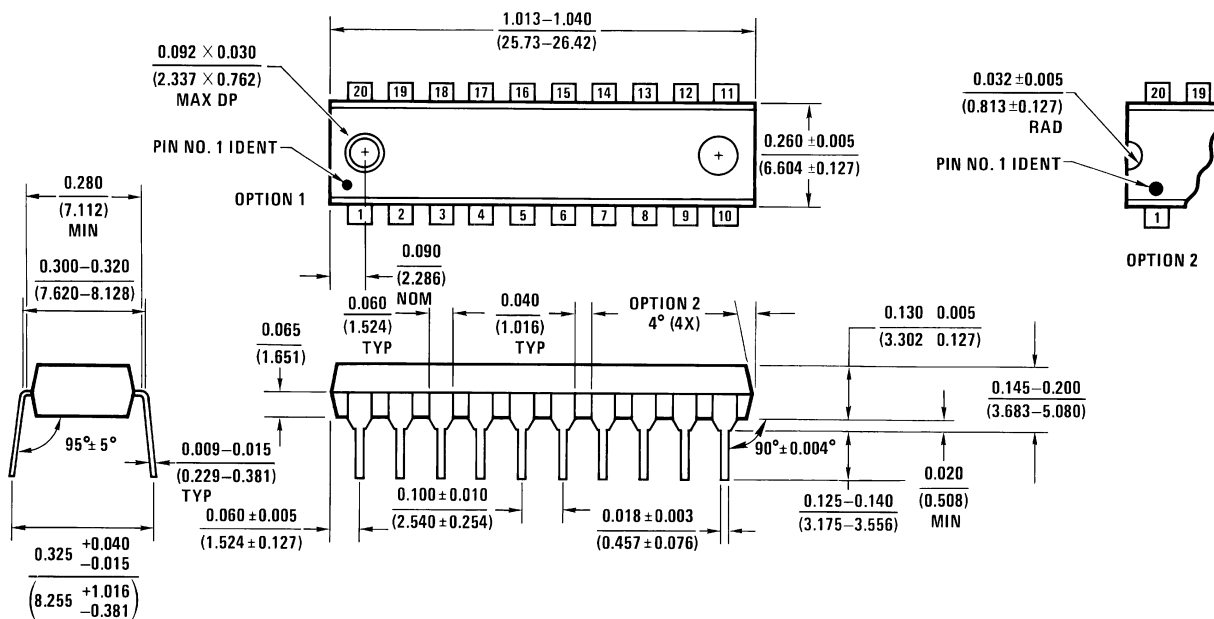
01039904

Top View
Order Number MF10CCWM
See NS Package Number M20B
Order Number MF10ACN or MF10CCN
See NS Package Number N20A

unless otherwise noted



Molded Package (Small Outline) (M)
Order Number MF10ACWM or MF10CCWM
NS Package Number M20B



20-Lead Molded Dual-In-Line Package (N)
Order Number MF10ACN or MF10CCN
NS Package Number N20A

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

Capacités commutées : principe et application.

1. Principe.

Le principe d'une capacité commutée consiste à charger et décharger une capacité. En valeur moyenne, celle-ci se comporte comme une résistance.

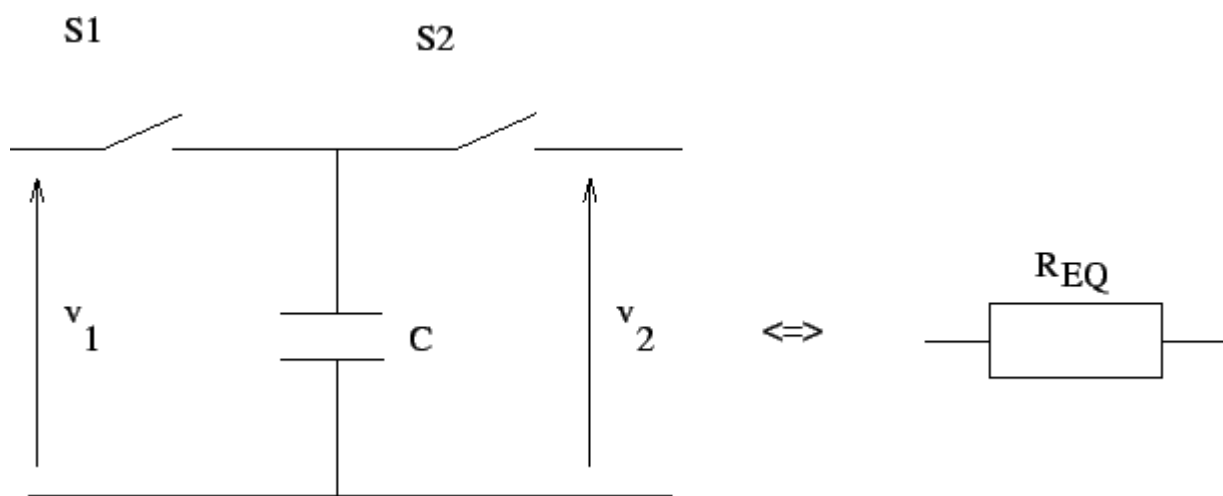


Figure: Principe d'une capacité commutée.

Plus précisément, une capacité commutée est représentée sur la figure (1). S1 et S2 sont deux interrupteurs commandés par un signal carré de fréquence f_{CLK} (période T). Sur une période $[0, T/2]$, S1 est fermé et S2 est ouvert alors que S2 est fermé et S1 est ouvert pendant l'intervalle $[T/2, T]$. On a donc $V_1 = Q_1/C$ pendant $T/2$ et $V_2 = Q_2/C$ sur l'intervalle $[T/2, T]$ ce qui correspond à un transfert de charge $\Delta Q = Q_2 - Q_1$ donné par :

$$\Delta Q = C \cdot (V_2 - V_1) = C \cdot V_{21}$$

Le courant I correspondant à ce transfert de charge sur une période est égal à $\Delta Q/T$ soit $I = V_{21} \cdot C/T$.

En valeur moyenne¹, on peut donc écrire :

$$V_{21} = R_{EQ} \cdot I$$

avec

$$R_{EQ} = \frac{T}{C} = \frac{1}{C \cdot f_{CLK}}$$

La capacité commutée se comporte donc comme une résistance et la fréquence f_{CLK} de commutation permet de faire varier la valeur de la résistance R_{EQ} .

Le TP illustre ce principe en proposant deux applications :

- La réalisation d'un filtre passe-bas à fréquence de coupure programmable.
- La réalisation d'un distorsiomètre utilisant un filtre intégré à capacité commutée (circuit MF10).

1.1 Réalisation d'un filtre passe-bas à fréquence de coupure programmable.

Le montage est présenté sur la figure (2).

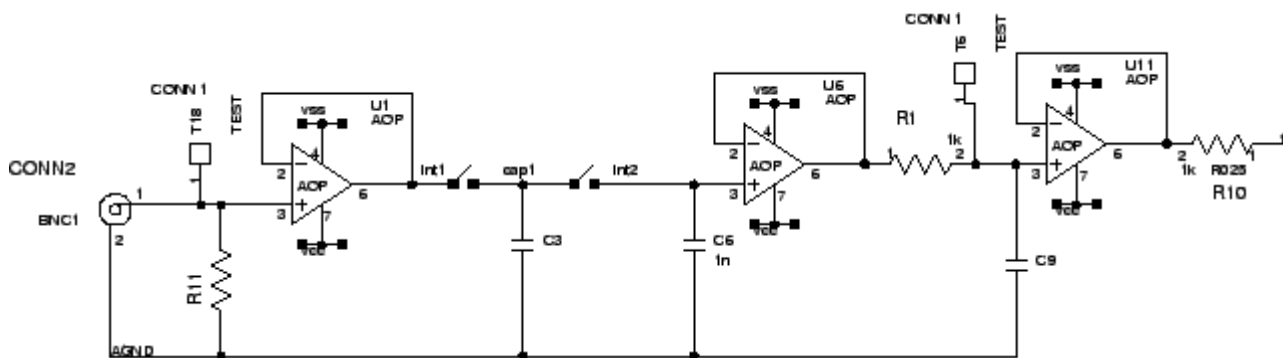


Figure: Schéma d'un filtre passe-bas programmable.

Ce montage permet de comprendre le principe d'une capacité commutée réalisée à l'aide des deux interrupteurs et de la capacité C3. Ces interrupteurs sont commandés grâce à un signal carré (0-10V). Les AOP U1, U6 et U11 effectue une adaptation d'impédance. Le filtre passe-bas R1-C9 élimine la composante résultant des commutations.

1.1.1 Calcul de la fréquence de coupure.

La capacité commutée et la capacité C6 se comporte comme un réseau R-C de type passe bas. Montrer que la fréquence de coupure f_{3dB} de ce filtre est égale à :

$$f_{3dB} = \frac{f_{CLK}C3}{2\pi C6}$$

On veut obtenir une fréquence de coupure égale à $f_{CLK}/100$. On donne $C6=1nF$. Donner la valeur de $C3$.

1.1.2 Elimination des composantes spectrales liées aux commutations.

Le filtre passe-bas R1-C9 de fréquence de coupure fixe est chargée d'éliminer les composantes spectrales hautes-fréquences liées aux commutations. On considère ici que $f_{3dB} = f_{CLK}/100$ et que $f_{CLK} = 100kHz$. Calculer la valeur de la capacité C9 permettant de conserver le signal et d'éliminer le signal d'horloge.

1.2 Manipulations.

Le signal de commutation doit être carré et compris entre 0 et 10V (ajuster l'offset d'un générateur de fonction pour obtenir ce type de signal). Le signal d'entrée doit être supérieur à 0V (ajuster l'offset d'un générateur de fonction).

- Enficher les capacités calculées lors du travail préparatoire. Vérifier et interpréter le fonctionnement du montage.

1.3 Remarque et conclusion.

Vous devez être maintenant convaincu qu'une capacité commutée se comporte bien comme une résistance. Une configuration différente autour de l'AOP U6 aurait permis de réaliser un intégrateur à constante de temps commandable. C'est cette configuration qui est utilisée par la suite dans un circuit intégré de type MF10.

DATA SHEET

TDA1514A

**50 W high performance hi-fi
amplifier**

Product specification
File under Integrated Circuits, IC01

May 1992

50 W high performance hi-fi amplifier**TDA1514A****GENERAL DESCRIPTION**

The TDA1514A integrated circuit is a hi-fi power amplifier for use as a building block in radio, tv and other audio applications. The high performance of the IC meets the requirements of digital sources (e.g. Compact Disc equipment).

The circuit is totally protected, the two output transistors both having thermal and SOAR protection (see Fig.3). The circuit also has a mute function that can be arranged for a period after power-on with a delay time fixed by external components.

The device is intended for symmetrical power supplies but an asymmetrical supply may also be used.

Features

- High output power
- Low harmonic distortion
- Low intermodulation distortion
- Low offset voltage
- Good ripple rejection
- Mute/stand-by facilities
- Thermal protection
- Protected against electrostatic discharge
- No switch-on or switch-off clicks
- Very low thermal resistance
- Safe Operating Area (SOAR) protection.

QUICK REFERENCE DATA

PARAMETER	CONDITIONS	SYMBOL	MIN.	TYP.	MAX.	UNIT
Supply voltage range (pin 6 to pin 4)		V_P	± 10	—	± 30	V
Total quiescent current	$V_P = \pm 27.5$ V	I_{tot}	—	56	—	mA
Output power	THD = -60 dB; $V_P = \pm 27.5$ V; $R_L = 8 \Omega$	P_o	—	40	—	W
	$V_P = \pm 23$ V; $R_L = 4 \Omega$	P_o	—	48	—	W
Closed loop voltage gain	determined externally	G_c	—	30	—	dB
Input resistance	determined externally	R_i	—	20	—	k Ω
Signal plus noise-to-noise ratio	$P_o = 50$ mW	(S+N)/N	—	83	—	dB
Supply voltage ripple rejection	f = 100 Hz	SVRR	—	64	—	dB

PACKAGE OUTLINE

9-lead SIL, plastic power (SOT131R); SOT131-2; 1996 July 19.

50 W high performance hi-fi amplifier

TDA1514A

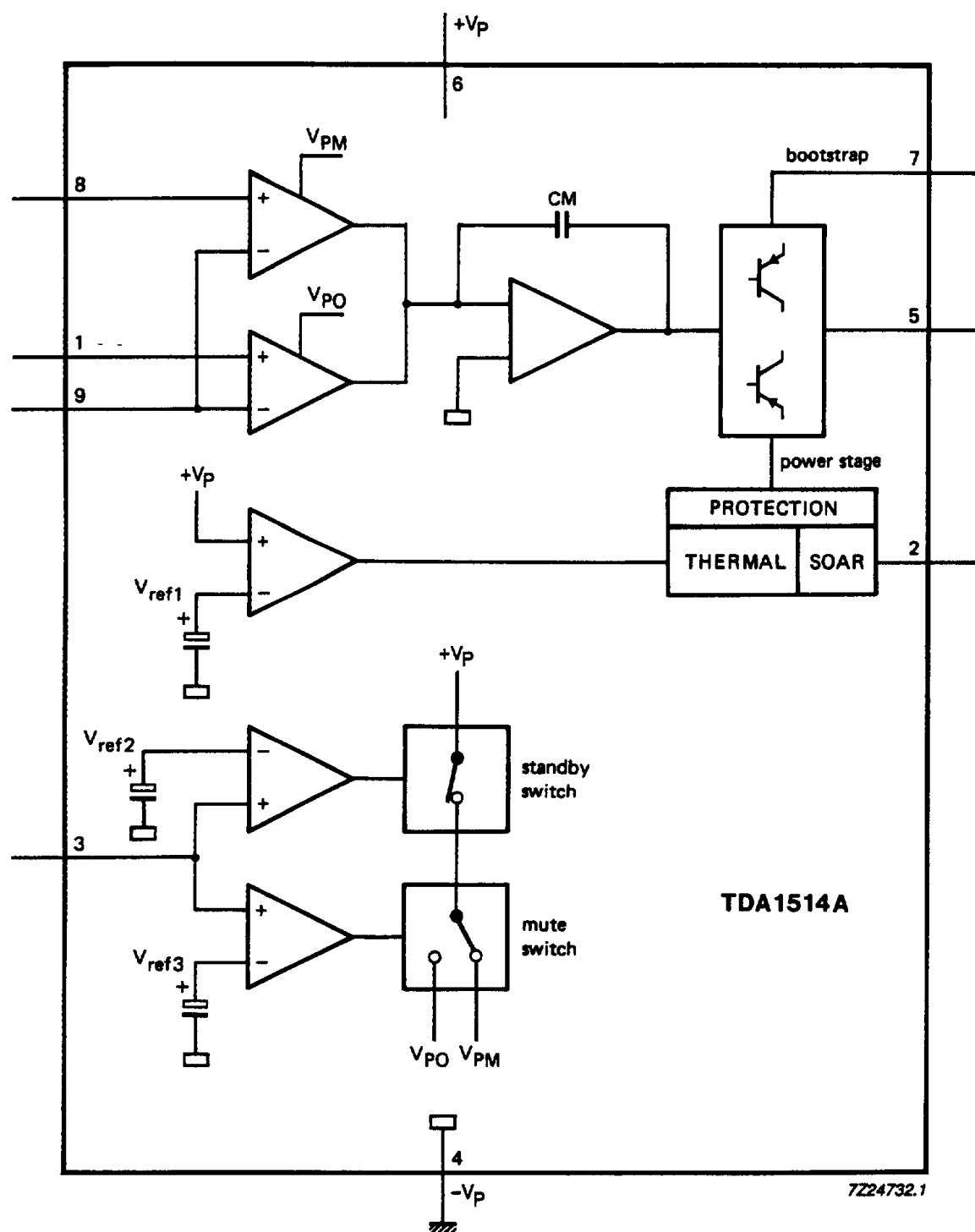


Fig.1 Block diagram.

50 W high performance hi-fi amplifier

TDA1514A

RATINGS

Limiting values in accordance with the Absolute Maximum Rating System (IEC 134)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Supply voltage (pin 6 to pin 4)	V_P	–	± 30	V
Bootstrap voltage (pin 7 to pin 4)	V_{bstr}	–	70	V
Output current (repetitive peak)	I_o	–	8	A
Operating ambient temperature range	T_{amb}	see Fig.2		
Storage temperature range	T_{stg}	–55	+ 150	°C
Power dissipation		see Fig.2		
Thermal shut-down protection time	t_{pr}	–	1	hour
Mute voltage (pin 3 to pin 4)	V_m	–	7.25	V

THERMAL RESISTANCE

From junction to mounting base

$R_{th\ j-mb}$

1 K/W

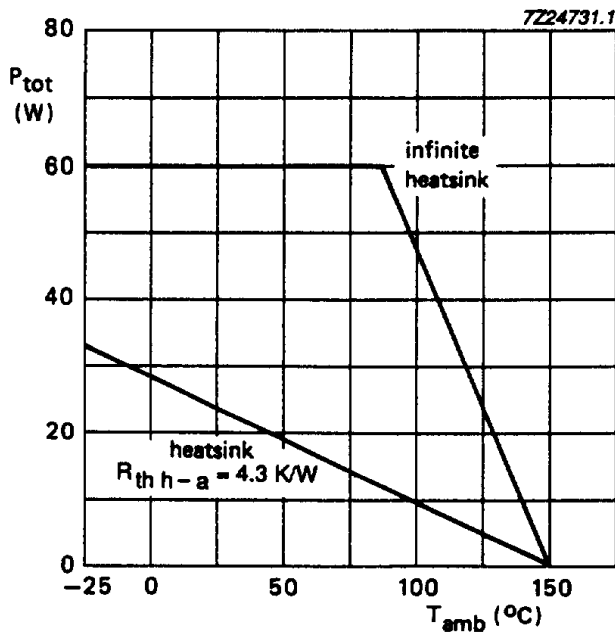


Fig.2 Power derating curve.

50 W high performance hi-fi amplifier

TDA1514A

The theoretical maximum power dissipation for $P_o = 40$ W with a stabilized power supply is:

$$\frac{V_p^2}{2\pi^2 R_L} = 19 \text{ W; where } V_p = \pm 27.5 \text{ V; } R_L = 8 \Omega$$

Considering, for example, a maximum ambient temperature of 50 °C and a maximum junction temperature of 150 °C the total thermal resistance is:

$$R_{th\ j-a} = \frac{150 - 50}{19} = 5.3 \text{ K/W}$$

Since the thermal resistance of the SOT131A encapsulation is $R_{th\ j-mb} < 1$ K/W, the thermal resistance required of the heatsink is $R_{th\ h-a} < 4.3$ K/W.

SAFE OPERATING AREA (SOAR) PROTECTION

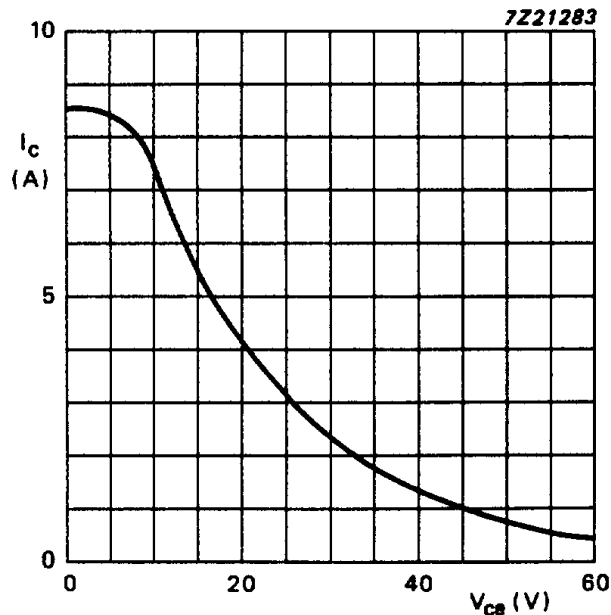


Fig.3 SOAR protection curve.

50 W high performance hi-fi amplifier

TDA1514A

CHARACTERISTICS

$V_P = \pm 27.5$ V; $R_L = 8\ \Omega$; $f = 1$ kHz; $T_{amb} = 25$ °C; test circuit as Fig.4; unless otherwise specified.

PARAMETER	CONDITIONS	SYMBOL	MIN.	TYP.	MAX.	UNIT
Supply voltage range (pin 6 to pin 4)		V_P	± 10	–	± 30	V
Maximum output current (peak value)		$I_{OM\ max}$	6.4	–	–	A
Operating state						
Voltage (pins 3 to 4)		V_{3-4}	6	–	7.25	V
Total quiescent current	$R_L = \infty$	I_{tot}	30	56	90	mA
Output power	THD = –60 dB	P_o	37	40	–	W
	THD = –20 dB	P_o	–	51	–	W
Output power	$V_P = \pm 23$ V; THD = –60 dB					
	$R_L = 8\ \Omega$	P_o	–	28	–	W
	$R_L = 4\ \Omega$	P_o	–	48	–	W
Total harmonic distortion	$P_o = 32$ W	THD	–	–90	–80	dB
Intermodulation distortion	$P_o = 32$ W					
	note 1	d_{im}	–	–86	–	dB
Power bandwidth	(–3 dB); THD = –60 dB	B	–	20 to 25 000		Hz
Slew rate		dV/dt	–	14	–	V/ μ s
Closed loop voltage gain	note 2	G_c	–	30	–	dB
Open loop voltage gain		G_o	–	89	–	dB
Input impedance	note 3	$ Z_i $	1	–	–	M Ω
Signal-to-noise ratio	note 4 $P_o = 50$ mW	S/N	80	83	–	dB
Output offset voltage		V_o	–	7	200	mV
Input bias current		I_i	–	0.1	1.0	μ A
Output impedance		$ Z_o $	–	–	0.1	Ω
Supply voltage ripple rejection	note 5	SVRR	58	64	–	dB
Quiescent current into pin 2	note 6	I_2	–	0.1	–	μ A

50 W high performance hi-fi amplifier

TDA1514A

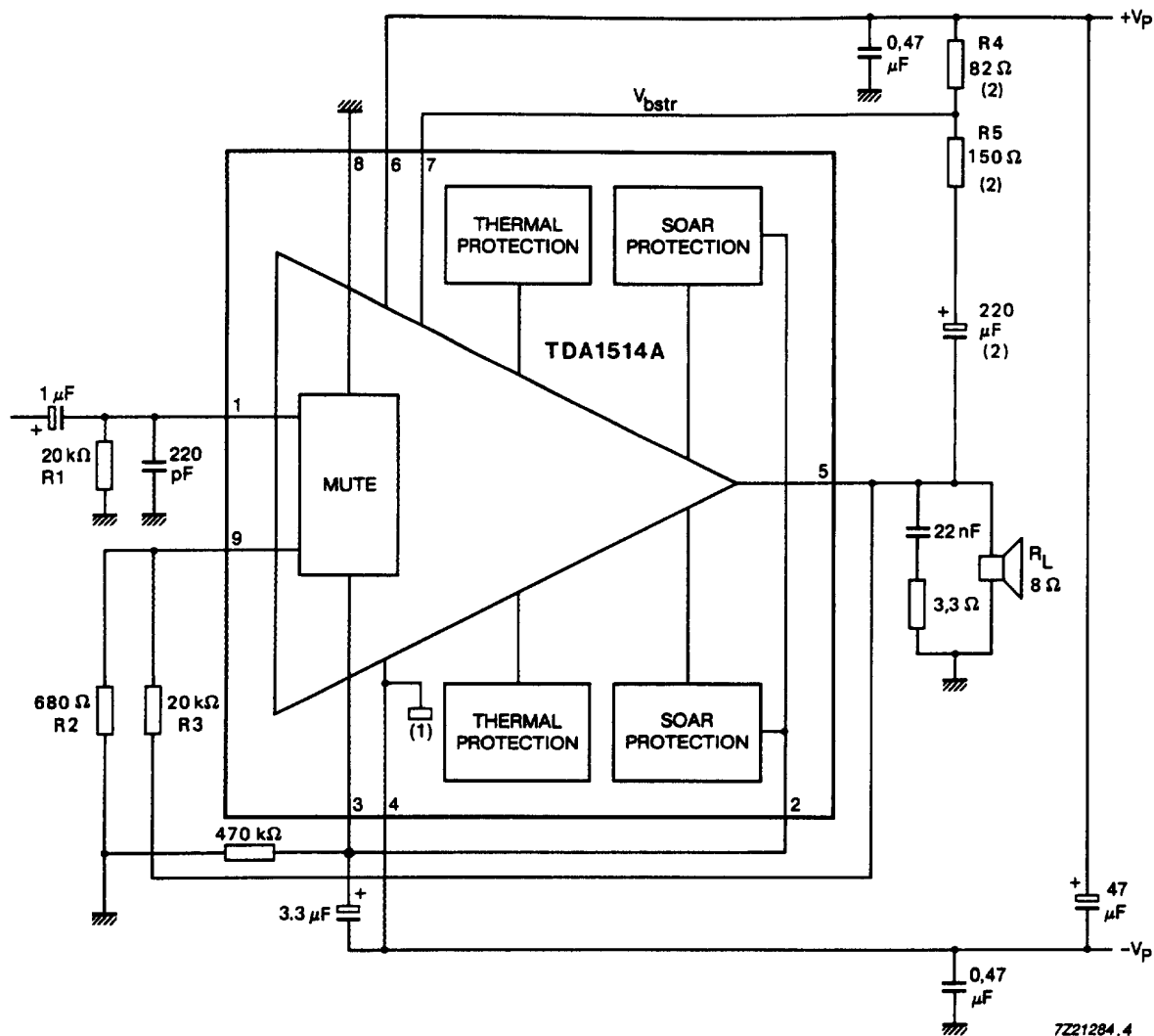
PARAMETER	CONDITIONS	SYMBOL	MIN.	TYP.	MAX.	UNIT
Mute state						
Voltage on pin 3	$V_{i(rms)} = 1\text{ V}$ $f = 1\text{ kHz}$ note 5	V_{3-4}	2	—	4.5	V
Offset voltage		V_o	—	30	200	V
Output voltage		V_o	—	450	—	μV
Ripple rejection		RR	—	60	—	dB
Standby state						
Voltage on pin 3	notes 5 and 7	V_{3-4}	0	—	0.9	V
Total quiescent current		I_{tot}	—	18	25	mA
Ripple rejection		RR	—	60	—	dB
Supply voltage to obtain standby state		$\pm V_P$	5.0	—	7.0	V

Notes to the characteristics

1. Measured with two superimposed signals of 50 Hz and 7 kHz with an amplitude relationship of 4 : 1.
2. The closed loop gain is determined by external resistors (Fig.4, R2 and R3) and is variable between 20 and 46 dB.
3. The input impedance in the test circuit (Fig.4) is determined by the bias resistor R1.
4. The noise output voltage is measured in a bandwidth of 20 Hz to 20 kHz with a source resistance of 2 k Ω .
5. $f = 100\text{ Hz}$; $R_S = 2\text{ k}\Omega$; ripple voltage = 500 mV_(eff) on positive and negative supply.
6. The quiescent current into pin 2 has an impact on the mute time.
7. Without bootstrap.

50 W high performance hi-fi amplifier

TDA1514A



- (1) Mounting base to connected to $-V_p$.
- (2) When used without a bootstrap these components are disconnected and pin 6 is connected to pin 7 thus decreasing the output power by approximately 4 W.
- (3) When $R_L = 4 \Omega$: $R_4 = 47 \Omega$ and $R_5 = 82 \Omega$.

Fig.4 Application and test circuit.

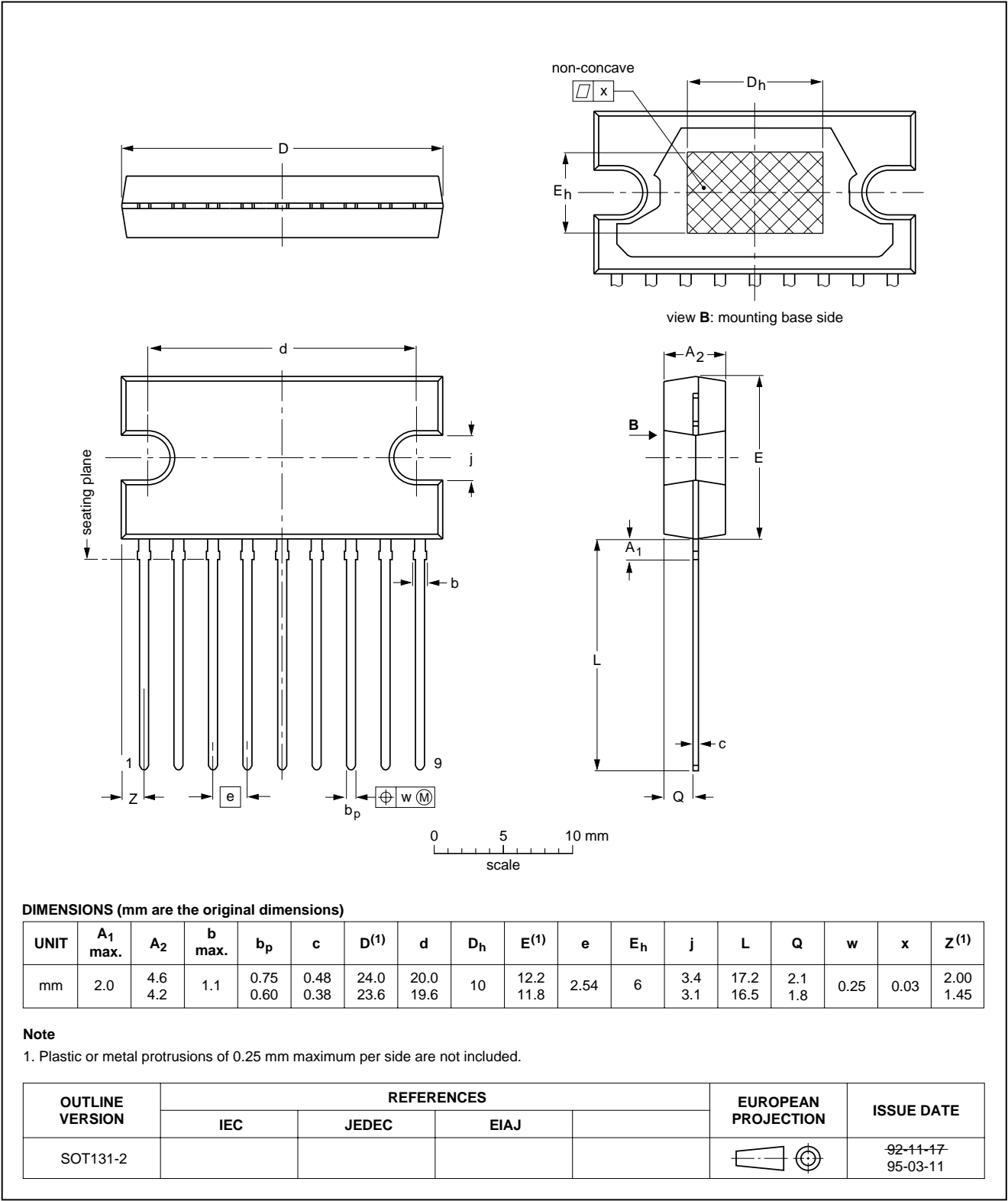
50 W high performance hi-fi amplifier

TDA1514A

PACKAGE OUTLINE

SIL9P: plastic single in-line power package; 9 leads

SOT131-2



50 W high performance hi-fi amplifier

TDA1514A

SOLDERING**Introduction**

There is no soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and surface mounted components are mixed on one printed-circuit board. However, wave soldering is not always suitable for surface mounted ICs, or for printed-circuits with high population densities. In these situations reflow soldering is often used.

This text gives a very brief insight to a complex technology. A more in-depth account of soldering ICs can be found in our *"IC Package Databook"* (order code 9398 652 90011).

Soldering by dipping or by wave

The maximum permissible temperature of the solder is 260 °C; solder at this temperature must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified maximum storage temperature ($T_{\text{stg max}}$). If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

Repairing soldered joints

Apply a low voltage soldering iron (less than 24 V) to the lead(s) of the package, below the seating plane or not more than 2 mm above it. If the temperature of the soldering iron bit is less than 300 °C it may remain in contact for up to 10 seconds. If the bit temperature is between 300 and 400 °C, contact may be up to 5 seconds.

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

MM54HCT373/MM74HCT373 TRI-STATE® Octal D-Type Latch MM54HCT374/MM74HCT374 TRI-STATE Octal D-Type Flip-Flop

General Description

The MM54HCT373/MM74HCT373 octal D-type latches and MM54HCT374/MM74HCT374 Octal D-type flip flops advanced silicon-gate CMOS technology, which provides the inherent benefits of low power consumption and wide power supply range, but are LS-TTL input and output characteristic & pin-out compatible. The TRI-STATE outputs are capable of driving 15 LS-TTL loads. All inputs are protected from damage due to static discharge by internal diodes to V_{CC} and ground.

When the MM54HCT373/MM74HCT373 LATCH ENABLE input is high, the Q outputs will follow the D inputs. When the LATCH ENABLE goes low, data at the D inputs will be retained at the outputs until LATCH ENABLE returns high again. When a high logic level is applied to the OUTPUT CONTROL input, all outputs go to a high impedance state, regardless of what signals are present at the other inputs and the state of the storage elements.

The MM54HCT374/MM74HCT374 are positive edge triggered flip-flops. Data at the D inputs, meeting the setup and hold time requirements, are transferred to the Q outputs on

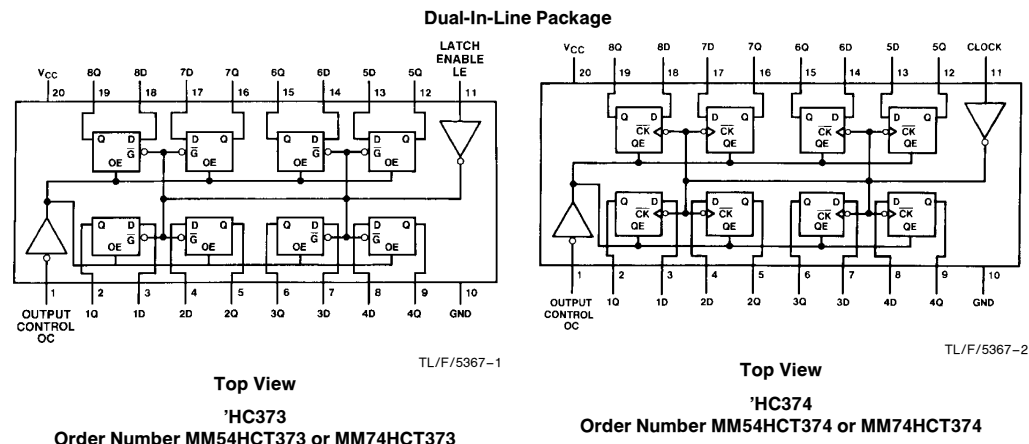
positive going transitions of the CLOCK (CK) input. When a high logic level is applied to the OUTPUT CONTROL (OC) input, all outputs go to a high impedance state, regardless of what signals are present at the other inputs and the state of the storage elements.

MM54HCT/MM74HCT devices are intended to interface between TTL and NMOS components and standard CMOS devices. These parts are also plug in replacements for LS-TTL devices and can be used to reduce power consumption in existing designs.

Features

- TTL input characteristic compatible
- Typical propagation delay: 20 ns
- Low input current: 1 μ A maximum
- Low quiescent current: 80 μ A maximum
- Compatible with bus-oriented systems
- Output drive capability: 15 LS-TTL loads

Connection Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corporation.

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to $V_{CC} + 1.5V$
DC Output Voltage (V_{OUT})	−0.5 to $V_{CC} + 0.5V$
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current, per pin (I_{OUT})	±35 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±70 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	4.5	5.5	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HCT	−40	+85	°C
MM54HCT	−55	+125	°C
Input Rise or Fall Times (t_r, t_f)		500	ns

DC Electrical Characteristics $V_{CC} = 5V \pm 10\%$ (unless otherwise specified)

Symbol	Parameter	Conditions	T _A = 25°C		74HCT T _A = −40 to 85°C	54HCT T _A = −55 to 125°C	Units
			Typ	Guaranteed Limits			
V _{IH}	Minimum High Level Input Voltage			2.0	2.0	2.0	V
V _{IL}	Maximum Low Level Input Voltage			0.8	0.8	0.8	V
V _{OH}	Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} = 20 μA I _{OUT} = 6.0 mA, V _{CC} = 4.5V I _{OUT} = 7.2 mA, V _{CC} = 5.5V	V _{CC} 4.2 5.7	V _{CC} − 0.1 3.98 4.98	V _{CC} − 0.1 3.84 4.84	V _{CC} − 0.1 3.7 4.7	V V V
V _{OL}	Maximum Low Level Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} = 20 μA I _{OUT} = 6.0 mA, V _{CC} = 4.5V I _{OUT} = 7.2 mA, V _{CC} = 5.5V	0 0.2 0.2	0.1 0.26 0.26	0.1 0.33 0.33	0.1 0.4 0.4	V V V
I _{IN}	Maximum Input Current	V _{IN} = V _{CC} or GND, V _{IH} or V _{IL}		±0.1	±1.0	±1.0	μA
I _{OZ}	Maximum TRI-STATE Output Leakage Current	V _{OUT} = V _{CC} or GND Enable = V _{IH} or V _{IL}		±0.5	±5.0	±10	μA
I _{CC}	Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA		8.0	80	160	μA
		V _{IN} = 2.4V or 0.5V (Note 4)		1.0	1.3	1.5	mA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: Measured per pin. All others tied to V_{CC} or ground.

AC Electrical Characteristics MM54HCT373/MM74HCT373

$V_{CC}=5.0V$, $t_r=t_f=6$ ns $T_A=25^\circ C$ (unless otherwise specified)

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL} , t_{PLH}	Maximum Propagation Delay Data to Output	$C_L = 45$ pF	18	25	ns
t_{PHL} , t_{PLH}	Maximum Propagation Delay Latch Enable to Output	$C_L = 45$ pF	21	30	ns
t_{PZH} , t_{PZL}	Maximum Enable Propagation Delay Control to Output	$C_L = 45$ pF $R_L = 1$ k Ω	20	28	ns
t_{PHZ} , t_{PLZ}	Maximum Disable Propagation Delay Control to Output	$C_L = 5$ pF $R_L = 1$ k Ω	18	25	ns
t_W	Minimum Clock Pulse Width			16	ns
t_S	Minimum Setup Time Data to Clock			5	ns
t_H	Minimum Hold Time Clock to Data			10	ns

AC Electrical Characteristics MM54HCT373/MM74HCT373

$V_{CC}=5.0V \pm 10\%$, $t_r=t_f=6$ ns (unless otherwise specified)

Symbol	Parameter	Conditions	T _A = 25°C		74HCT	54HCT	Units
			Typ	Guaranteed Limits		T _A = − 40 to 85°C	
t _{PHL} , t _{PLH}	Maximum Propagation Delay Data to Output	C _L = 50 pF C _L = 150 pF	22	30	37	45	ns
			30	40	50	60	ns
t _{PHL} , t _{PLH}	Maximum Propagation Delay Latch Enable to Output	C _L = 50 pF C _L = 150 pF	25	35	44	53	ns
			32	45	56	68	ns
t _{PZH} , t _{PZL}	Maximum Enable Propagation Delay Control to Output	C _L = 50 pF C _L = 150 pF R _L = 1 kΩ	21	30	37	45	ns
			30	40	50	60	ns
t _{PHZ} , t _{PLZ}	Maximum Disable Propagation Delay Control to Output	C _L = 50 pF R _L = 1 kΩ	21	30	37	45	ns
t _{THL} , t _{TLH}	Maximum Output Rise and Fall Time	C _L = 50 pF	8	12	15	18	ns
t _w	Minimum Clock Pulse Width			16	20	24	ns
t _s	Minimum Setup Time Data to Clock			5	6	8	ns
t _h	Minimum Hold Time Clock to Data			10	13	20	ns
C _{IN}	Maximum Input Capacitance			10	10	10	pF
C _{OUT}	Maximum Output Capacitance			20	20	20	pF
C _{PD}	Power Dissipation Capacitance (Note 5)	OC = V _{CC} OC = GND		5 52			pF pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

Truth Table

'373

Output Control	LE	Data	373 Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

H = high level, L = low level

Q_0 = level of output before steady-state input conditions were established.

Z = high impedance

'374

Output Control	Clock	Data	Output (374)
L	\uparrow	H	H
L	\uparrow	L	L
L	L	X	Q_0
H	X	X	Z

H = High Level, L = Low Level

X = Don't Care

\uparrow = Transition from low-to-high

Z = High impedance state

Q_0 = The level of the output before steady state input conditions were established.

AC Electrical Characteristics MM54HCT374/MM74HCT374

$V_{CC}=5.0V$, $t_r=t_f=6\text{ ns}$ $T_A=25^\circ\text{C}$ (unless otherwise specified)

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
f_{MAX}	Maximum Clock Frequency		50	30	MHz
t_{PHL} , t_{PLH}	Maximum Propagation Delay to Output	$C_L = 45\text{ pF}$	20	32	ns
t_{PZH} , t_{PZL}	Maximum Enable Propagation Delay Control to Output	$C_L = 45\text{ pF}$ $R_L = 1\text{ k}\Omega$	19	28	ns
t_{PHZ} , t_{PLZ}	Maximum Disable Propagation Delay Control to Output	$C_L = 5\text{ pF}$ $R_L = 1\text{ k}\Omega$	17	25	ns
t_W	Minimum Clock Pulse Width			20	ns
t_S	Minimum Setup Time Data to Clock			5	ns
t_H	Minimum Hold Time Clock to Data			16	ns

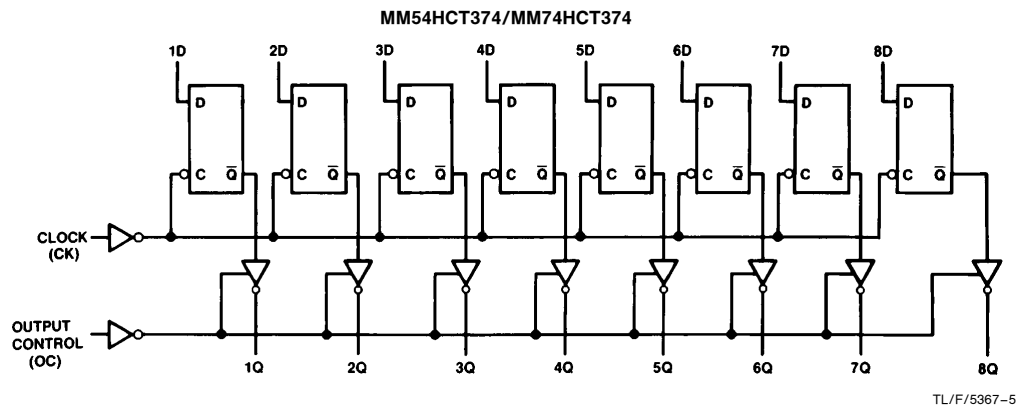
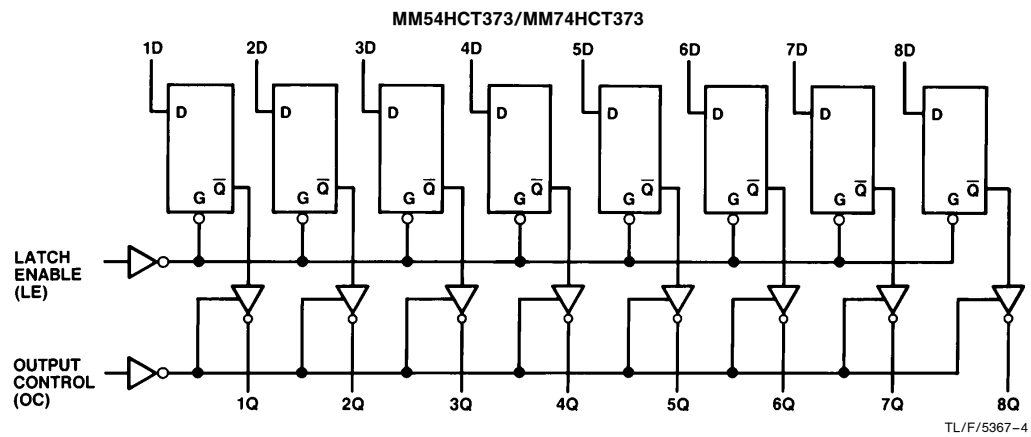
AC Electrical Characteristics MM54HCT374/MM74HCT374

$V_{CC}=5.0V \pm 10\%$, $t_r=t_f=6\text{ ns}$ (unless otherwise specified)

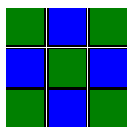
Symbol	Parameter	Conditions	T _A = 25°C		74HCT T _A = − 40 to 85°C	54HCT T _A = − 55 to 125°C	Units
			Typ	Guaranteed Limits			
f _{MAX}	Maximum Clock Frequency			30	24	20	MHz
t _{PHL} , t _{PLH}	Maximum Propagation Delay to Output	C _L = 50 pF	22	36	45	48	ns
		C _L = 150 pF	30	46	57	69	ns
t _{PZH} , t _{PZL}	Maximum Enable Propagation Delay Control to Output	C _L = 50 pF	21	30	37	45	ns
		C _L = 150 pF R _L = 1 kΩ	30	40	50	60	ns
t _{PHZ} , t _{PLZ}	Maximum Disable Propagation Delay Control to Output	C _L = 50 pF R _L = 1 kΩ	21	30	37	45	ns
t _{THL} , t _{TLH}	Maximum Output Rise and Fall Time	C _L = 50 pF	8	12	15	18	ns
t _W	Minimum Clock Pulse Width			16	20	24	ns
t _S	Minimum Setup Time Data to Clock			20	25	30	ns
t _H	Minimum Hold Time Clock to Data			5	5	5	ns
C _{IN}	Maximum Input Capacitance			10	10	10	pF
C _{OUT}	Maximum Output Capacitance			20	20	20	pF
C _{PD}	Power Dissipation Capacitance (Note 5)	OC = V _{CC}		5			pF
		OC = GND		58			pF

Note 5: C_{PD} determines the no load power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

Logic Diagrams



Physical Dimensions inches (millimeters)



POWERTIP TECH. CORP.

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

Specification For Approval

Customer : _____

Model Type : LCD Module

Sample Code : PC1602LRS-HSO-B-S0

Mass Production Code : _____

Edition : 0

Customer Sign

Sales Sign

Approved By

Prepared By

--	--	--	--

CONTENTS

1.SPECIFICATIONS

- 1.1 Features
- 1.2 Mechanical Specifications
- 1.3 Absolute Maximum Ratings
- 1.4 DC Electrical Characteristics
- 1.5 Optical Characteristics
- 1.6 Backlight Characteristics

2.MODULE STRUCTURE

- 2.1 Counter Drawing
- 2.2 Interface Pin Description
- 2.3 Timing Characteristics
- 2.4 Display Command
- 2.5 Character Pattern



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

1. SPECIFICATIONS

1.1 Features

- 16-characters, two-lines liquid crystal display of 5*8 dot matrix + cursor
- 1/16 Duty, 1/4 bias
- STN LCD, positive, gray
- Transflective LCD
- 6 o'clock viewing angle
- 8 bits parallel data input
- Built-in LED backlight

1.2 Mechanical Specifications

- Outline dimension : 85.0mm(L)* 36.0mm(W)*14.0mm max.(H)
- Viewing area : 66.0mm *16.2mm
- Active area : 56.21mm *11.5mm
- Dot size : 0.56mm *0.66mm
- Dot pitch : 0.6mm *0.7mm
- Character Size : 2.96mm *5.56mm

1.3 Absolute Maximum Ratings

Item	Symbol	Conditions	Min.	Max.	Unit
Power supply Voltage	VDD	-	-0.3	7.0	V
LCD drive Supply voltage	VDD-VO	-	V _{DD} -15	V _{DD} +0.3	V
Input voltage	VIN	-	-0.3	V _{DD} +0.3	V
Operating temperature	TOPR	-	0	50	°C
Storage temperature	TSTG	-	-20	+70	°C
Humidity	HD	-	-	90	%RH

1.4 DC Electrical Characteristics

VDD=+5V±10%, VSS=0V, TA=25°C

Item	Symbol	Condition	Min.	Typ.	Max.	Unit
Logic Supply voltage	VDD	-	4.5	5.0	5.5	V
“H” input voltage	VIH	-	2.2	-	V _{DD}	V
“L” input voltage	VIL	-	-0.3	-	0.6	V
“H” output voltage	VOH	-	2.4	-	-	V
“L” output voltage	VOL	-	-	-	0.4	V
Supply current	IDD	VDD=5V	-	1.66	1.99	mA
LCD driving voltage	VOP	VDD-VO	-	4.4	4.8	V



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

1.5 Optical Characteristics

1/16 duty, 1/4 bias, $V_{OPR}=4.2V$, $T_a=25^{\circ}C$

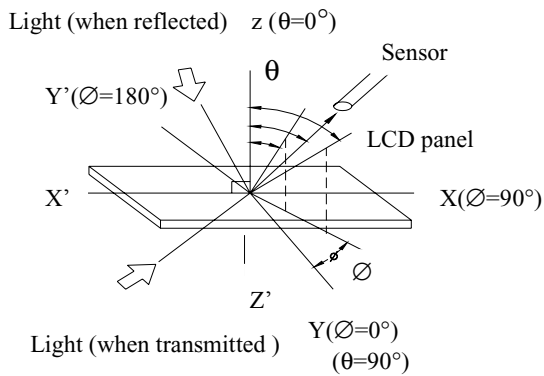
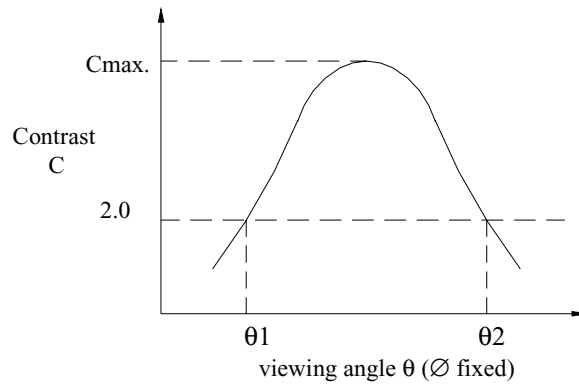
Item	Symbol	Conditions	Min.	Typ.	Max	Reference
Viewing angle	θ	$C \geq 2.0, \varnothing = 0^{\circ}$	-40°	-	-	Notes 1 & 2
Contrast	C	$\theta = 5^{\circ}, \varnothing = 0^{\circ}$	-	3	-	Note 3
Response time(rise)	T_r	$\theta = 5^{\circ}, \varnothing = 0^{\circ}$	-	120 ms	180 ms	Note 4
Response time(fall)	T_f	$\theta = 5^{\circ}, \varnothing = 0^{\circ}$	-	250 ms	400 ms	Note 4

Parameter	Symbol	Temperature ($^{\circ}C$)	Standard			Unit
			Min	Typ	Max	
Driving voltage	V_{OP}	0	4.3	4.6	4.9	V
		25	3.9	4.2	4.5	
		40	3.7	4.0	4.3	



POWERTIP TECHNOLOGY CORPORATION

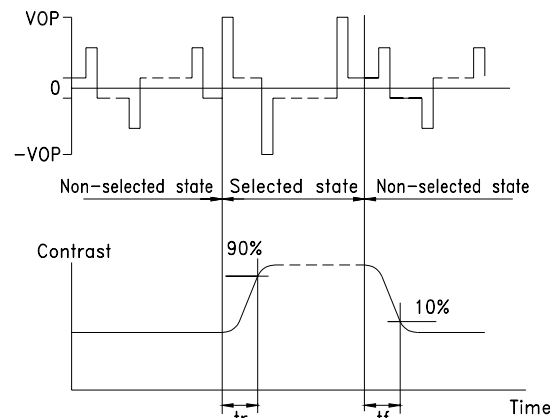
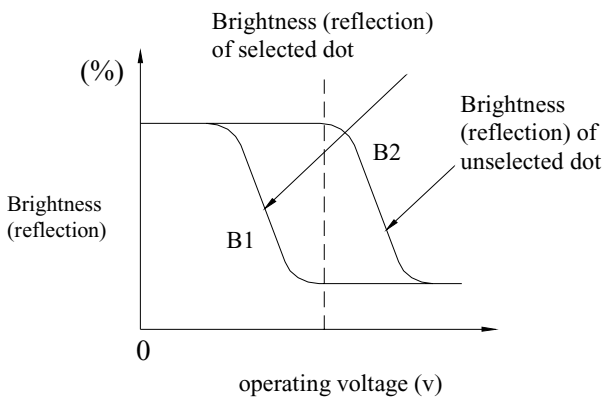
DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

Note 1: Definition of angles θ and ϕ Note 2: Definition of viewing angles θ_1 and θ_2 

Note : Optimum viewing angle with the naked eye and viewing angle θ at $C_{max.}$ Above are not always the same

Note 3: Definition of contrast C

$$C = \frac{\text{Brightness (reflection) of unselected dot (B2)}}{\text{Brightness (reflection) of selected dot (B1)}}$$



Note: Measured with a transmissive LCD panel which is displayed 1 cm^2

V_{OPR} : Operating voltage
 t_r : Response time (rise)

f_{FRM} : Frame frequency
 t_f : Response time (fall)

1.6 Backlight Characteristic

The LCD Module is backlight using a LED panel

- Maximum Ratings



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

Item	Symbol	Conditions	Min.	Max.	Unit
Forward current	IF	TA=25°C	-	240	mA
Reverse voltage	VR	TA=25°C	-	8	V
Power dissipation	PO	TA=25°C	-	1.2	W
Operating Temperature	TOPR	-	-20	70	°C
Storage temperature	TSTG	-	-40	80	°C

•Electrical Ratings

Item	Symbol	Condition	Min.	Typ.	Max.	Unit
Forward voltage	VF	IF=120mA	-	4.2	4.8	V
Reverse current	IR	VR=8V	-	-	0.3	mA
Luminous intensity (without LCD)	Iv	IF=120mA	50	80	-	cd/m ²
Luminous intensity (with LCD)	IV	IF=120mA	-	40.2	-	cd/m ²
Wavelength	λ_p	IF=120mA	569	-	575	nm
Color	Yellow Green					



POWERTIP TECHNOLOGY CORPORATION


DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

2. MODULE STRUCTURE

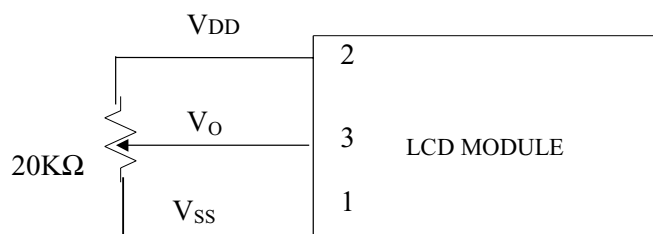
2.1 Counter Drawing

*See Appendix

2.2 Interface Pin Description

Pin No.	Symbol	Signal Description
1	VSS	Power Supply ($V_{SS}=0$)
2	VDD	Power Supply ($V_{DD}>V_{SS}$)
3	VO	Operating voltage (LCD Driver)
4	RS	Register Selection input High = Data register Low = Instruction register (for write) Busy flag address counter (for read)
5	 R/W	Read/Write signal input is used to select the read/write mode High = Read mode, Low = Write mode
6	E	Start enable signal to read or write the data
7~10	DB0 ~ DB3	Four low order bi-directional three-state data bus lines. Used for data transfer between the MPU and the LCD module. These four are not used during 4-bit operation.
11~14	DB4 ~ DB7	Four high order bi-directional three-state data bus lines. Used for data transfer between the MPU and the LCD module. DB7 can be used as a busy flag.
15	A	Power supply for LED B / L (+)
16	K	Power supply for LED B / L (-)

Contrast Adjust



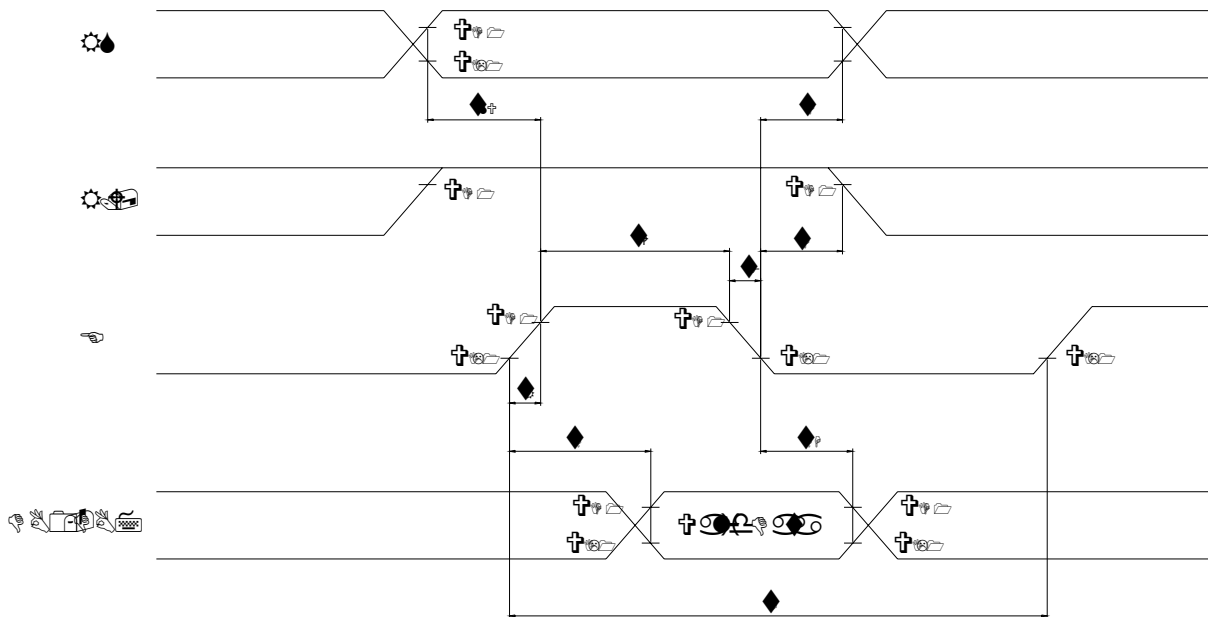
2.3 Timing Characteristics



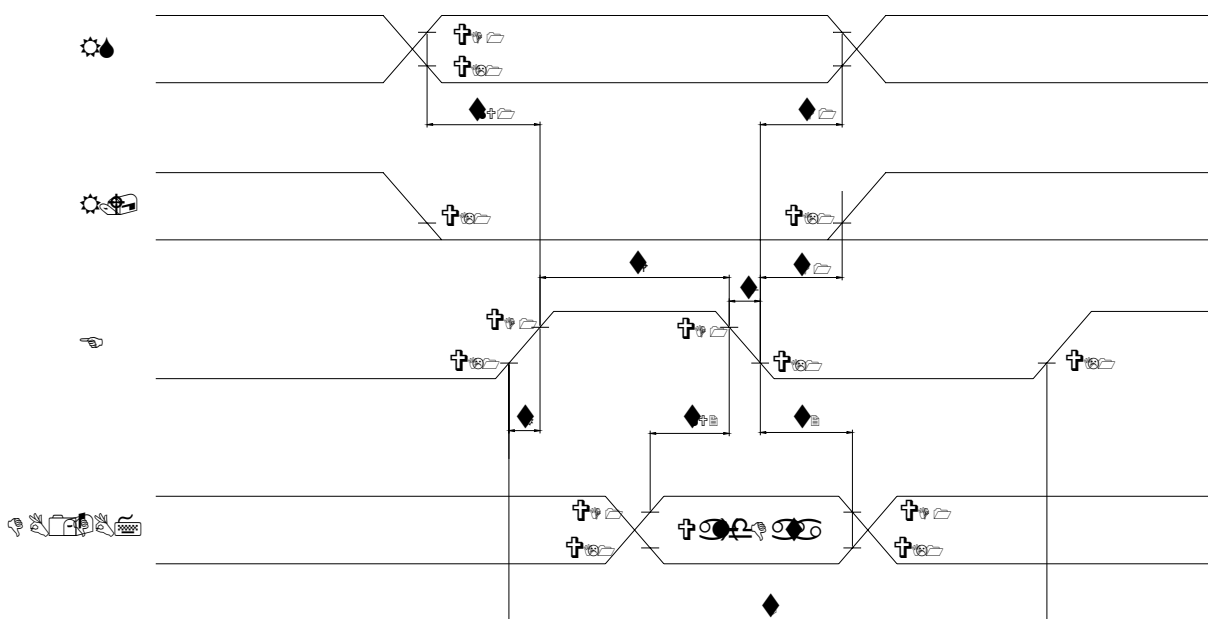
POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

• Read cycle



• Write cycle



• Read cycle



POWERTIP TECHNOLOGY CORPORATION
 DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

VDD=4.5V~5.5V, Ta=-30~+85°C

Characteristics	Symbol	Min.	Typ.	Max.	Unit
E Cycle Time	t_C	500	-	-	ns
E Rise / Fall Time	t_R, t_F	-	-	20	ns
E Pulse Width (High, Low)	t_W	230	-	-	ns
R/W and RS Setup Time	t_{SU}	40	-	-	ns
R/W and RS Hold Time	t_H	10	-	-	ns
Data Output Delay Time	t_D	-	-	120	ns
Data Hold Time	t_{DH}	5	-	-	ns

- Write cycle

Characteristics	Symbol	Min.	Typ.	Max.	Unit
E Cycle Time	t_C	500	-	-	ns
E Rise / Fall Time	t_R, t_F	-	-	20	ns
E Pulse Width (High, Low)	t_W	230	-	-	ns
R/W and RS Setup Time	t_{SU1}	40	-	-	ns
R/W and RS Hold Time	t_{H1}	10	-	-	ns
Data Setup Time	t_{SU2}	80	-	-	ns
Data Hold Time	t_{H2}	10	-	-	ns

*POWERTIP TECHNOLOGY CORPORATION*

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

2.4 Display Command

Instructions	Instruction Code										Description	Execution Time (fosc = 270KHZ)
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
Clear Display	0	0	0	0	0	0	0	0	0	1	Write "20H" to DDRAM. and set DDRAM address to "00H" from AC.	1.53ms
Return Home	0	0	0	0	0	0	0	0	1	×	Set DDRAM address to "00H" from AC and return cursor to it's original position if shifted. The contents of DDRAM are not changed.	1.53ms
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	SH	Assign cursor moving direction and make shift of entire display enable.	39μs
Display ON/OFF Control	0	0	0	0	0	0	1	D	C	B	Sets display (D), cursor(C), and blinking of cursor(B) on/off control bit.	39μs
Cursor or Display Shift	0	0	0	0	0	1	S/C	R/L	×	×	Set cursor moving and display shift control bit, and the direction, without changing of DDRAM data.	39μs
Function Set	0	0	0	0	1	DL	N	F	×	×	Set interface data length (DL:4-bit/8-bit), numbers of display line (N: 1-line/2-line), display font type(F:5*8 dots/5*11 dots)	39μs
Set CGRAM Address	0	0	0	1	AC5	AC4	AC3	AC2	AC1	AC0	Set CGRAM address in address counter.	39μs
Set DDRAM Address	0	0	1	AC6	AC5	AC4	AC3	AC2	AC1	AC0	Set DDRAM address in address counter.	39μs
Read Busy Flag and Address	0	1	BF	AC6	AC5	AC4	AC3	AC2	AC1	AC0	Whether during internal operation or not can be known by reading BF. The contents of address counter can also be read.	0μs
Write Data to RAM	1	0	D7	D6	D5	D4	D3	D2	D1	D0	Write data into internal RAM (DDRAM/CGRAM).	43μs
Read Data from RAM	1	1	D7	D6	D5	D4	D3	D2	D1	D0	Read data from internal RAM (DDRAM/CGRAM).	43μs

※ "x":don't care


POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

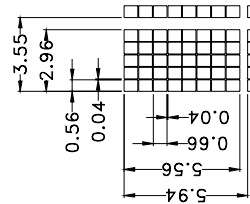
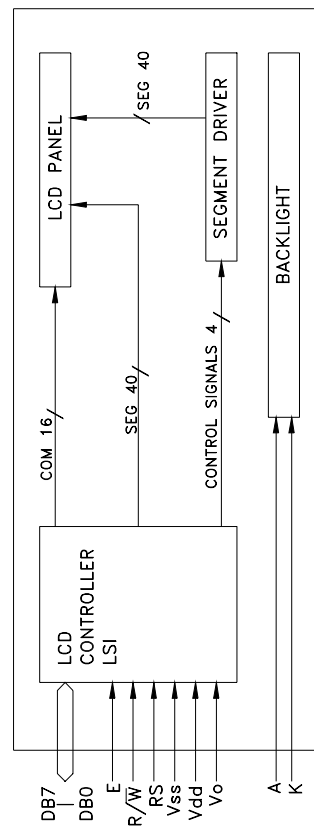
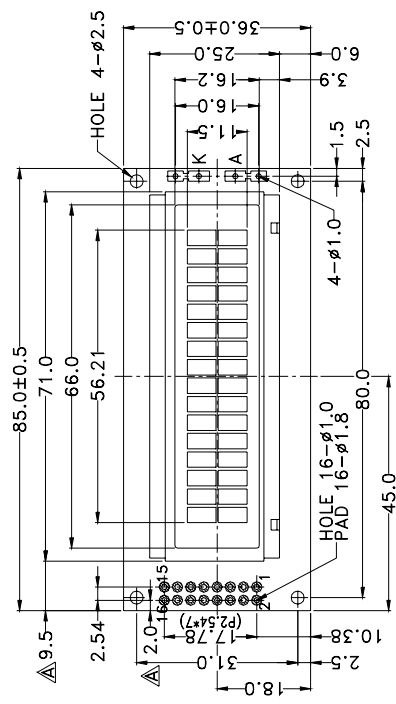
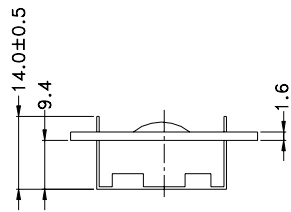
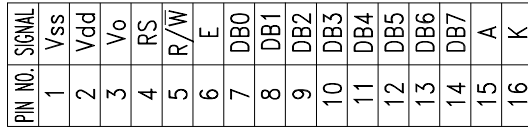
2.5 Character Pattern

Upper 4bit Lower 4bit		LLLL	LLHL	LLHH	LHLL	LHLH	LHHL	LHHH	HLLL	HLLH	HLHL	HLHH	HLLL	HHHL	HHHH
LLLL	CG RAM (1)														
LLHH	(2)														
LLHL	(3)														
LLHH	(4)														
LHLL	(5)														
LHLH	(6)														
LHHL	(7)														
LHHH	(8)														
HLLL	(1)														
HLLH	(2)														
HLHL	(3)														
HLHH	(4)														
HHLL	(5)														
HHLH	(6)														
HHHL	(7)														
HHHH	(8)														



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN



SCALE:4/1

The tolerance unless classified $\pm 0.3\text{mm}$

POWER TIP TECHNOLOGY			
SCALE:	MODEL NAME		
1/1	PC 1602MS-HSO-B		
UNIT:	TITLE		
mm	COUNTER DRAWING		
EDI: PAGE:	DRAWN NO.		
A 1/1	PC-95005-011		
APPROVED	CHECKER	DRAWN	



POWERTIP TECHNOLOGY CORPORATION

DISPLAY DEVICES FOR BETTER ELECTRONIC DESIGN

Charge Pump DC-to-DC Voltage Converter

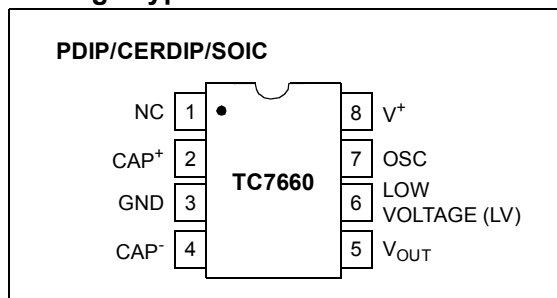
Features

- Wide Input Voltage Range: +1.5V to +10V
- Efficient Voltage Conversion (99.9%, typ)
- Excellent Power Efficiency (98%, typ)
- Low Power Consumption: 80 μ A (typ) @ $V_{IN} = 5V$
- Low Cost and Easy to Use
 - Only Two External Capacitors Required
- Available in 8-Pin Small Outline (SOIC), 8-Pin PDIP and 8-Pin CERDIP Packages
- Improved ESD Protection (3 kV HBM)
- No External Diode Required for High-Voltage Operation

Applications

- RS-232 Negative Power Supply
- Simple Conversion of +5V to $\pm 5V$ Supplies
- Voltage Multiplication $V_{OUT} = \pm n V^+$
- Negative Supplies for Data Acquisition Systems and Instrumentation

Package Types



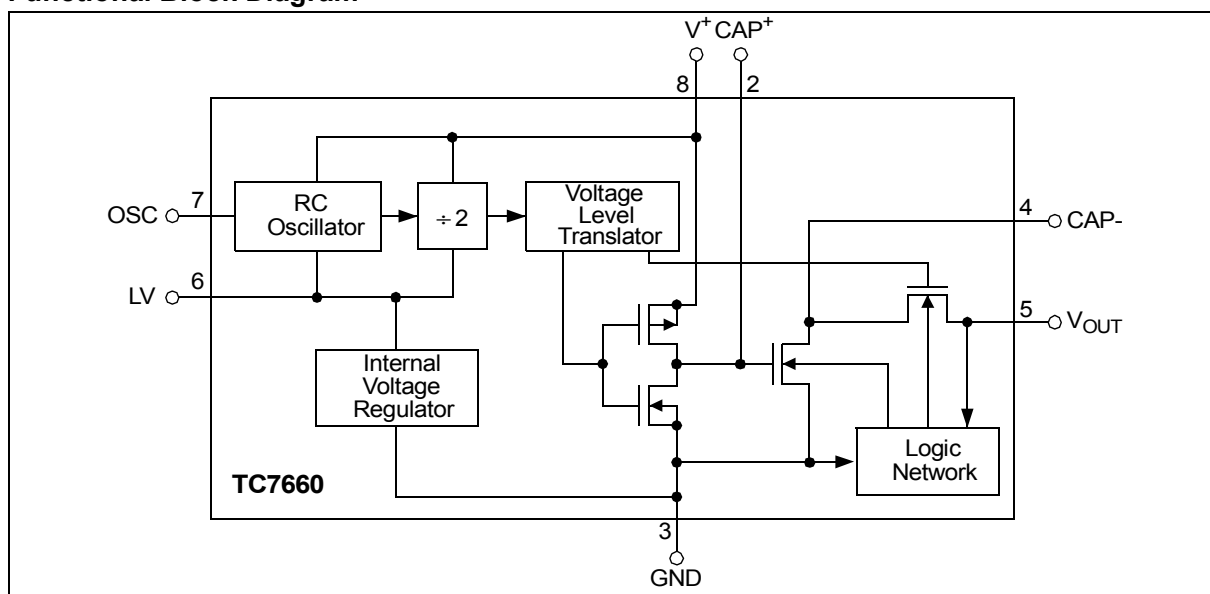
General Description

The TC7660 is a pin-compatible replacement for the industry standard 7660 charge pump voltage converter. It converts a +1.5V to +10V input to a corresponding -1.5V to -10V output using only two low cost capacitors, eliminating inductors and their associated cost, size and electromagnetic interference (EMI).

The on-board oscillator operates at a nominal frequency of 10 kHz. Operation below 10 kHz (for lower supply current applications) is possible by connecting an external capacitor from OSC to ground.

The TC7660 is available in 8-Pin PDIP, 8-Pin Small Outline (SOIC) and 8-Pin CERDIP packages in commercial and extended temperature ranges.

Functional Block Diagram



TC7660

1.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings*

Supply Voltage	+10.5V
LV and OSC Inputs Voltage: (Note 1)	
.....	-0.3V to V_{SS} for $V^+ < 5.5V$
.....	$(V^+ - 5.5V)$ to (V^+) for $V^+ > 5.5V$
Current into LV	20 μA for $V^+ > 3.5V$
Output Short Duration ($V_{SUPPLY} \leq 5.5V$).....	Continuous
Package Power Dissipation: ($T_A \leq 70^\circ C$)	
8-Pin Cerdip	800 mW
8-Pin PDIP	730 mW
8-Pin SOIC	470 mW
Operating Temperature Range:	
C Suffix	$0^\circ C$ to $+70^\circ C$
I Suffix	$-25^\circ C$ to $+85^\circ C$
E Suffix	$-40^\circ C$ to $+85^\circ C$
M Suffix	$-55^\circ C$ to $+125^\circ C$
Storage Temperature Range.....	$-65^\circ C$ to $+160^\circ C$
ESD protection on all pins (HBM)	≥ 3 kV
Maximum Junction Temperature	$150^\circ C$

* **Notice:** Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operational sections of this specification is not intended. Exposure to maximum rating conditions for extended periods may affect device reliability.

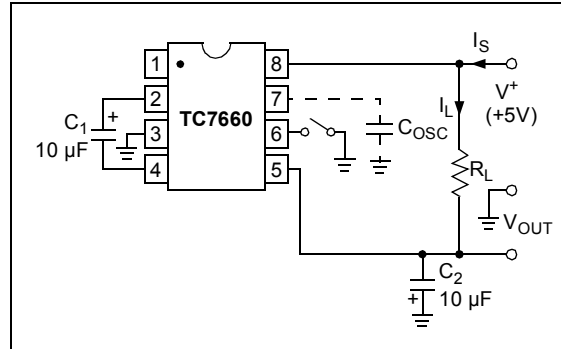


FIGURE 1-1: TC7660 Test Circuit.

ELECTRICAL SPECIFICATIONS

Electrical Characteristics: Unless otherwise noted, specifications measured over operating temperature range with $V^+ = 5V$, $C_{OSC} = 0$, refer to test circuit in Figure 1-1.

Parameters	Sym	Min	Typ	Max	Units	Conditions
Supply Current	I^+	—	80	180	μA	$R_L = \infty$
Supply Voltage Range, High	V^+_H	3.0	—	10	V	$Min \leq T_A \leq Max$, $R_L = 10$ k Ω , LV Open
Supply Voltage Range, Low	V^+_L	1.5	—	3.5	V	$Min \leq T_A \leq Max$, $R_L = 10$ k Ω , LV to GND
Output Source Resistance	R_{OUT}	—	70	100	Ω	$I_{OUT} = 20$ mA, $T_A = +25^\circ C$
		—	—	120		$I_{OUT} = 20$ mA, $T_A \leq +70^\circ C$ (C Device)
		—	—	130		$I_{OUT} = 20$ mA, $T_A \leq +85^\circ C$ (E and I Device)
		—	104	150		$I_{OUT} = 20$ mA, $T_A \leq +125^\circ C$ (M Device)
		—	150	300		$V^+ = 2V$, $I_{OUT} = 3$ mA, LV to GND $0^\circ C \leq T_A \leq +70^\circ C$
		—	160	600		$V^+ = 2V$, $I_{OUT} = 3$ mA, LV to GND $-55^\circ C \leq T_A \leq +125^\circ C$ (M Device)
Oscillator Frequency	f_{OSC}	—	10	—	kHz	Pin 7 open
Power Efficiency	P_{EFF}	95	98	—	%	$R_L = 5$ k Ω
Voltage Conversion Efficiency	V_{OUTEFF}	97	99.9	—	%	$R_L = \infty$
Oscillator Impedance	Z_{OSC}	—	1.0	—	M Ω	$V^+ = 2V$
		—	100	—	k Ω	$V^+ = 5V$

Note 1: Destructive latch-up may occur if voltages greater than V^+ or less than GND are supplied to any input pin.

2.0 TYPICAL PERFORMANCE CURVES

Note: The graphs and tables provided following this note are a statistical summary based on a limited number of samples and are provided for informational purposes only. The performance characteristics listed herein are not tested or guaranteed. In some graphs or tables, the data presented may be outside the specified operating range (e.g., outside specified power supply range) and therefore outside the warranted range.

Note: Unless otherwise indicated, $C_1 = C_2 = 10 \mu\text{F}$, $\text{ESR}_{C1} = \text{ESR}_{C2} = 1 \Omega$, $T_A = 25^\circ\text{C}$. See Figure 1-1.

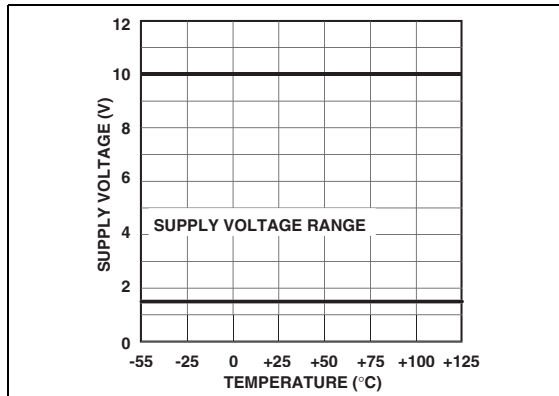


FIGURE 2-1: Operating Voltage vs. Temperature.

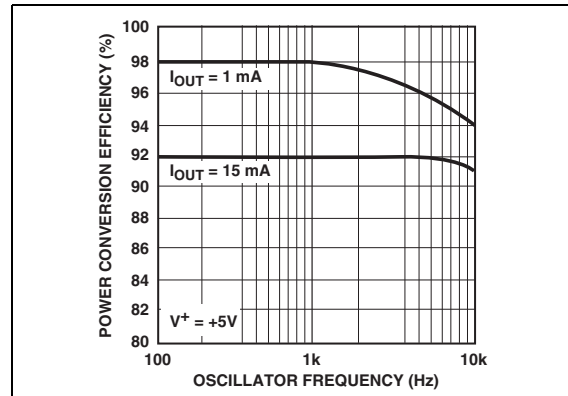


FIGURE 2-4: Power Conversion Efficiency vs. Oscillator Frequency.

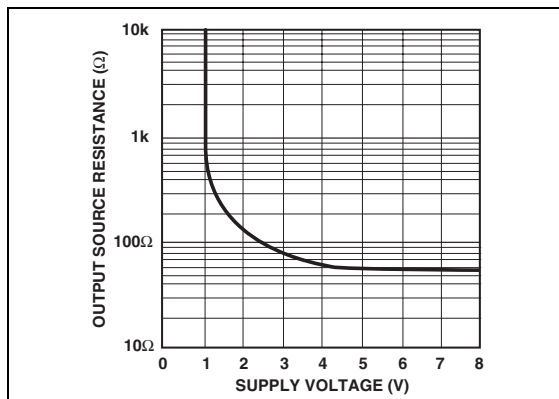


FIGURE 2-2: Output Source Resistance vs. Supply Voltage.

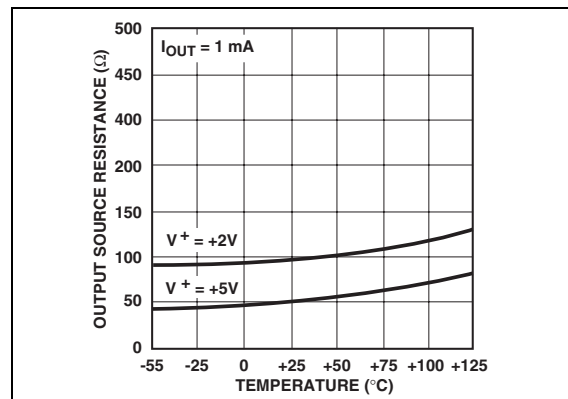


FIGURE 2-5: Output Source Resistance vs. Temperature.

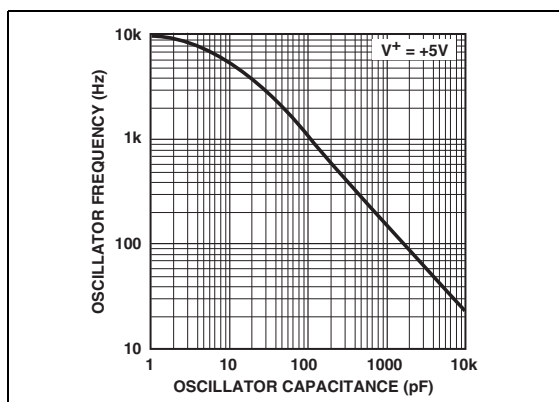


FIGURE 2-3: Frequency of Oscillation vs. Oscillator Capacitance.

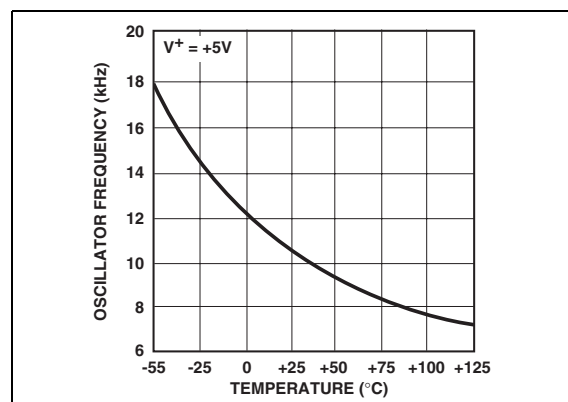


FIGURE 2-6: Unloaded Oscillator Frequency vs. Temperature.

TC7660

Note: Unless otherwise indicated, $C_1 = C_2 = 10 \mu\text{F}$, $\text{ESR}_{C1} = \text{ESR}_{C2} = 1 \Omega$, $T_A = 25^\circ\text{C}$. See Figure 1-1.

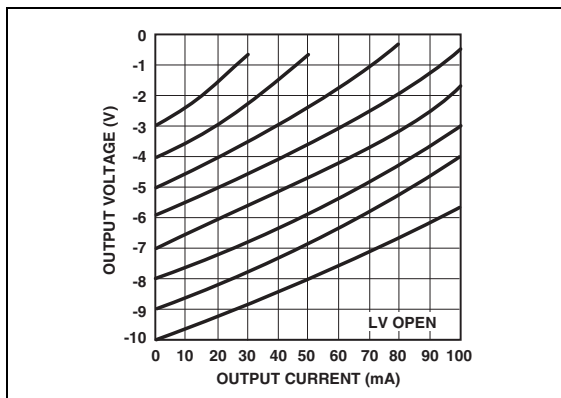


FIGURE 2-7: Output Voltage vs. Output Current.

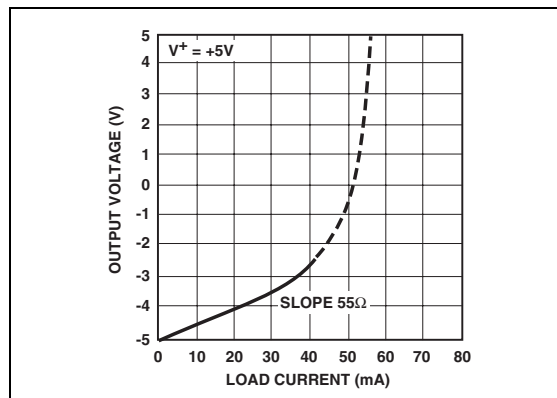


FIGURE 2-10: Output Voltage vs. Load Current.

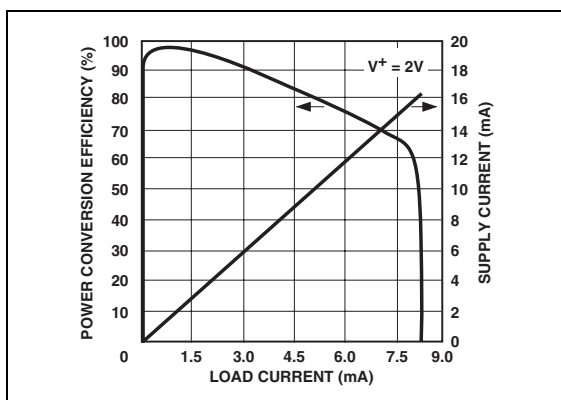


FIGURE 2-8: Supply Current and Power Conversion Efficiency vs. Load Current.

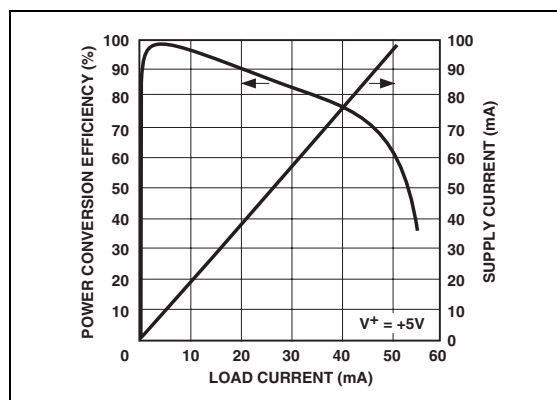


FIGURE 2-11: Supply Current and Power Conversion Efficiency vs. Load Current.

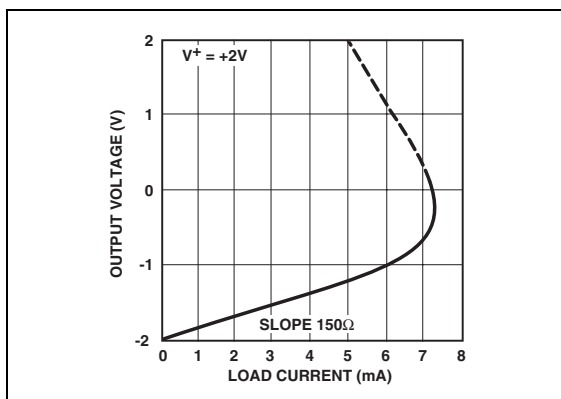


FIGURE 2-9: Output Voltage vs. Load Current.

3.0 PIN DESCRIPTIONS

The descriptions of the pins are listed in Table 3-1.

TABLE 3-1: PIN FUNCTION TABLE

Pin No.	Symbol	Description
1	NC	No connection
2	CAP ⁺	Charge pump capacitor positive terminal
3	GND	Ground terminal
4	CAP ⁻	Charge pump capacitor negative terminal
5	V _{OUT}	Output voltage
6	LV	Low voltage pin. Connect to GND for V ₊ < 3.5V
7	OSC	Oscillator control input. Bypass with an external capacitor to slow the oscillator
8	V ⁺	Power supply positive voltage input

3.1 Charge Pump Capacitor (CAP⁺)

Positive connection for the charge pump capacitor, or flying capacitor, used to transfer charge from the input source to the output. In the voltage-inverting configuration, the charge pump capacitor is charged to the input voltage during the first half of the switching cycle. During the second half of the switching cycle, the charge pump capacitor is inverted and charge is transferred to the output capacitor and load.

It is recommended that a low ESR (equivalent series resistance) capacitor be used. Additionally, larger values will lower the output resistance.

3.2 Ground (GND)

Input and output zero volt reference.

3.3 Charge Pump Capacitor (CAP⁻)

Negative connection for the charge pump capacitor, or flying capacitor, used to transfer charge from the input to the output. Proper orientation is imperative when using a polarized capacitor.

3.4 Output Voltage (V_{OUT})

Negative connection for the charge pump output capacitor. In the voltage-inverting configuration, the charge pump output capacitor supplies the output load during the first half of the switching cycle. During the second half of the switching cycle, charge is restored to the charge pump output capacitor.

It is recommended that a low ESR (equivalent series resistance) capacitor be used. Additionally, larger values will lower the output ripple.

3.5 Low Voltage Pin (LV)

The low voltage pin ensures proper operation of the internal oscillator for input voltages below 3.5V. The low voltage pin should be connected to ground (GND) for input voltages below 3.5V. Otherwise, the low voltage pin should be allowed to float.

3.6 Oscillator Control Input (OSC)

The oscillator control input can be utilized to slow down or speed up the operation of the TC7660. Refer to Section 5.4, "Changing the TC7660 Oscillator Frequency", for details on altering the oscillator frequency.

3.7 Power Supply (V⁺)

Positive power supply input voltage connection. It is recommended that a low ESR (equivalent series resistance) capacitor be used to bypass the power supply input to ground (GND).

TC7660

4.0 DETAILED DESCRIPTION

4.1 Theory of Operation

The TC7660 charge pump converter inverts the voltage applied to the V^+ pin. The conversion consists of a two-phase operation (Figure 4-1). During the first phase, switches S_2 and S_4 are open and switches S_1 and S_3 are closed. C_1 charges to the voltage applied to the V^+ pin, with the load current being supplied from C_2 . During the second phase, switches S_2 and S_4 are closed and switches S_1 and S_3 are open. Charge is transferred from C_1 to C_2 , with the load current being supplied from C_1 .

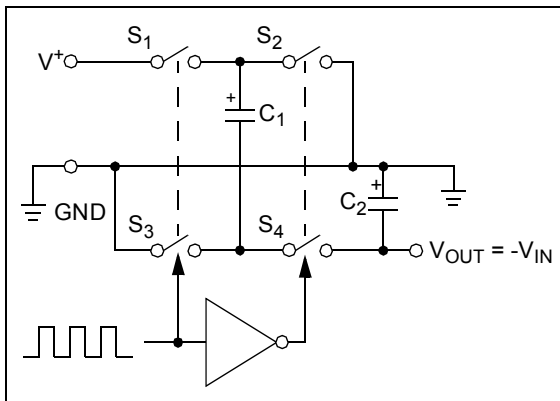


FIGURE 4-1: Ideal Switched Capacitor Inverter.

In this manner, the TC7660 performs a voltage inversion, but does not provide regulation. The average output voltage will drop in a linear manner with respect to load current. The equivalent circuit of the charge pump inverter can be modeled as an ideal voltage source in series with a resistor, as shown in Figure 4-2.

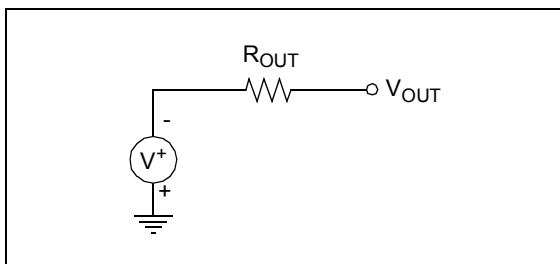


FIGURE 4-2: Switched Capacitor Inverter Equivalent Circuit Model.

The value of the series resistor (R_{OUT}) is a function of the switching frequency, capacitance and equivalent series resistance (ESR) of C_1 and C_2 and the on-resistance of switches S_1 , S_2 , S_3 and S_4 . A close approximation for R_{OUT} is given in the following equation:

EQUATION

$$R_{OUT} = \left[\frac{I}{f_{PUMP} \times C1} + 8R_{SW} + 4ESR_{C1} + ESR_{C2} \right]$$

Where:

$$f_{PUMP} = \frac{f_{OSC}}{2}$$

R_{SW} = on-resistance of the switches

ESR_{C1} = equivalent series resistance of C_1

ESR_{C2} = equivalent series resistance of C_2

4.2 Switched Capacitor Inverter Power Losses

The overall power loss of a switched capacitor inverter is affected by four factors:

1. Losses from power consumed by the internal oscillator, switch drive, etc. These losses will vary with input voltage, temperature and oscillator frequency.
2. Conduction losses in the non-ideal switches.
3. Losses due to the non-ideal nature of the external capacitors.
4. Losses that occur during charge transfer from C_1 to C_2 when a voltage difference between the capacitors exists.

Figure 4-3 depicts the non-ideal elements associated with the switched capacitor inverter power loss.

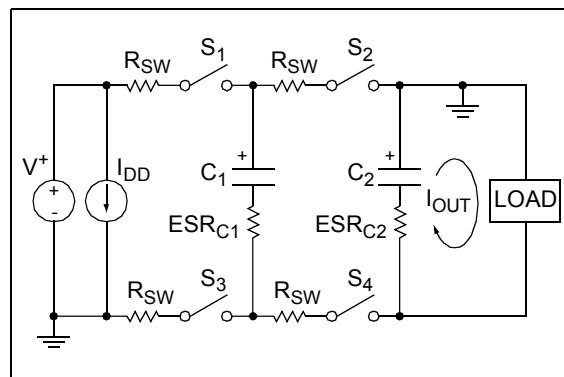


FIGURE 4-3: Non-Ideal Switched Capacitor Inverter.

The power loss is calculated using the following equation:

EQUATION

$$P_{LOSS} = I_{OUT}^2 \times R_{OUT} + I_{DD} \times V^+$$

5.0 APPLICATIONS INFORMATION

5.1 Simple Negative Voltage Converter

Figure 5-1 shows typical connections to provide a negative supply where a positive supply is available. A similar scheme may be employed for supply voltages anywhere in the operating range of +1.5V to +10V, keeping in mind that pin 6 (LV) is tied to the supply negative (GND) only for supply voltages below 3.5V.

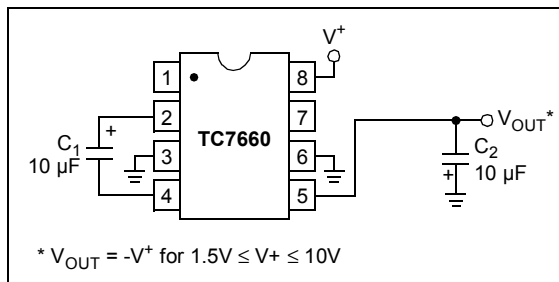


FIGURE 5-1: Simple Negative Converter.

The output characteristics of the circuit in Figure 5-1 are those of a nearly ideal voltage source in series with a 70Ω resistor. Thus, for a load current of -10 mA and a supply voltage of +5V, the output voltage would be -4.3V.

5.2 Paralleling Devices

To reduce the value of R_{OUT} , multiple TC7660 voltage converters can be connected in parallel (Figure 5-2). The output resistance will be reduced by approximately a factor of n , where n is the number of devices connected in parallel.

EQUATION

$$R_{OUT} = \frac{R_{OUT}(of\ TC7660)}{n\ (number\ of\ devices)}$$

While each device requires its own pump capacitor (C_1), all devices may share one reservoir capacitor (C_2). To preserve ripple performance, the value of C_2 should be scaled according to the number of devices connected in parallel.

5.3 Cascading Devices

A larger negative multiplication of the initial supply voltage can be obtained by cascading multiple TC7660 devices. The output voltage and the output resistance will both increase by approximately a factor of n , where n is the number of devices cascaded.

EQUATION

$$V_{OUT} = -n(V^+)$$

$$R_{OUT} = n \times R_{OUT}(of\ TC7660)$$

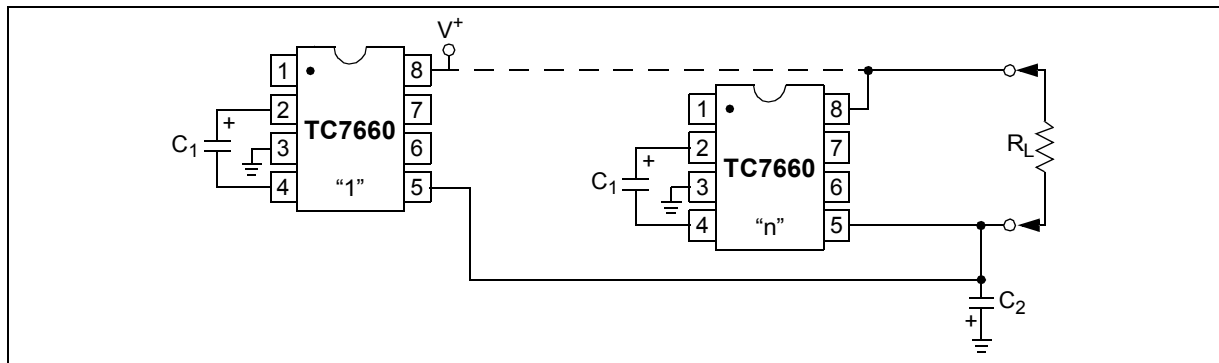


FIGURE 5-2: Paralleling Devices Lowers Output Impedance.

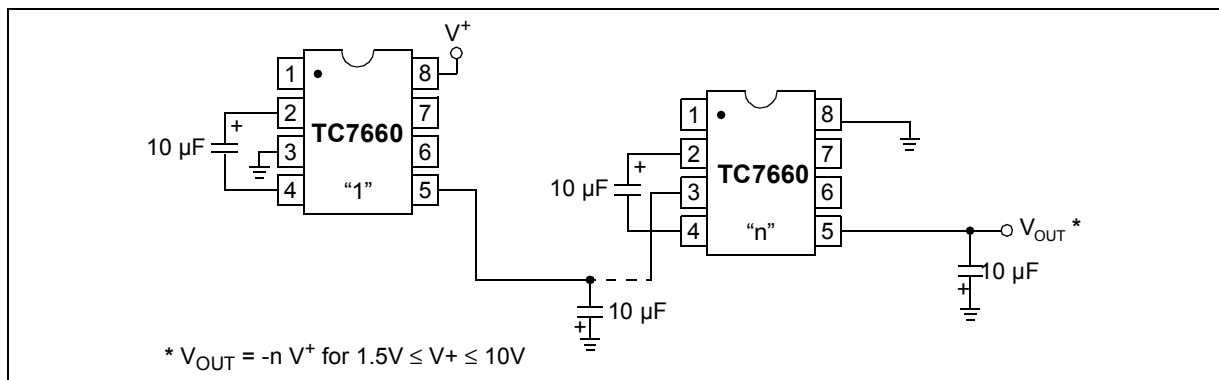


FIGURE 5-3: Increased Output Voltage By Cascading Devices.

TC7660

5.4 Changing the TC7660 Oscillator Frequency

The operating frequency of the TC7660 can be changed in order to optimize the system performance. The frequency can be increased by over-driving the OSC input (Figure 5-4). Any CMOS logic gate can be utilized in conjunction with a 1 k Ω series resistor. The resistor is required to prevent device latch-up. While TTL level signals can be utilized, an additional 10 k Ω pull-up resistor to V⁺ is required. Transitions occur on the rising edge of the clock input. The resultant output voltage ripple frequency is one half the clock input. Higher clock frequencies allow for the use of smaller pump and reservoir capacitors for a given output voltage ripple and droop. Additionally, this allows the TC7660 to be synchronized to an external clock, eliminating undesirable beat frequencies.

At light loads, lowering the oscillator frequency can increase the efficiency of the TC7660 (Figure 5-5). By lowering the oscillator frequency, the switching losses are reduced. Refer to Figure 2-3 to determine the typical operating frequency based on the value of the external capacitor. At lower operating frequencies, it may be necessary to increase the values of the pump and reservoir capacitors in order to maintain the desired output voltage ripple and output impedance.

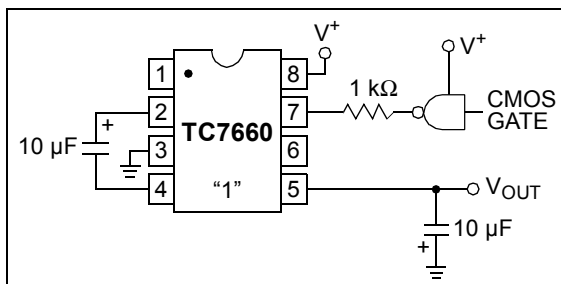


FIGURE 5-4: External Clocking.

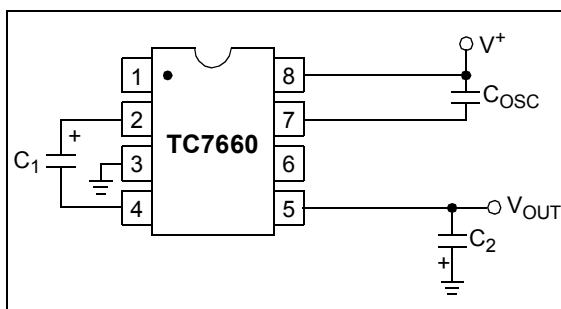


FIGURE 5-5: Lowering Oscillator Frequency.

5.5 Positive Voltage Multiplication

Positive voltage multiplication can be obtained by employing two external diodes (Figure 5-6). Refer to the theory of operation of the TC7660 (Section 4.1). During the half cycle when switch S₂ is closed, capacitor C₁ of Figure 5-6 is charged up to a voltage of V⁺ - V_{F1}, where V_{F1} is the forward voltage drop of diode D₁. During the next half cycle, switch S₁ is closed, shifting the reference of capacitor C₁ from GND to V⁺. The energy in capacitor C₁ is transferred to capacitor C₂ through diode D₂, producing an output voltage of approximately:

EQUATION

$$V_{OUT} = 2 \times V^+ - (V_{F1} + V_{F2})$$

where:

V_{F1} is the forward voltage drop of diode D₁

and

V_{F2} is the forward voltage drop of diode D₂.

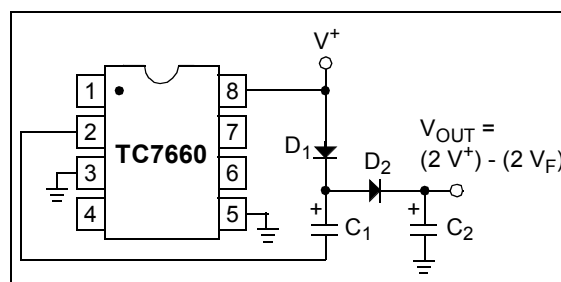


FIGURE 5-6: Positive Voltage Multiplier.

5.6 Combined Negative Voltage Conversion and Positive Supply Multiplication

Simultaneous voltage inversion and positive voltage multiplication can be obtained (Figure 5-7). Capacitors C₁ and C₃ perform the voltage inversion, while capacitors C₂ and C₄, plus the two diodes, perform the positive voltage multiplication. Capacitors C₁ and C₂ are the pump capacitors, while capacitors C₃ and C₄ are the reservoir capacitors for their respective functions. Both functions utilize the same switches of the TC7660. As a result, if either output is loaded, both outputs will drop towards GND.

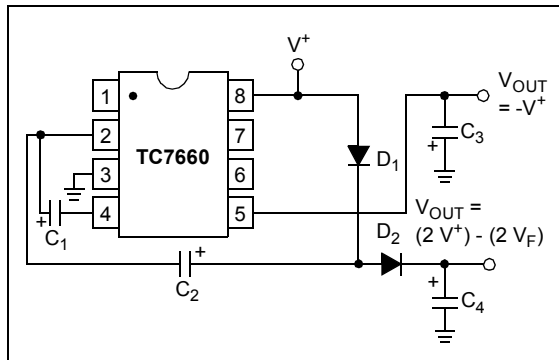


FIGURE 5-7: Combined Negative Converter And Positive Multiplier.

5.7 Efficient Positive Voltage Multiplication/Conversion

Since the switches that allow the charge pumping operation are bidirectional, the charge transfer can be performed backwards as easily as forwards. Figure 5-8 shows a TC7660 transforming -5V to +5V (or +5V to +10V, etc.). The only problem here is that the internal clock and switch-drive section will not operate until some positive voltage has been generated. An initial inefficient pump, as shown in Figure 5-7, could be used to start this circuit up, after which it will bypass the other (D_1 and D_2 in Figure 5-7 would never turn on), or else the diode and resistor shown dotted in Figure 5-8 can be used to "force" the internal regulator on.

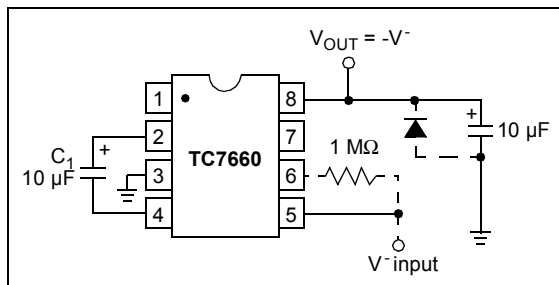


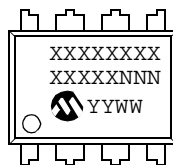
FIGURE 5-8: Positive Voltage Conversion.

TC7660

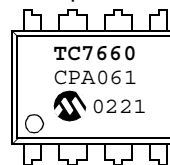
6.0 PACKAGING INFORMATION

6.1 Package Marking Information

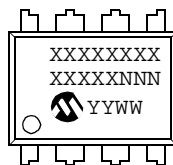
8-Lead PDIP (300 mil)



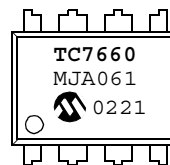
Example:



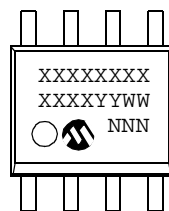
8-Lead Cerdip (300 mil)



Example:



8-Lead SOIC (150 mil)



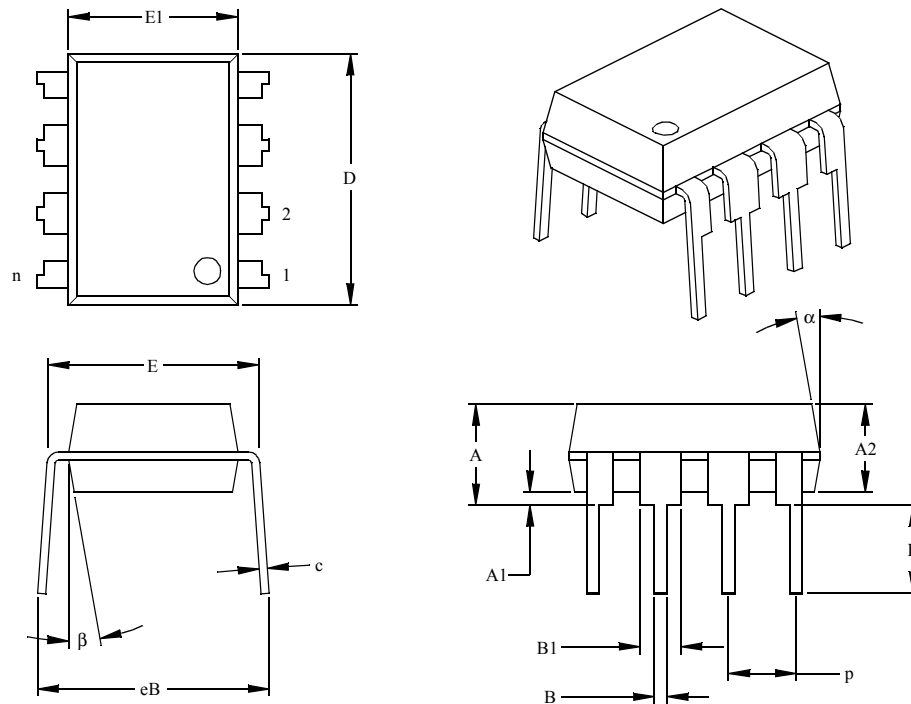
Example:



Legend:	XX...X	Customer specific information*
	YY	Year code (last 2 digits of calendar year)
	WW	Week code (week of January 1 is week '01')
	NNN	Alphanumeric traceability code
Note: In the event the full Microchip part number cannot be marked on one line, it will be carried over to the next line thus limiting the number of available characters for customer specific information.		

- * Standard marking consists of Microchip part number, year code, week code, traceability code (facility code, mask rev#, and assembly code). For marking beyond this, certain price adders apply. Please check with your Microchip Sales Office.

8-Lead Plastic Dual In-line (P) – 300 mil (PDIP)



Units		INCHES*			MILLIMETERS		
Dimension Limits		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		8			8	
Pitch	p		.100			2.54	
Top to Seating Plane	A	.140	.155	.170	3.56	3.94	4.32
Molded Package Thickness	A2	.115	.130	.145	2.92	3.30	3.68
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.300	.313	.325	7.62	7.94	8.26
Molded Package Width	E1	.240	.250	.260	6.10	6.35	6.60
Overall Length	D	.360	.373	.385	9.14	9.46	9.78
Tip to Seating Plane	L	.125	.130	.135	3.18	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.045	.058	.070	1.14	1.46	1.78
Lower Lead Width	B	.014	.018	.022	0.36	0.46	0.56
Overall Row Spacing	§ eB	.310	.370	.430	7.87	9.40	10.92
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

* Controlling Parameter

§ Significant Characteristic

Notes:

Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed

.010" (0.254mm) per side.

JEDEC Equivalent: MS-001

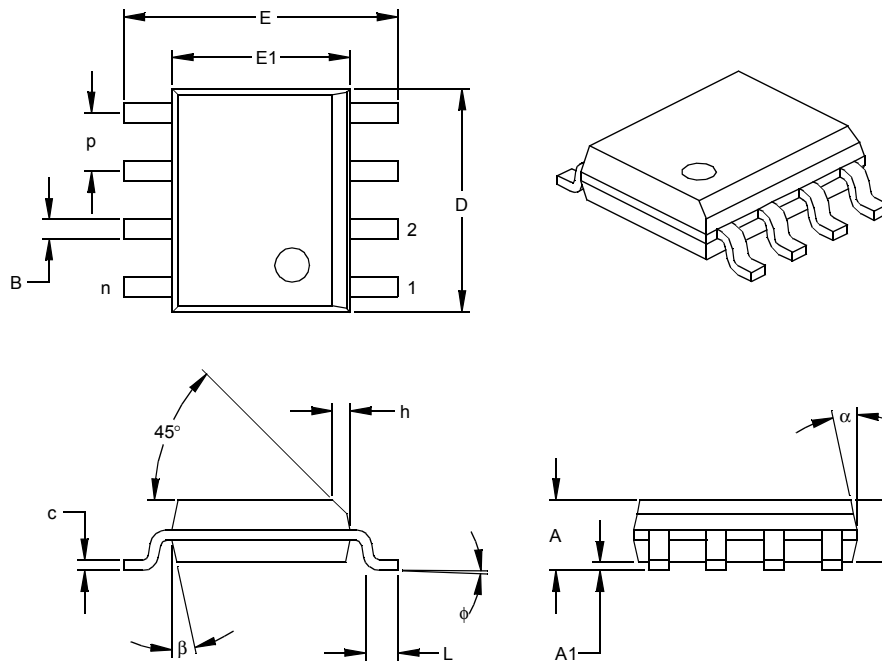
Drawing No. C04-018

TC7660

8-Lead Ceramic Dual In-line – 300 mil (CERDIP)

Packaging diagram not available at this time.

8-Lead Plastic Small Outline (SN) – Narrow, 150 mil (SOIC)



Units		INCHES*			MILLIMETERS		
Dimension Limits		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		8			8	
Pitch	p		.050			1.27	
Overall Height	A	.053	.061	.069	1.35	1.55	1.75
Molded Package Thickness	A2	.052	.056	.061	1.32	1.42	1.55
Standoff §	A1	.004	.007	.010	0.10	0.18	0.25
Overall Width	E	.228	.237	.244	5.79	6.02	6.20
Molded Package Width	E1	.146	.154	.157	3.71	3.91	3.99
Overall Length	D	.189	.193	.197	4.80	4.90	5.00
Chamfer Distance	h	.010	.015	.020	0.25	0.38	0.51
Foot Length	L	.019	.025	.030	0.48	0.62	0.76
Foot Angle	φ	0	4	8	0	4	8
Lead Thickness	c	.008	.009	.010	0.20	0.23	0.25
Lead Width	B	.013	.017	.020	0.33	0.42	0.51
Mold Draft Angle Top	α	0	12	15	0	12	15
Mold Draft Angle Bottom	β	0	12	15	0	12	15

* Controlling Parameter
§ Significant Characteristic

Notes:
Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" (0.254mm) per side.
JEDEC Equivalent: MS-012
Drawing No. C04-057

TC7660

NOTES:

PRODUCT IDENTIFICATION SYSTEM

To order or obtain information, e.g., on pricing or delivery, refer to the factory or the listed sales office.

<u>PART NO.</u>	<u>X</u>	<u>/XX</u>
Device	Temperature Range	Package
<div><div>Device: TC7660: DC-to-DC Voltage Converter</div><div>Temperature Range: C = 0°C to +70°C E = -40°C to +85°C I = -25°C to +85°C (CERDIP only) M = -55°C to +125°C (CERDIP only)</div><div>Package: PA = Plastic DIP, (300 mil body), 8-lead JA = Ceramic DIP, (300 mil body), 8-lead OA = SOIC (Narrow), 8-lead OA713 = SOIC (Narrow), 8-lead (Tape and Reel)</div></div>		
Examples: <div>a) TC7660COA: Commercial Temp., SOIC package. b) TC7660COA713: Tape and Reel, Commercial Temp., SOIC package. c) TC7660CPA: Commercial Temp., PDIP package. d) TC7660EOA: Extended Temp., SOIC package. e) TC7660EOA713: Tape and Reel, Extended Temp., SOIC package. f) TC7660EPA: Extended Temp., PDIP package. g) TC7660JA: Industrial Temp., CERDIP package. h) TC7660MJA: Military Temp., CERDIP package.</div>		

Sales and Support

Data Sheets

Products supported by a preliminary Data Sheet may have an errata sheet describing minor operational differences and recommended workarounds. To determine if an errata sheet exists for a particular device, please contact one of the following:

1. Your local Microchip sales office
2. The Microchip Corporate Literature Center U.S. FAX: (480) 792-7277
3. The Microchip Worldwide Site (www.microchip.com)

Please specify which device, revision of silicon and Data Sheet (include Literature #) you are using.

New Customer Notification System

Register on our web site (www.microchip.com/cn) to receive the most current information on our products.

TC7660

NOTES:

Note the following details of the code protection feature on Microchip devices:

- Microchip products meet the specification contained in their particular Microchip Data Sheet.
- Microchip believes that its family of products is one of the most secure families of its kind on the market today, when used in the intended manner and under normal conditions.
- There are dishonest and possibly illegal methods used to breach the code protection feature. All of these methods, to our knowledge, require using the Microchip products in a manner outside the operating specifications contained in Microchip's Data Sheets. Most likely, the person doing so is engaged in theft of intellectual property.
- Microchip is willing to work with the customer who is concerned about the integrity of their code.
- Neither Microchip nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Code protection is constantly evolving. We at Microchip are committed to continuously improving the code protection features of our products.

Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. It is your responsibility to ensure that your application meets with your specifications. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip's products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights.

Trademarks

The Microchip name and logo, the Microchip logo, KEELoQ, MPLAB, PIC, PICmicro, PICSTART and PRO MATE are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.


FilterLab, microID, MXDEV, MXLAB, PICMASTER, SEEVAL and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A.

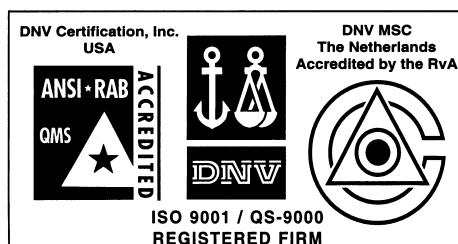
dsPIC, dsPICDEM.net, ECONOMONITOR, FanSense, FlexROM, fuzzyLAB, In-Circuit Serial Programming, ICSP, ICEPIC, microPort, Migratable Memory, MPASM, MPLIB, MPLINK, MPSIM, PICC, PICDEM, PICDEM.net, rfPIC, Select Mode and Total Endurance are trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Serialized Quick Turn Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

© 2002, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

 Printed on recycled paper.



Microchip received QS-9000 quality system certification for its worldwide headquarters, design and wafer fabrication facilities in Chandler and Tempe, Arizona in July 1999 and Mountain View, California in March 2002. The Company's quality system processes and procedures are QS-9000 compliant for its PICmicro® 8-bit MCUs, KEELoQ® code hopping devices, Serial EEPROMs, microperipherals, non-volatile memory and analog products. In addition, Microchip's quality system for the design and manufacture of development systems is ISO 9001 certified.



WORLDWIDE SALES AND SERVICE

AMERICAS

Corporate Office

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200 Fax: 480-792-7277
Technical Support: 480-792-7627
Web Address: <http://www.microchip.com>

Rocky Mountain

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7966 Fax: 480-792-4338

Atlanta

3780 Mansell Road, Suite 130
Alpharetta, GA 30022
Tel: 770-640-0034 Fax: 770-640-0307

Boston

2 Lan Drive, Suite 120
Westford, MA 01886
Tel: 978-692-3848 Fax: 978-692-3821

Chicago

333 Pierce Road, Suite 180
Itasca, IL 60143
Tel: 630-285-0071 Fax: 630-285-0075

Dallas

4570 Westgrove Drive, Suite 160
Addison, TX 75001
Tel: 972-818-7423 Fax: 972-818-2924

Detroit

Tri-Atria Office Building
32255 Northwestern Highway, Suite 190
Farmington Hills, MI 48334
Tel: 248-538-2250 Fax: 248-538-2260

Kokomo

2767 S. Albright Road
Kokomo, Indiana 46902
Tel: 765-864-8360 Fax: 765-864-8387

Los Angeles

18201 Von Karman, Suite 1090
Irvine, CA 92612
Tel: 949-263-1888 Fax: 949-263-1338

San Jose

Microchip Technology Inc.
2107 North First Street, Suite 590
San Jose, CA 95131
Tel: 408-436-7950 Fax: 408-436-7955

Toronto

6285 Northam Drive, Suite 108
Mississauga, Ontario L4V 1X5, Canada
Tel: 905-673-0699 Fax: 905-673-6509

ASIA/PACIFIC

Australia

Microchip Technology Australia Pty Ltd
Suite 22, 41 Rawson Street
Epping 2121, NSW
Australia
Tel: 61-2-9868-6733 Fax: 61-2-9868-6755

China - Beijing

Microchip Technology Consulting (Shanghai)
Co., Ltd., Beijing Liaison Office
Unit 915
Bei Hai Wan Tai Bldg.
No. 6 Chaoyangmen Beidajie
Beijing, 100027, No. China
Tel: 86-10-85282100 Fax: 86-10-85282104

China - Chengdu

Microchip Technology Consulting (Shanghai)
Co., Ltd., Chengdu Liaison Office
Rm. 2401-2402, 24th Floor,
Ming Xing Financial Tower
No. 88 TIDU Street
Chengdu 610016, China
Tel: 86-28-86766200 Fax: 86-28-86766599

China - Fuzhou

Microchip Technology Consulting (Shanghai)
Co., Ltd., Fuzhou Liaison Office
Unit 28F, World Trade Plaza
No. 71 Wusi Road
Fuzhou 350001, China
Tel: 86-591-7503506 Fax: 86-591-7503521

China - Shanghai

Microchip Technology Consulting (Shanghai)
Co., Ltd.
Room 701, Bldg. B
Far East International Plaza
No. 317 Xian Xia Road
Shanghai, 200051
Tel: 86-21-6275-5700 Fax: 86-21-6275-5060

China - Shenzhen

Microchip Technology Consulting (Shanghai)
Co., Ltd., Shenzhen Liaison Office
Rm. 15-16, 13/F, Shenzhen Kerry Centre,
Renminnan Lu
Shenzhen 518001, China
Tel: 86-755-82350361 Fax: 86-755-82366086

China - Hong Kong SAR

Microchip Technology Hongkong Ltd.
Unit 901-6, Tower 2, Metroplaza
223 Hing Fong Road
Kwai Fong, N.T., Hong Kong
Tel: 852-2401-1200 Fax: 852-2401-3431

India

Microchip Technology Inc.
India Liaison Office
Divyasree Chambers
1 Floor, Wing A (A3/A4)
No. 11, O'Shaughnessy Road
Bangalore, 560 025, India
Tel: 91-80-2290061 Fax: 91-80-2290062

Japan

Microchip Technology Japan K.K.
Benex S-1 6F
3-18-20, Shinyokohama
Kohoku-Ku, Yokohama-shi
Kanagawa, 222-0033, Japan
Tel: 81-45-471-6166 Fax: 81-45-471-6122

Korea

Microchip Technology Korea
168-1, Youngbo Bldg. 3 Floor
Samsung-Dong, Kangnam-Ku
Seoul, Korea 135-882
Tel: 82-2-554-7200 Fax: 82-2-558-5934

Singapore

Microchip Technology Singapore Pte Ltd.
200 Middle Road
#07-02 Prime Centre
Singapore, 188980
Tel: 65-6334-8870 Fax: 65-6334-8850

Taiwan

Microchip Technology (Barbados) Inc.,
Taiwan Branch
11F-3, No. 207
Tung Hua North Road
Taipei, 105, Taiwan
Tel: 886-2-2717-7175 Fax: 886-2-2545-0139

EUROPE

Austria

Microchip Technology Austria GmbH
Durisolstrasse 2
A-4600 Wels
Austria
Tel: 43-7242-2244-399
Fax: 43-7242-2244-393

Denmark

Microchip Technology Nordic ApS
Regus Business Centre
Lautrup hof 1-3
Ballerup DK-2750 Denmark
Tel: 45 4420 9895 Fax: 45 4420 9910

France

Microchip Technology SARL
Parc d'Activité du Moulin de Massy
43 Rue du Saule Trappu
Batiment A - 1er Etage
91300 Massy, France
Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79

Germany

Microchip Technology GmbH
Steinheilstrasse 10
D-85737 Ismaning, Germany
Tel: 49-89-627-144 0 Fax: 49-89-627-144-44

Italy

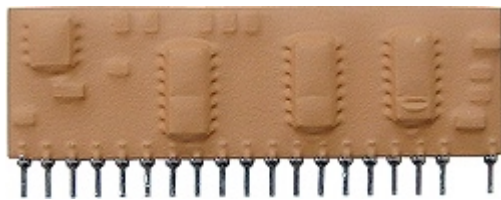
Microchip Technology SRL
Centro Direzionale Colleoni
Palazzo Taurus 1 V. Le Colleoni 1
20041 Agrate Brianza
Milan, Italy
Tel: 39-039-65791-1 Fax: 39-039-6899883

United Kingdom

Microchip Ltd.
505 Eskdale Road
Winnersh Triangle
Wokingham
Berkshire, England RG41 5TU
Tel: 44 118 921 5869 Fax: 44-118 921-5820

11/15/02

Module Vu-mètre "audio" à Leds "SM1"



Description générale

Le module "SM1" est un vu-mètre "audio" haute performance capable de gérer 12 Leds externes. Conçu pour les applications professionnels telles que les tables de mixage ou autres dispositifs audio, il se singularise par sa très simple mise en œuvre ne nécessitant que très peu de composants externes.

Applications

- Indicateur divers pour instrumentation musicale
- Module d'amplification pour guitare
- Système "karaoke"
- Table de mixage

Caractéristiques électriques

Désignations	Min.	Typ.	Max.	Unité
VCC Tension d'alimentation	±9	±12	±15	VCC
IS Consommation (sans charge)	-	25	-	mA
LI Niveau d'indication	-21	-	+9	dB
TOP Température d'utilisation	-20	-	+80	°C

Description des broches

- | | |
|-----------------------------------|--------------------------------|
| 1 GND | 11 Sortie led 8 (D8) |
| 2 -Vcc | 12 Sortie led 7 (D7) |
| 3 +Vcc | 13 Sortie led 6 (D6) |
| 4 Sortie capacité (HCO) | 14 Sortie led 5 (D5) |
| 5 Entrée signal (IN) | 15 Sortie led 4 (D4) |
| 6 Tension référence (Vref) | 16 Sortie led 3 (D3) |
| 7 Sortie led 12 (D12) | 17 Sortie led 2 (D2) |
| 8 Sortie led 11 (D11) | 18 Sortie led 1 (D1) |
| 9 Sortie led 10 (D10) | 20 Réglage courant Leds |
| 10 Sortie led 9 (D9) | |

Dimensions du module

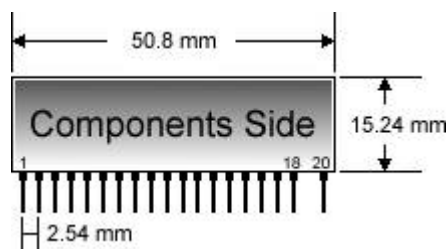
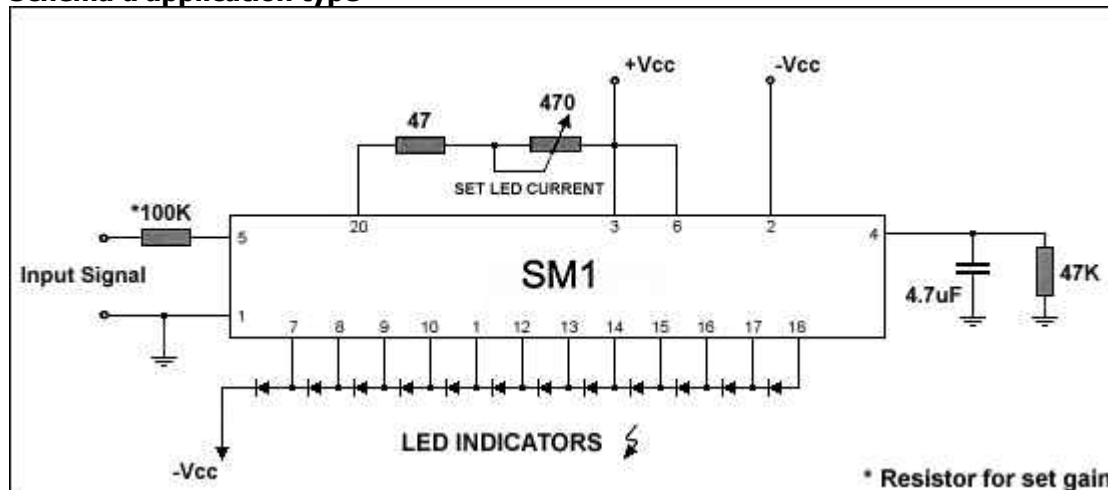


Schéma d'application type



SM1	Le module seul	8,82 € HT	10,55 € TTC
------------	----------------	------------------	--------------------

LED Driver for Light Band Displays

UAA 180

Bipolar IC

Integrated circuit for driving 12 light emitting diodes. Corresponding to the input voltage, LEDs forming a light band are controlled similar to a thermometer scale.

By using an appropriate circuitry the brightness of the LEDs can be varied and the light passage between two adjacent LEDs can be set between "smooth" and "abrupt".

Type	Ordering Code	Package
UAA 180	Q67000-A1104	P-DIP-18

Absolute Maximum Ratings

Parameter	Symbol	Limit Values	Unit
Supply voltage	V_S	18	V
Input voltage	V_3	6	V
	V_{16}	6	V
	V_{17}	6	V
Storage temperature range	T_{slg}	– 40 to 125	°C
Junction temperature	T_j	150	°C
Thermal resistance (system-air)	$R_{th SA}$	78	K/W

Operating Range

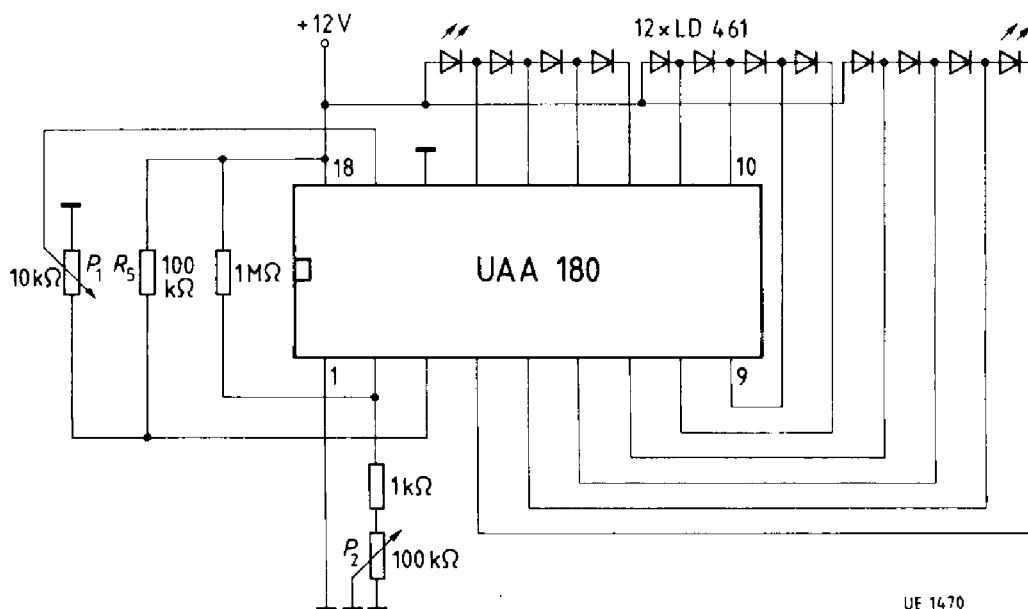
Supply voltage	V_S	10 to 18	V
Ambient temperature	T_A	– 25 to 85	°C

Characteristics

$V_S = 12\text{ V}$; $T_A = 25\text{ }^{\circ}\text{C}$

Parameter	Symbol	Limit Values			Unit
		min.	typ.	max.	
Current consumption ($I_2 = 0$) (without LED current)	I_{18}		5.5	8.2	mA
Input currents $V_3 - V_{16} < 2\text{ V}$	I_3		0.3	1	μA
	I_{16}		0.3	1	μA
	I_{17}		0.3	1	μA
Voltage difference for smooth light transition	$\Delta V_{16/3}$	1.0			V
Voltage difference for abrupt light transition	$\Delta V_{16/3}$	4.0			V
Diode current per diode	I_D		10		mA
Tolerance of LED forward voltages	ΔV_D			1.0	V

Measurement Circuit



P 1 Light Band Test

P 2 Brightness Test

Scale Display with Light Emitting Diodes

Scale displays by means of a growing light band are particularly suitable for the measuring of approximate values. Applications of this kind are level sensors, VU meters, tachometers, field strength indicators etc. When applying the displays in measuring equipment, multicolored LEDs can be used as range limitation.

The voltage difference between pins 16 and 3 thereby corresponds to the possible indication range. $\Delta V_{16/3}$ defines at the same time the light passage between two diodes. With $\Delta V_{16/3} \geq 1$ V, the light band glides smoothly along the scale. With increasing voltage difference, the passage becomes more abrupt. With $\Delta V_{16/3}$, approx. 4 V, the light band jumps from diode to diode.

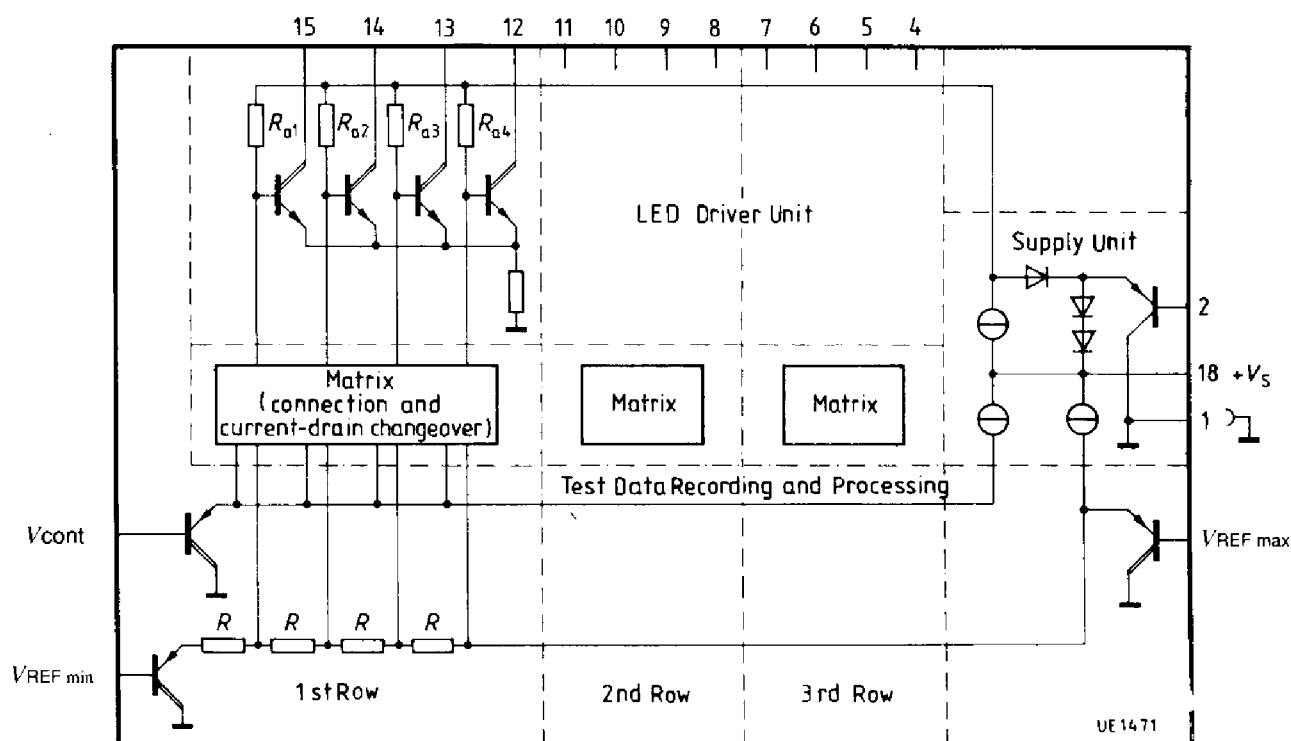
Each quartet must consist of identical diodes in order to maintain its functional characteristics.

It is therefore possible to design the first and third quartet as diodes emitting the color red and the second quartet as diodes emitting the color green to delineate a certain operational area.

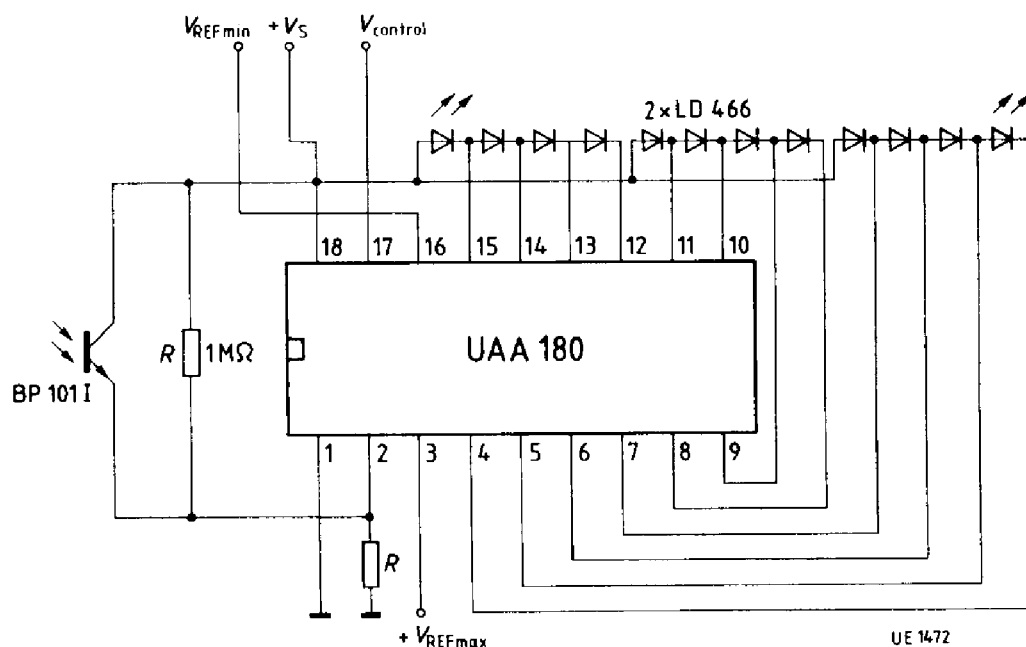
Pin 2 serves to determine the diode current. Corresponding to the desired light intensity, the forward current of the diodes is variably linear in the range I_f approx. 0 to 10 mA.

Application circuit 1 shows the possibility of designing this resistance to be adjustable by means of a phototransistor BP 101, in order to adapt the light intensity to changing ambient brightness. The adjusting range of the diode current lies between I_f approx. 5 mA (BP 101 not lit) and I_f approx. 10 mA (BP 101 fully lit). If pin 2 is open the diode current is 10 mA.

Block Diagram

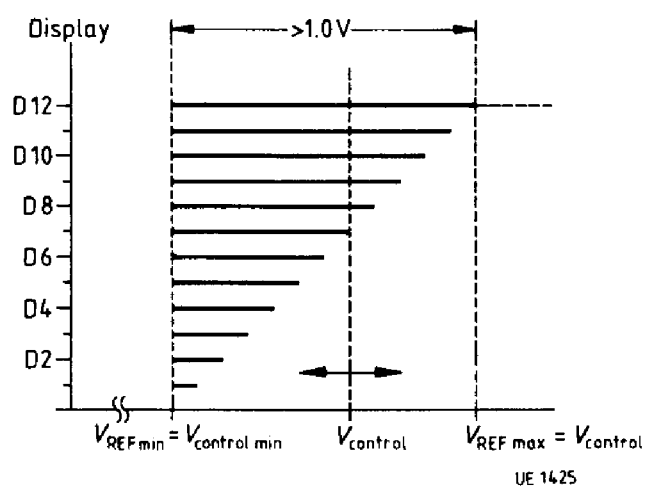


Application Circuit 1



$$R = 2.2 \text{ k}\Omega \dots 100 \text{ k}\Omega$$

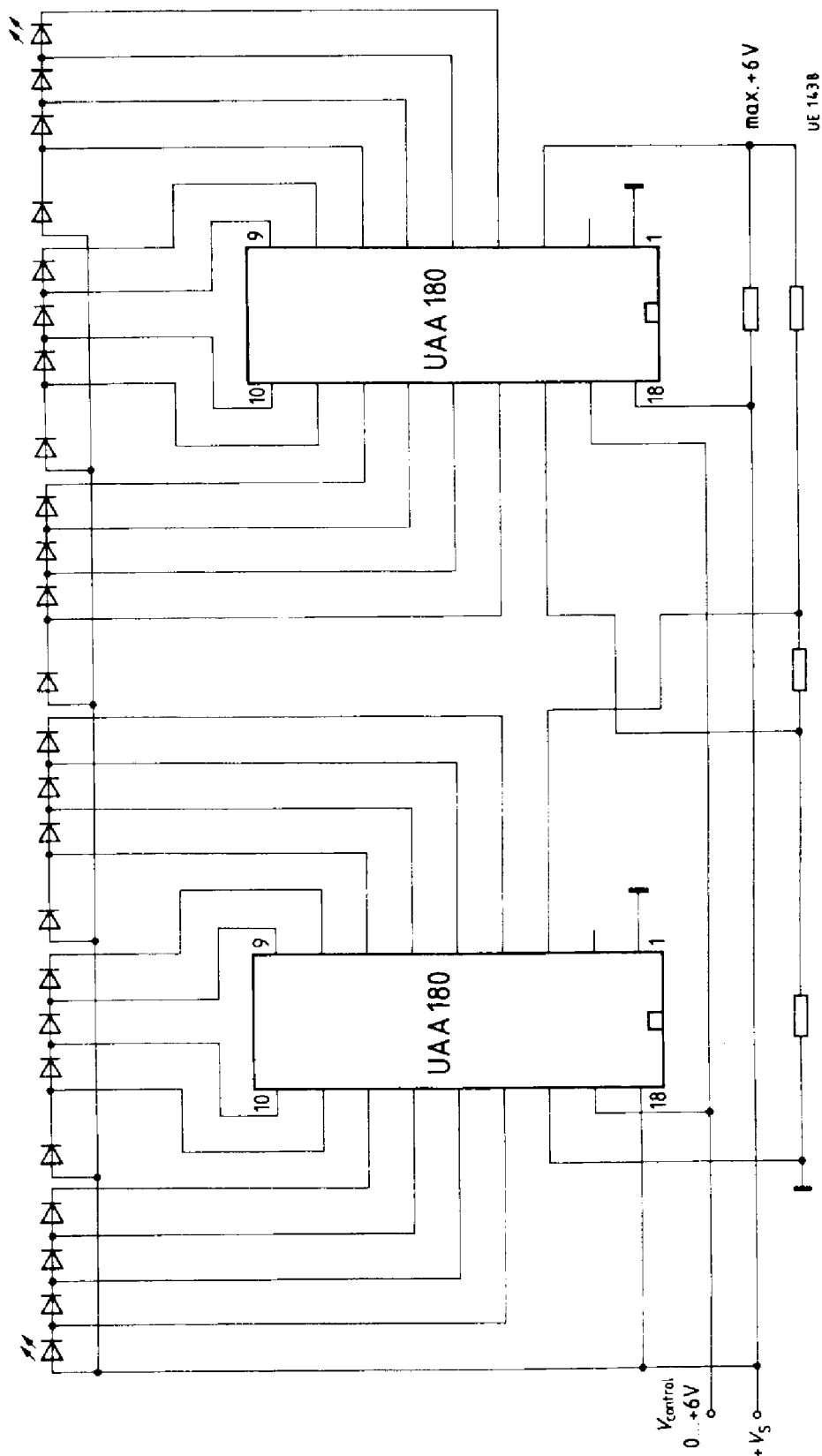
LED display versus control current



If a quartet does not need the full number of display diodes and if the first connected diodes shall be left luminous at full driving, bridges have to be inserted replacing the missing LEDs. Otherwise the first diodes of the quartet switch off when their display range is exceeded.

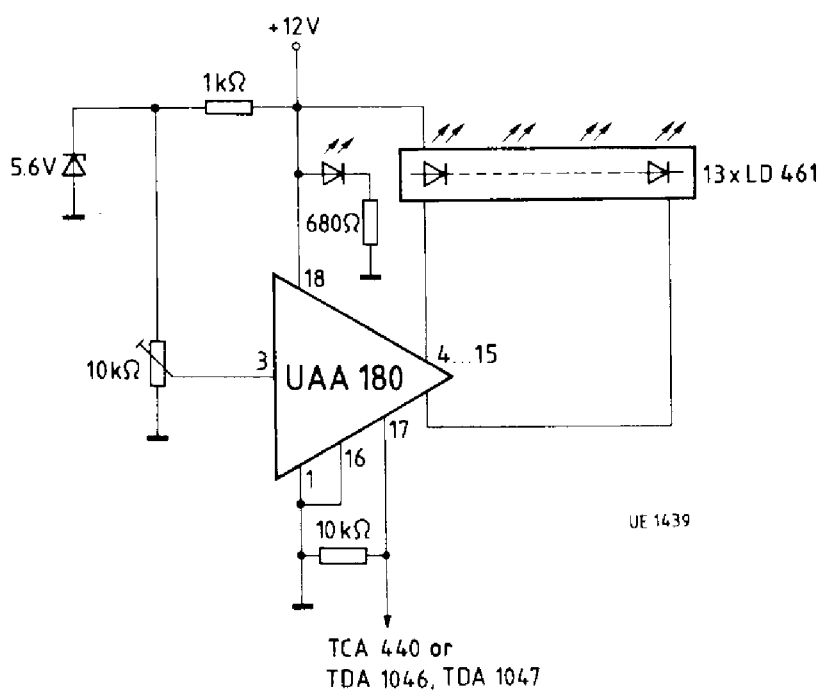
Application Circuit 2

for cascading several UAA 180 ICs (up to 7)



Application Circuit 3

for field strength indication



BILLETERIE de GUICHET de METRO
(bac 2003)

Q1 à Q2	Compréhension système	système	
Q3 à Q6	Monostable (74LS123)	Monostable	
Q7	Transistor en commutation	Transistor	
Q8 à Q9	impression (aiguilles)		
Q10 à Q11	Compréhension système	système	
Q12	role diode roue libre	Diodes	
	synthèse fonction logique	Fonctions logiques de	
Q13 à Q15	combinatoire	base	
Q16 à Q20	Transistor en commutation	Moteur cc	
Q21 à Q23	pont en H	Moteur cc	
Q24 à Q27	capteur optique	Captage de position	
	comparateur à deux seuil		
Q28 à Q30	(LM339)	Comparais. analog.	
Q31	capteur optique	Captage de position	Q24 à Q31
Q32 à Q33	suiveur	AOP (linéaire)	
Q34 à Q38	utilisation de la saturation	AOP (linéaire)	Diode
	commande de LED par		
Q39 à Q42	sorties logiques	Convesion Elect/optique	
Q43	bascule D	Bascules	
Q44	type et capacité mémoires	Mémorisation	
Q45 à Q48	plan mémoire	Mémorisation	

I. Système Technique : « Système souterrain de transport en commun »

II. 1. Mise en situation :

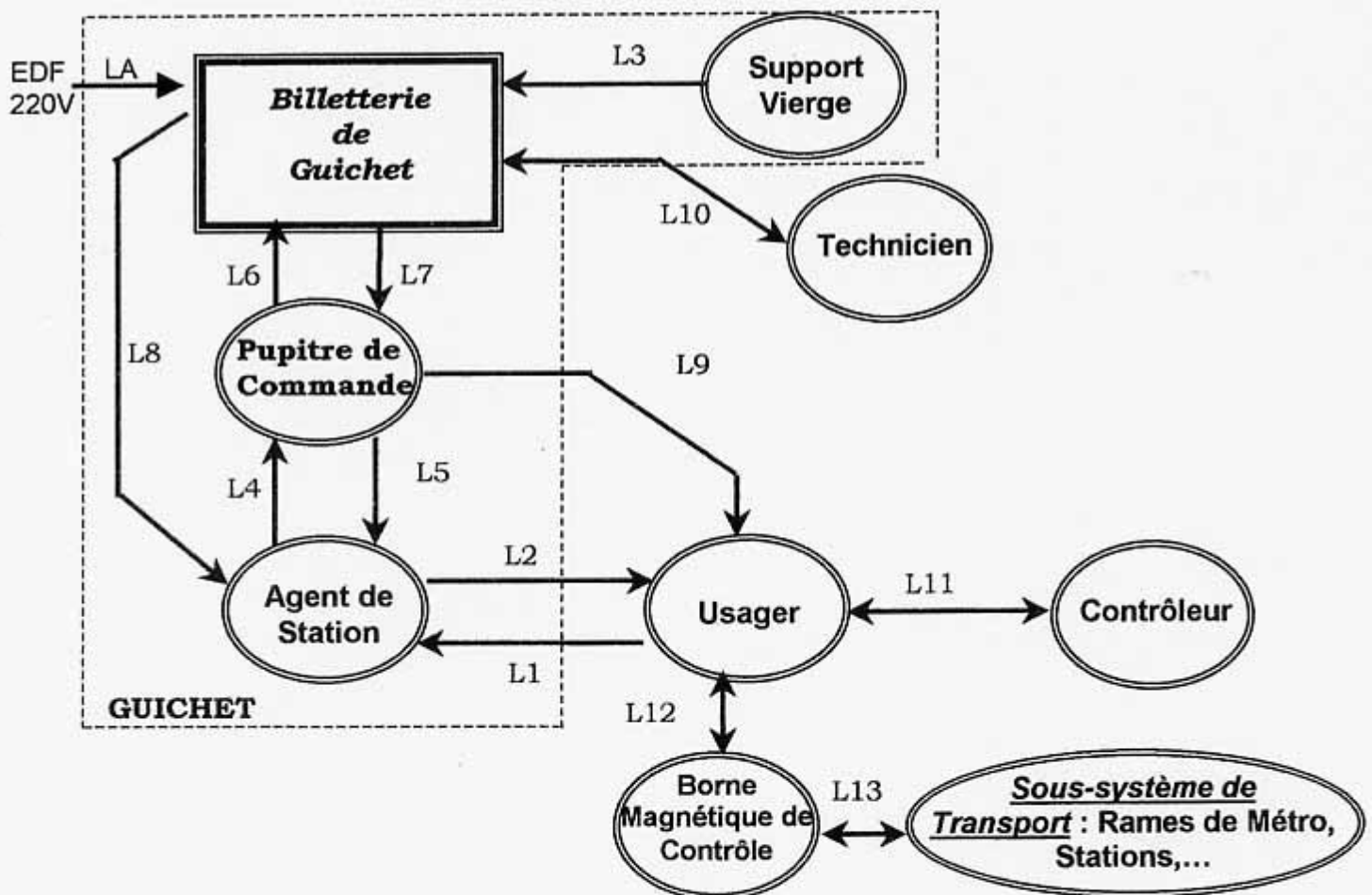
Dans les grandes villes, l'encombrement des voies urbaines et la concurrence des automobiles a entraîné le rabattement d'une grande partie des lignes de transport en commun en surface vers un ensemble de lignes souterraines.

2. Fonction d'usage :

Il permet à une population urbaine, moyennant le paiement d'un titre de transport, de se déplacer, de manière rapide et sûre, d'un lieu à un autre.

3. Éléments constitutifs du système :

a. Diagramme Sagittal :



La partie sur laquelle portera l'étude est la distribution de ticket par une billetterie se situant dans un guichet et utilisé par un agent de Station.

IEELME - ESEL

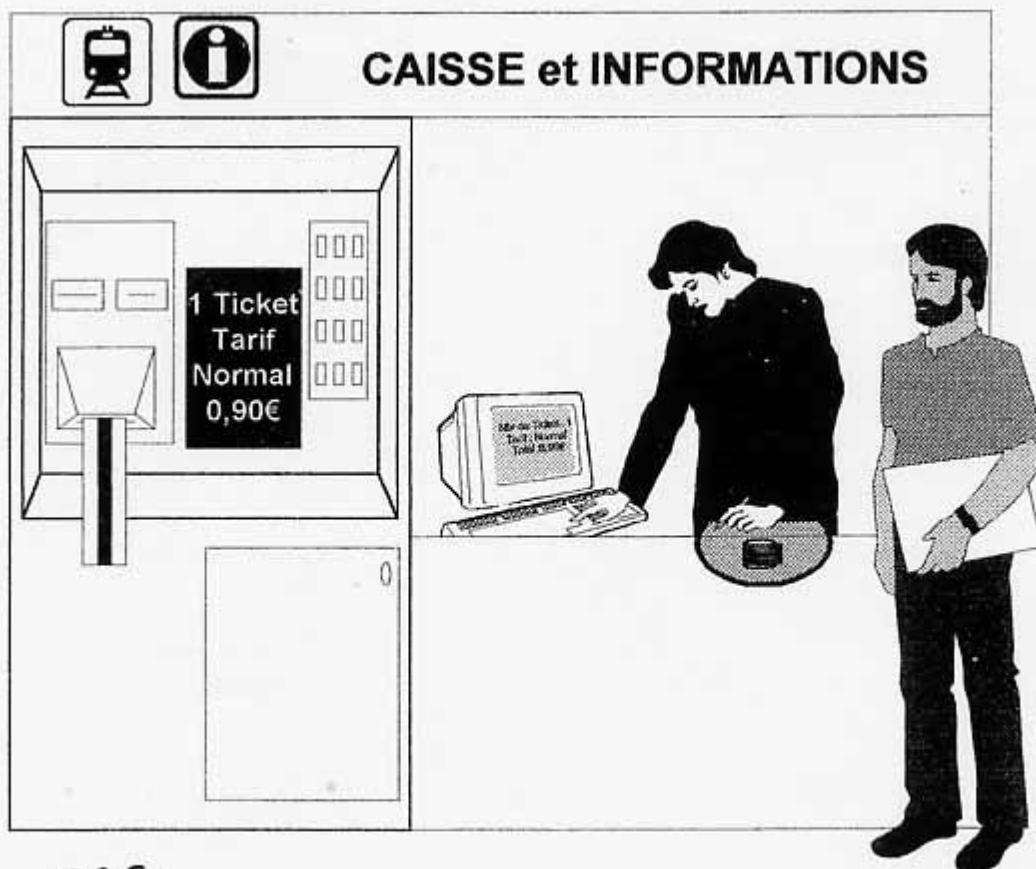
Définition des liaisons :

- L1 : Demande d'achat du ticket nécessaire pour accéder au métro et paiement.
- L2 : Délivrance par l'agent du titre de transport après paiement, rendu de monnaie si nécessaire.
- L3 : *Approvisionnement en support vierge.*
- L4 : Demande de fabrication d'un ticket pour un tarif donné.
- L5 : Affichage du prix à payer et état de fonctionnement de la billetterie.
- L6 : *Caractéristiques du ticket à fabriquer transmis par liaison série.*
- L7 : *Indication de la prise en compte de la demande ou code panne par liaison série.*
- L8 : *Distribution du ou des tickets demandés.*
- L9 : Affichage du prix à payer.
- L10 : *Maintenance et infos visuelles de l'état de fonctionnement de la billetterie.*
- L11 : Présentation du titre de transport et vérification de sa validité.
- L12 : Contrôle automatique (magnétique) du ticket pour l'accès à la station.
- L13 : Accès à la rame après autorisation de passage et transport.
- LA : Energie Electrique (EDF 220V)

b. Partie du système étudiée : « Billetterie de Guichet ».

L'objet technique retenu comme support de l'étude sera la « Billetterie de Guichet ». Elle se situe dans un local de vente (Guichet vitré) et nécessite un agent spécialisé, pour son utilisation, qui communique avec cette dernière par l'intermédiaire d'un pupitre de commande.

Elle fournit le(s) titre(s) de transport après une demande spécifique (tarif, quantité,...) de l'agent qui le(s) remet à l'utilisateur après paiement.



II. Objet technique : Billetterie de Guichet.

1. Mise en situation :

Lors de l'utilisation des transports en commun il est nécessaire de se munir d'un titre de transport représentant le justificatif de paiement du droit d'accès.

Dans le métro il existe plusieurs machines permettant la fabrication et la distribution du titre de transport. L'étude portera sur la billetterie se situant dans un guichet de vente et utilisé par un agent spécialisé.

L'agent effectue une demande de fabrication de tickets par action sur le pupitre de commande qui est en relation avec l'objet technique par une liaison série.

Le pupitre transmettra à la billetterie le type de tickets à réaliser d'après la demande de l'usager (tarifs, quantité,...). La billetterie renvoie à son tour au pupitre la prise en compte de la demande ou un code erreur représentatif d'un problème pendant la fabrication du titre de transport.

2. Fonction d'usage :

La billetterie doit permettre de fournir un titre de transport de dimension prédéfini sur lequel on code différentes informations correspondant au choix tarifaire et à sa validité.

Pour cela elle doit couper à la bonne longueur, imprimer et coder magnétiquement une bande vierge.

De plus elle doit renseigner l'agent sur son état de fonctionnement pendant le processus de fabrication.

Matière d'œuvre :

Elle est de type matériel. La billetterie autonome reçoit 2 supports vierges de carton fin ou de plastique munis d'une bande magnétique.

Après un processus de fabrication, elle fournit selon le choix de l'agent de station, soit un ticket soit un carnet de tickets aux normes suivantes :

- Longueur de Ticket : 66mm \pm 0,5mm, Largeur : 30mm
- Tarifs disponibles : Détail, normal, réduit, demi-tarif,...
- Impression maximum de 8 lignes de 30 caractères max.
- Codage magnétique compatible avec les lecteurs magnétiques installés dans les stations de métro pour le contrôle de l'accès.



3. Inventaire des éléments constitutifs de la Billetterie :

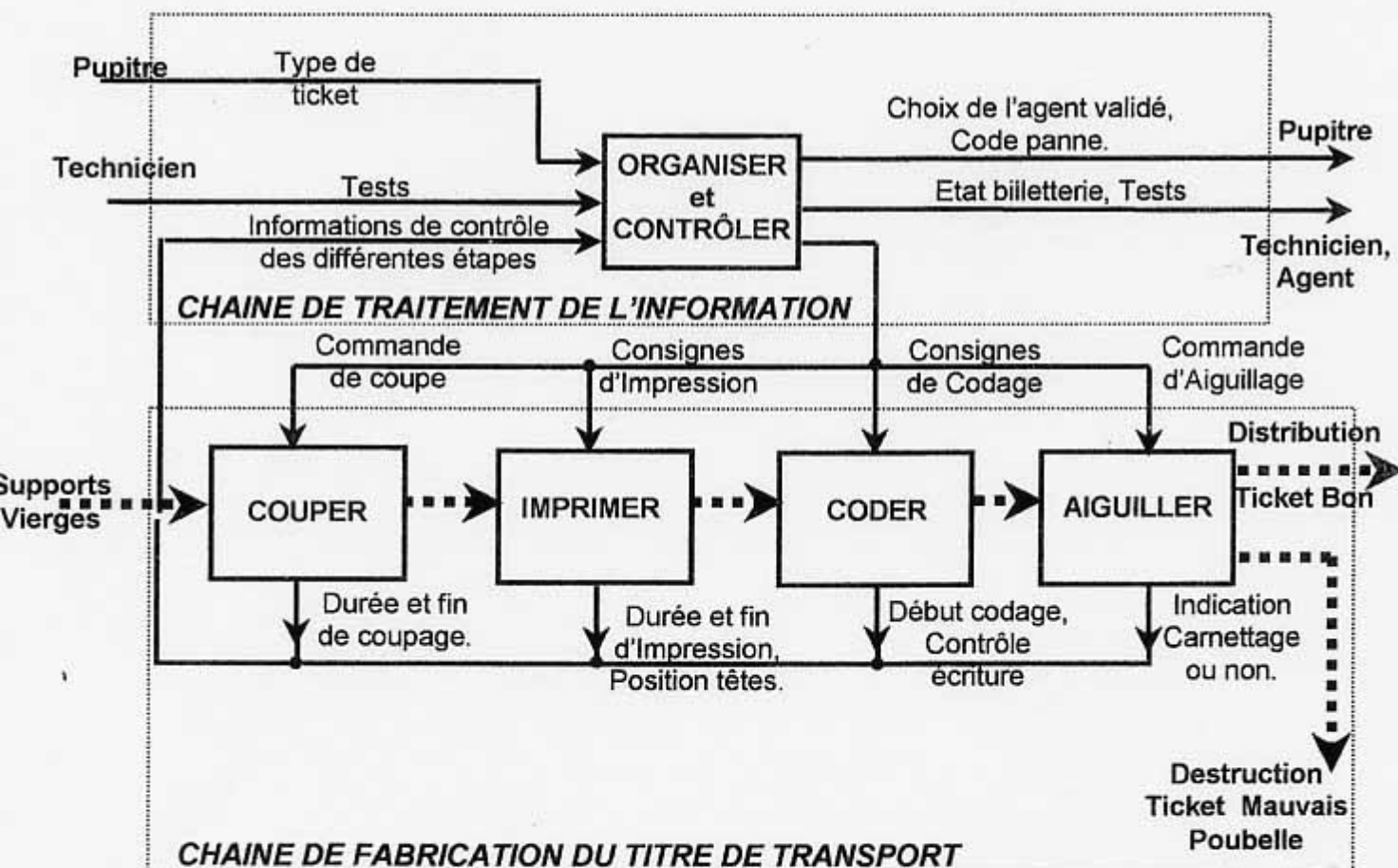
La billetterie est composée d'une chaîne de traitement de l'information et d'une chaîne de fabrication du titre de transport.

La chaîne de traitement de l'information permet de piloter les parties relatives aux différentes étapes de la fabrication du titre de transport suivant les caractéristiques (tarif, nombre,...) transmises par le pupitre de commande à partir de la liaison série (type de ticket). Elle vérifie l'état de fonctionnement de la billetterie et en informe l'agent.

La chaîne de fabrication du titre de transport peut se décomposer en **4 parties associées aux étapes de réalisation du ticket :**

Elle doit **Couper** à la bonne longueur, **Imprimer** les informations nécessaires au contrôle visuel de sa validité par l'agent contrôleur, **Coder** la bande magnétique du ticket permettant l'accès à la station par les bornes magnétiques (contrôleur automatique) et **Aiguiller** le ticket soit vers la poubelle (s'il est mauvais) soit vers l'agent (s'il est bon).

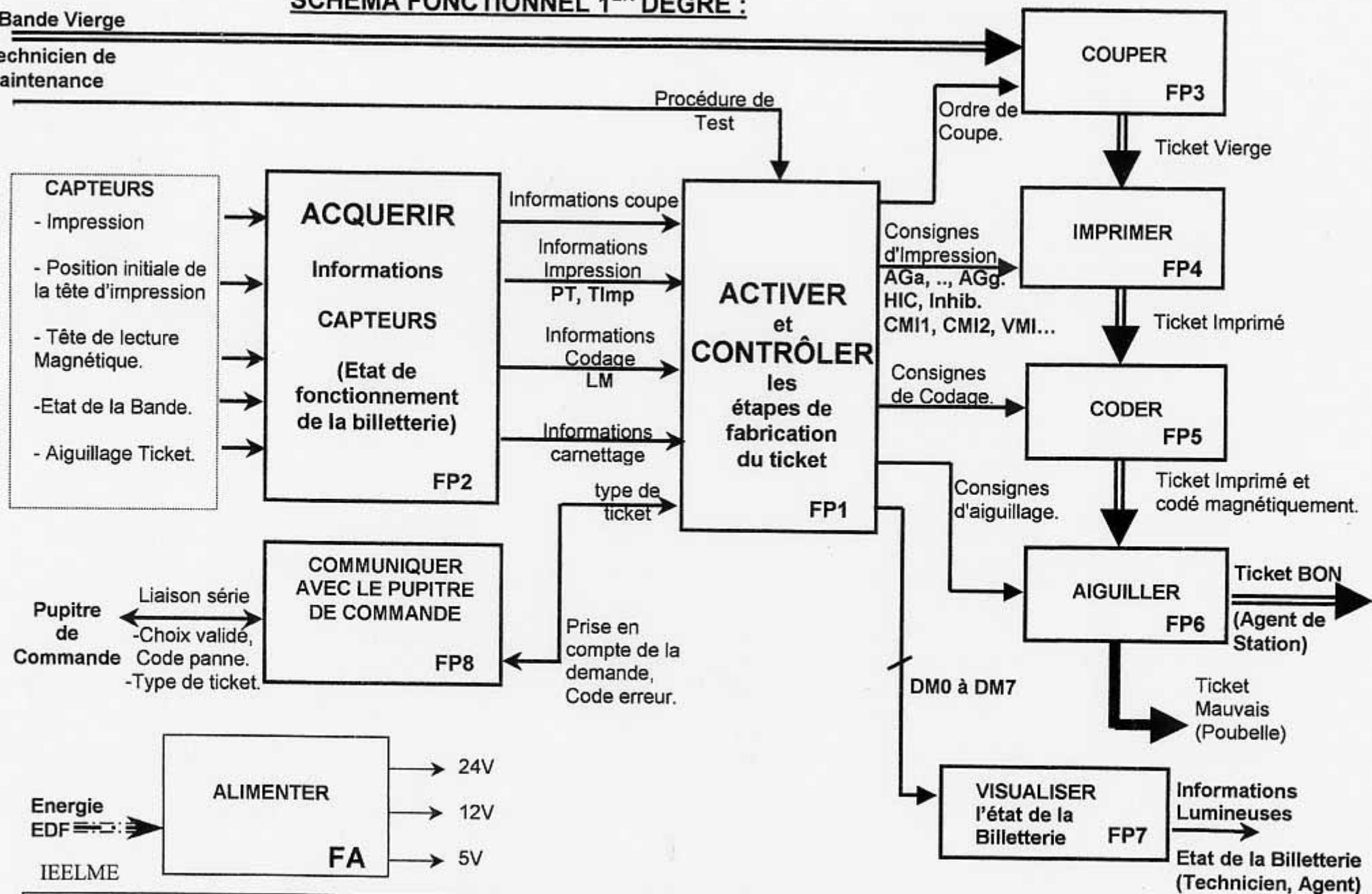
Organisation architecturale :




SCHEMA FONCTIONNEL 1^{ER} DEGRE :

Bande Vierge

Technicien de Maintenance





Remarques :


 Les 5 parties et sous parties sont indépendantes.


 Durée conseillée pour traiter les parties : Total = 4H 30mn

I. Analyse fonctionnelle :	15mn
II. Etude de FP4	1H 45mn
III. Etude de FP2	1H 30mn
IV. Etude de FP7	15mn
V. Etude de FP1	45mn

 Bien lire les explications et les informations données au début de chaque partie et sous partie. Elles servent de **cahier des charges**.

 Lors de la réponse, numéroter correctement la question que vous traitez.

 Les documents réponses CR1 à CR4 sont à compléter et à rendre dans tous les cas avec votre copie même si vous n'avez pas pu y répondre.

 La documentation nécessaire se trouve en Annexe page CAN1 à CAN8.

 Tous les calculs devront être justifiés sans oublier les unités adéquates.

I. Analyse Fonctionnelle du système et de l'Objet Technique :

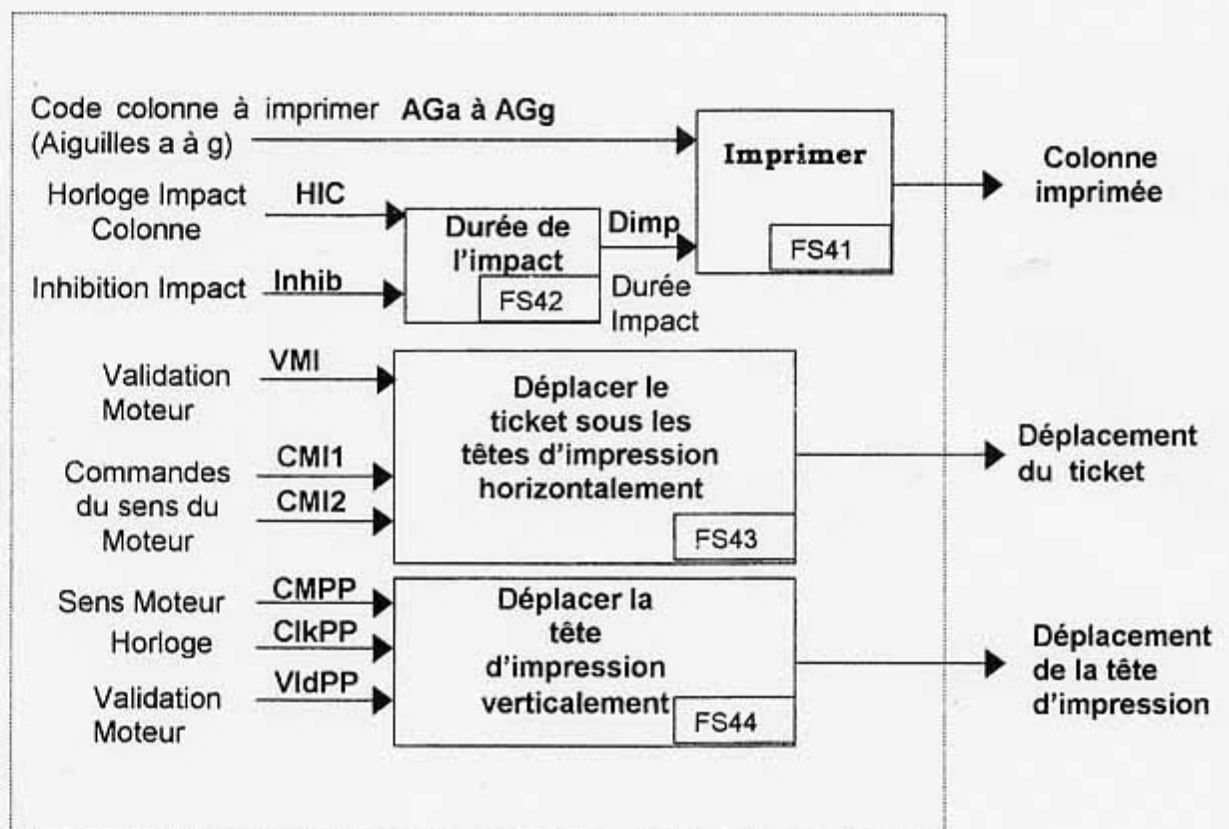
Q1. A partir du Diagramme Sagittal indiquez les éléments en relation directe avec l'Objet Technique « Billetterie de Guichet ». Vous donnerez la signification de chacune des relations (L3, L10, LA, L8, L6, L7) avec l'élément.

Q2. Quelles sont les différentes étapes de la chaîne de fabrication du ticket ?

II. Impression du Ticket : Etude partielle de FP4

FP4 reçoit les consignes de FP1 (qui organise les tâches à effectuer) et commande les actionneurs permettant d'imprimer les différentes lignes de caractères.

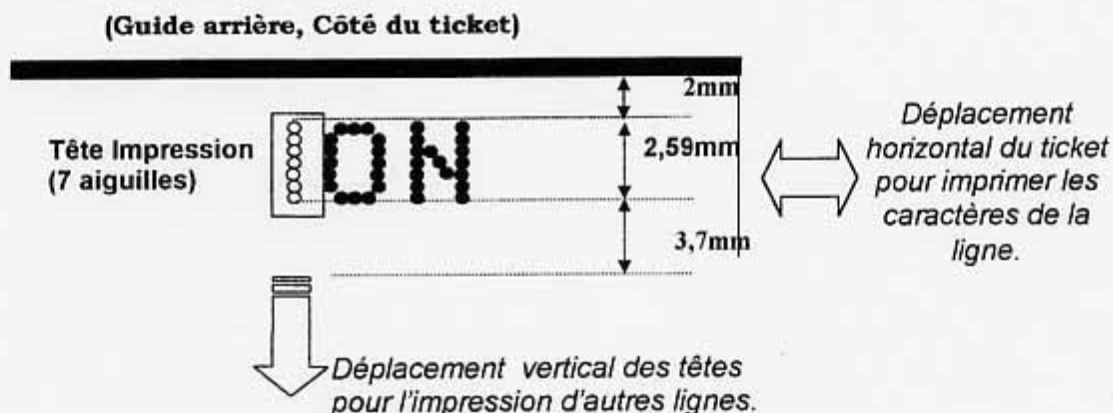
Schéma fonctionnel, partiel, de 2eme degré de FP4



Les caractères imprimés sur le titre de transport doivent renseigner le contrôleur de sa validité et du type de tarif auquel il est associé.

Impression du ticket : Déplacement du ticket et des têtes d'impression.

Pour imprimer les caractères, FP4 agit sur l'avance du ticket de façon horizontale (impression de la ligne de caractères) et sur les têtes d'impression de façon verticale (déplacement pour imprimer d'autres lignes de caractères).



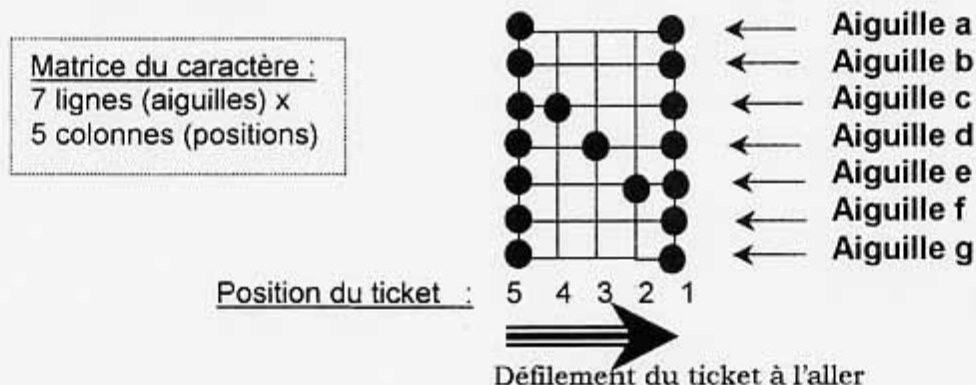
Impression d'un caractère de la ligne :

Il y a 2 têtes d'impression l'une au dessus de l'autre pour imprimer 2 lignes de caractère à la fois (rapidité).

Chaque tête est composée de 7 aiguilles placées verticalement. Les aiguilles sont actionnées par un solénoïde et viennent frapper le ticket à travers un ruban encreur et impriment ainsi une colonne de 7 points.

La représentation d'un caractère se fera en déplaçant le ticket 5 fois dans le sens longitudinal de façon à former une matrice de 5 colonnes x 7 points).

Ex : Impression de la lettre N. (Le point ● représentant l'impact de l'aiguille).



Remarque importante : Deux allers et retours du ticket sous les têtes d'impression permettent l'écriture de huit lignes de caractère (deux lignes écrites à la fois)

A l'aller : l'impression du caractère se fait en commençant par la droite du caractère (écriture à l'envers) car le ticket se déplace vers la droite. (voir schéma ci-dessus).

Au retour, le ticket se déplaçant vers la gauche, l'impression du caractère se fait en commençant par la gauche

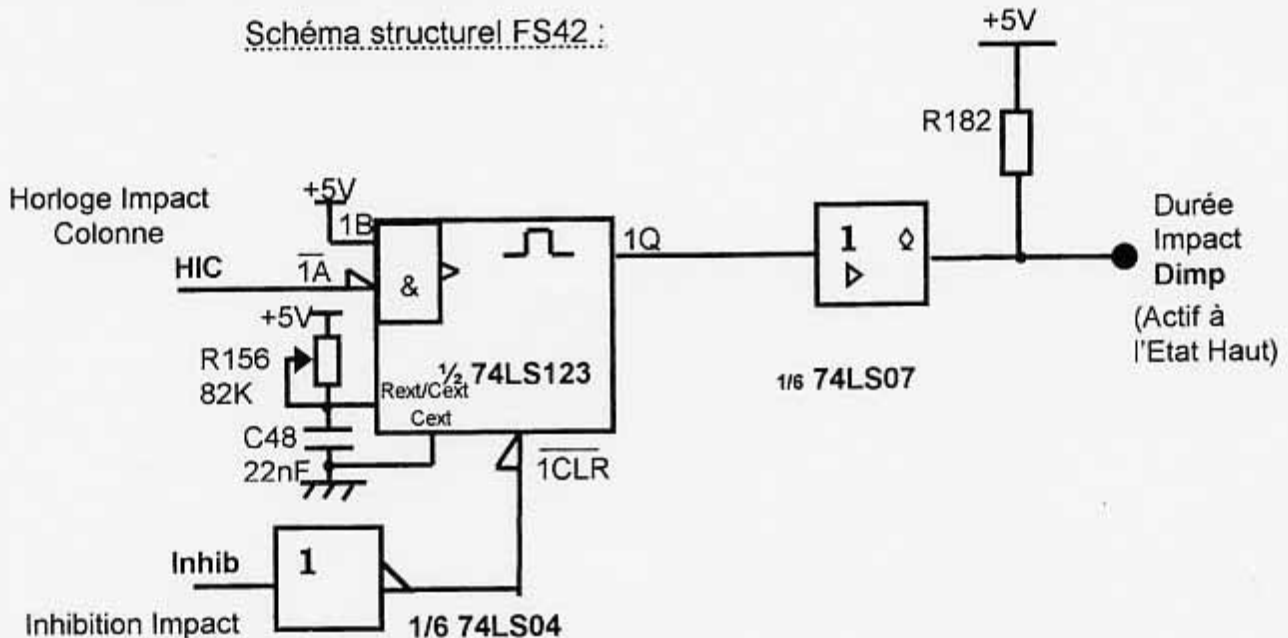
IEELME - ESEL

2.1 Durée de l'impact (FS42) : Les aiguilles sont commandées pendant un court instant de façon à éviter toute trace sur le ticket qui se déplace en-dessous. Le signal « Dimp » d'une durée calibrée assure la commande d'alimentation simultanée des 7 aiguilles.

Le signal « Inhib » permet de dévalider les aiguilles en cas de problème.

Contrainte : Le temps de frappe à ne pas dépasser est de 0,5ms.

Schéma structurel FS42 :



Q3. Quelle fonction réalise le circuit 74LS123 ? (CAN3/8)

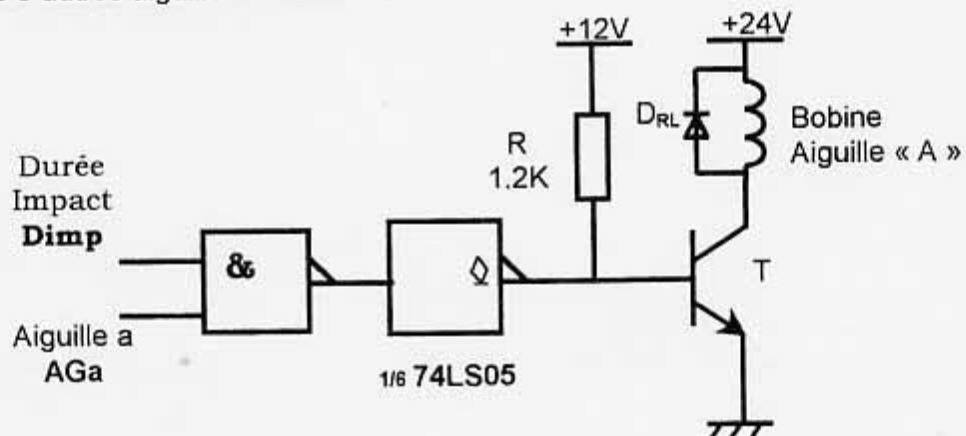
Q4. A quel niveau doit-on mettre l'entrée inhibition (Inhib) pour bloquer la frappe de l'aiguille ? Justifiez votre réponse.

Q5. A l'aide de la documentation, exprimer la relation de la durée d'impulsion sur la sortie Q en fonction des composants extérieurs. (CAN3/8)

Q6. Calculer la valeur maximum du temps de frappe et préciser si elle est adaptée au besoin de la fonction.

2.2 Impression (FS41):

Schéma de commande de l'aiguille "A" d'une des têtes d'impression, ce schéma est identique pour les 6 autres aiguilles de la tête :



Q7. On considérera pour cette question que « Dimp » = "1".

Dans quel état doit être le Transistor T (Bloqué ou Saturé) pour alimenter la bobine qui commande la frappe de l'aiguille A ?
En déduire l'état qu'il faut appliquer sur l'entrée « AGa ».

Dans l'étude suivante (questions Q8 et Q9) le ticket se déplace vers la gauche (impression retour).

Nous nous intéresserons à l'ensemble de la tête (7 aiguilles de « a » à « g »). La structure de commande est identique pour chacune des 7 aiguilles. (On précise AGb « Aiguille b ».....AGg « Aiguille g »).

Q8. D'après les signaux de commande (Dimp, AGa, ..., AGg) représentés sur la feuille réponse CR1, compléter par des points d'impact la lettre du « 1^{er} caractère imprimé ». (positions du ticket de 19 à 15) (Voir Ex : Impression N page C3/13)

Q9. Représenter les chronogrammes sur la feuille réponse CR1 des signaux de commande (AGa, ..., AGg) en fonction du 2^{eme} et 3^{eme} caractère imprimé. (Respectez les différentes positions du ticket indiquées : positions du ticket de 12 à 1).

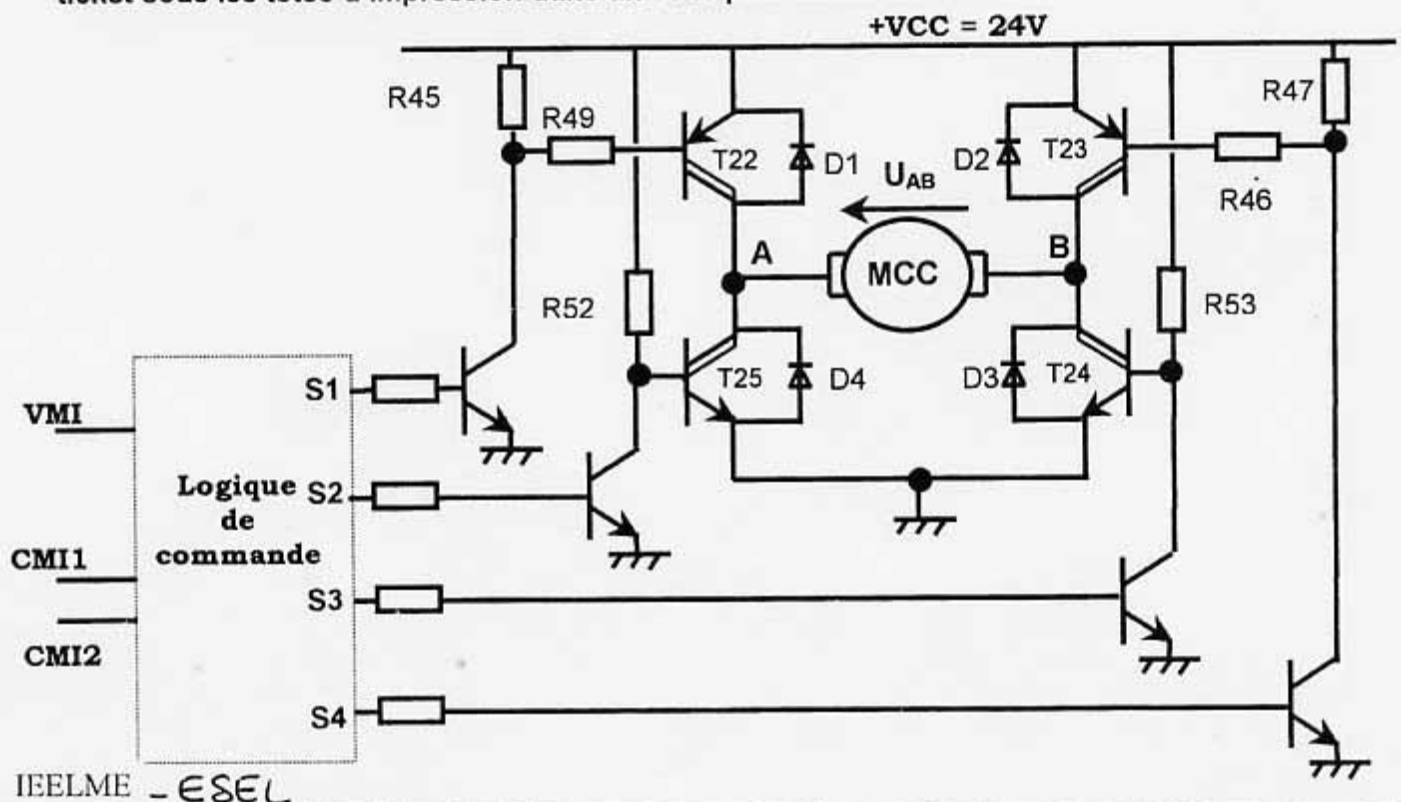
Q10. D'après le dossier technique (Analyse fonctionnelle: matière d'œuvre), quelles sont les caractéristiques du ticket ? (dimensions, nombre de caractères maximum par ligne, nombre de lignes au maximum)

Q11. Combien faut-il d'impulsions sur l'entrée de commande « Dimp » pour écrire une ligne complète de caractères?

Q12. Quel est le rôle de la Diode D_{RL} ?

2.3 Avance horizontale du ticket (FS43):

Le moteur imprimante est un moteur à courant continu. Il permet de déplacer le ticket sous les têtes d'impression dans un sens puis dans l'autre.



2.3.1. « Logique de commande » : Les entrées de commande « VMI, CMI1, CMI2 » assurent la commande du moteur.

L'entrée « VMI » valide le fonctionnement du moteur.

Les entrées « CMI1, CMI2 » déterminent le mode de fonctionnement du moteur (Arrêt, Marche avant, Marche arrière).

Cette structure est réalisée à l'aide de portes logiques.

Q13. A partir des niveaux logiques des entrées « VMI, CMI1, CMI2 » et des niveaux logiques de la sortie « S1 » représentés dans le tableau sur la feuille réponse CR2 en déduire l'équation logique simplifiée de la sortie S1 en fonction de VMI et CMI1. $S1 = f(VMI, CMI1)$ (les états logiques de S1 et de S2 sont identiques).

Le choix de la méthode est libre (Karnaugh ou autre) mais brièvement détaillée.

Q14. On donne $S3 = \overline{VMI.CMI2}$ (les états logiques de S3 et de S4 sont identiques)

Compléter les colonnes relatives à S3 et S4 sur la feuille réponse CR2.

Q15. Pour cette question on ne s'intéressera pas à la technologie des portes. Dessiner le logigramme correspondant (S1 et S3) en utilisant le moins de portes NAND à 2 entrées (ET NON) possibles. (Feuille réponse CR2).

2.3.2. « Etage de Puissance » : Le moteur est commandé par un pont en H à partir de 4 transistors bipolaires. Ce dernier consomme un courant $I_{moteur} = 2A$.

Q16. D'après les états des sorties « S1, S2, S3, S4 » compléter le tableau feuille réponse CR2 en précisant pour chaque cas l'état des transistors T22, T23, T24, T25. (Bloqué ou Saturé). On précise que les niveaux des tensions présentent sur S1 à S4 sont suffisants pour bloquer ou saturer les différents transistors. (Niveau logique « 1 » $\approx 5V$ et Niveau logique « 0 » $\approx 0V$)

Q17. Associer à chacun des transistors (T22, T23, T24, T25) sa référence (TIP127 ou TIP122) en vous aidant de la documentation. (CAN4/8)

Q18. Préciser la particularité de ces transistors et le nom qu'il porte. Sont-ils adaptés à l'application ? Justifier.

Q19. Relever dans la documentation le V_{cesat} de T24 (NPN).

En déduire la puissance P_d que dissipe ce dernier lorsqu'il permet d'alimenter le moteur (I_{moteur}). Précisez si d'après la documentation il peut la supporter sans dissipateur. (CAN4/8)

Q20. Calculer la Résistance Thermique maximum Jonction-Ambiant (R_{thJA}) pour dissiper P_d de la question précédente et en déduire la R_{thRA} du dissipateur. Le modèle de dissipateur WA400-9P de la documentation est-il bien adapté ? (Justifier) (CAN4/8) On rappelle que :

$$R_{thJA} = \frac{T_{jmax} - T_{amb}}{P_d} \quad \text{et} \quad R_{thJA} = R_{thJB} + R_{thBD} + R_{thDA}$$

$$T_{amb} = 25^\circ C \text{ et } R_{thBD}(\text{montage avec graisse}) = 0,5^\circ C/W$$

Avec J : jonction – A : ambiant – B : boîtier – D : dissipateur

2.3.3. « Rotation du moteur » : Suivant le signe de la tension U_{AB} présente aux bornes du moteur, celui ci tourne dans un sens ou dans l'autre. (si $U_{AB}=+V_{CC} > 0$ moteur en marche avant).

Q21. $S1=S2= \ll 0 \gg$ et $S3=S4= \ll 1 \gg$.

Tracer la circulation du courant sur la feuille réponse CR3 , en déduire la tension U_{AB} et le fonctionnement du moteur (Marche Avant, Marche Arrière ou Arrêt).

Q22. Compléter le tableau feuille réponse CR2 en vous aidant des états des transistors, de U_{AB} et du fonctionnement du moteur.

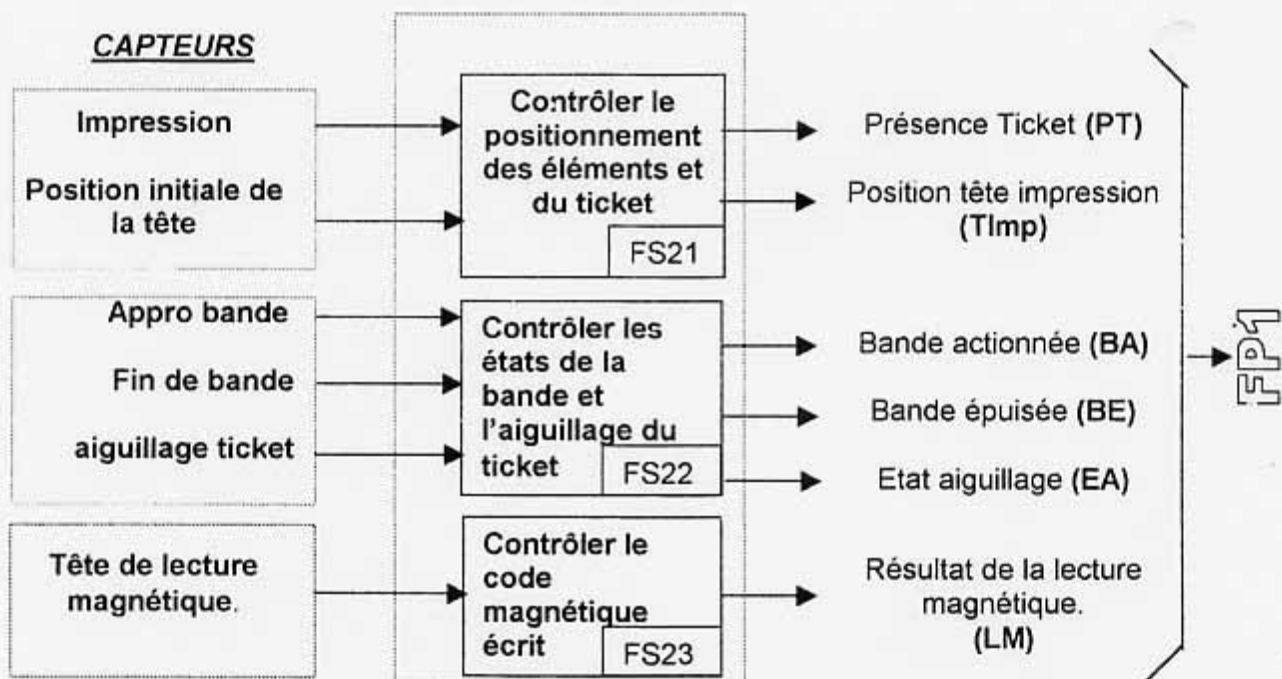
Pour cela vous déduirez la valeur de la tension aux bornes du moteur U_{AB} (+Vcc, -Vcc ou 0V) et le fonctionnement du moteur (Marche Avant, Marche Arrière ou Arrêt).

Q23. En vous aidant des questions précédentes et du tableau feuille réponse CR2, préciser à quelle fonction (Marche Avant ou Marche Arrière) sont associées respectivement chacune des entrées CMI1 et CMI2. (Niveau d'activation = « 1 »).

III. Acquérir les informations des capteurs (FP2) :

La billetterie doit surveiller la fabrication du ticket. Pour cela elle traite les informations issues de capteurs pendant le processus de fabrication.

Schéma fonctionnel de 2^{ème} degré:

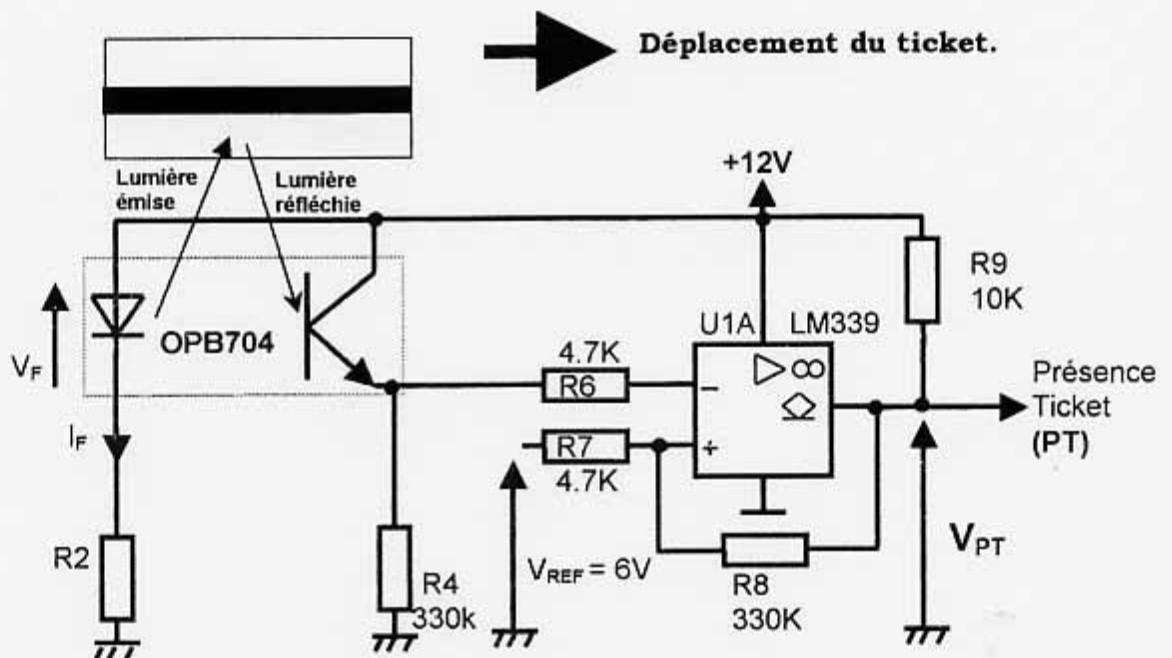


3.1. Etude structurelle partielle de FS21:

« Contrôler le positionnement des éléments et du ticket »

« Détecter la présence du ticket sous la tête d'impression »

La détection de présence du ticket se fait à l'aide d'un capteur optique. Le principe est représenté sur le schéma ci-dessous. On précise que le choix du papier est adapté (couleur blanche) au principe utilisé.



Q24. Choisir le capteur dans la documentation, répondant aux critères de fonctionnement, parmi le choix suivant (Détecteur à fourche, Détecteur à réflexion, Optocoupleur sans fenêtre). Justifier votre choix. (CAN5/8)

On se propose de déterminer la résistance R2 de manière à saturer convenablement l'opto-transistor.

Q25. Donner l'état de l'opto-transistor (bloqué ou saturé) en présence d'un ticket puis en son absence. (Justifier votre réponse)

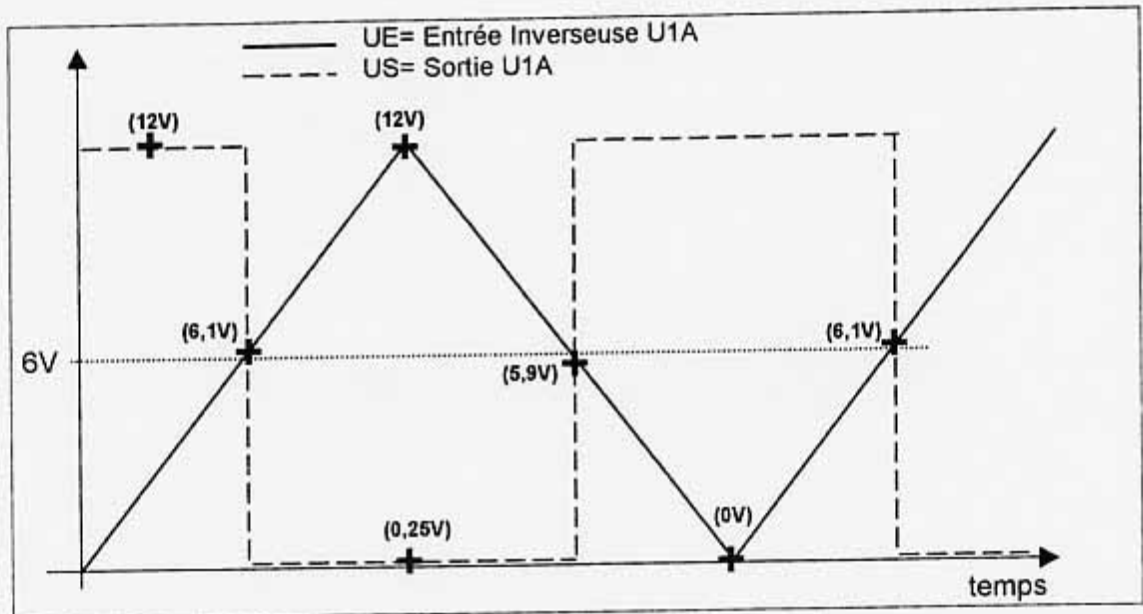
Q26. Exprimer littéralement et calculer la valeur du courant I_{R4} (caractéristiques opto-transistor CAN5/8)

Q27. Dimensionner la résistance R2 (sans oublier sa puissance) en respectant un coefficient de sursaturation égal à 3.

On précise que $I_c = CTR \cdot I_F$ (avec CTR = taux de transfert en courant) et que I_c est équivalent à I_e .

Choisir R2 dans la Série E12 (10, 12, 15, 18, 22, 27, 33, 39, 47, 56, 68, 82).

On donne ci-dessous les relevés d'une simulation de la structure constituée par U1A, R8, R7 et R9.



Q28. Préciser le mode de fonctionnement (linéaire, saturation) de U1A et en déduire la fonction réalisée par l'agencement structurel composé des éléments U1A, R7, R8.

Q29. Représenter, à partir des relevés de la simulation, la variation de la grandeur de sortie (US) en fonction des variations de la grandeur d'entrée (UE) : $US = f(UE)$. Vous préciserez les valeurs caractéristiques représentatives (cycle d'hystérésis) de son fonctionnement sur les 2 axes (UE, US).

Q30. Que signifie le symbole \diamond présent sur la sortie de U1A ? En déduire le rôle de R9.

Q31. Un ticket est présent sous la tête d'impression. Préciser qu'elle sera la tension présente en sortie (V_{PT} , « Présence Ticket ») ?

3.2. Etude de FS23: Contrôler le code magnétique écrit.

Le ticket possède une bande magnétique qui permet l'accès à la station par les bornes de contrôle automatique.

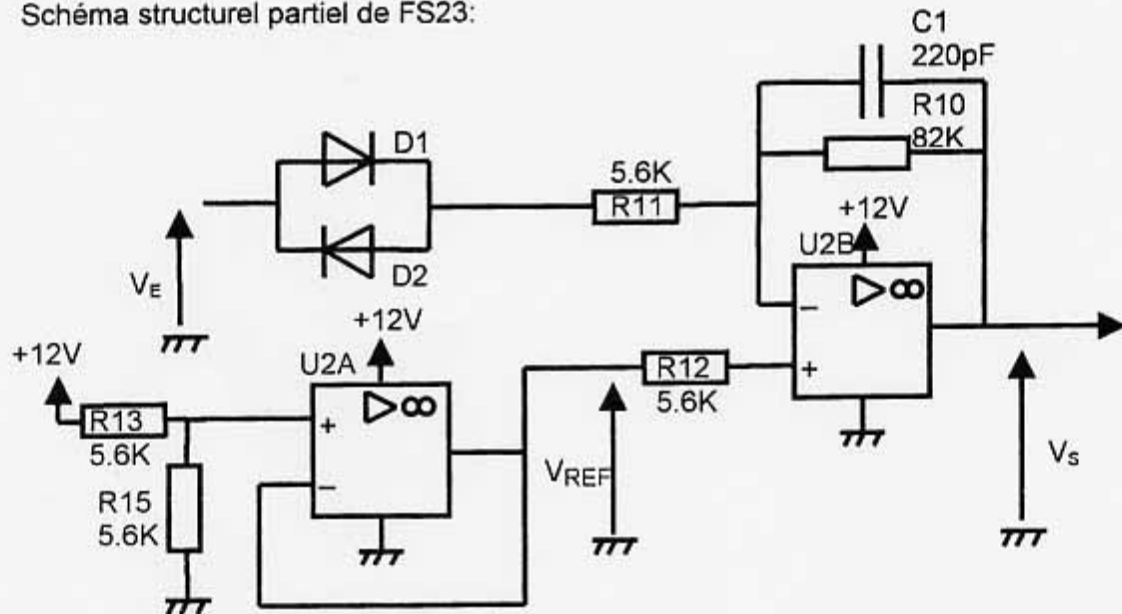
Lors de la fabrication, il est nécessaire de vérifier la validité du code magnétique écrit par la tête d'écriture. Le ticket ne sera fourni à l'agent que si le code lu est identique à celui supposé écrit.

Le signal issu de la tête de lecture ne correspondant pas à un code numérique lisible par le micro-processeur, il convient de l'adapter. Pour ce faire :

- dans un premier temps, il sera amplifié et filtré.
- puis transformé en une suite d'impulsions positives ou négatives autour d'une valeur moyenne.
- ces impulsions, suivant leur polarité, étant transformées en front montant ou descendant pour obtenir enfin un signal rectangulaire (0, 5V).

On se propose d'étudier l'étage (schéma ci-dessous) permettant la transformation des variations les plus importantes du signal V_E en Impulsion positive ou négative (V_S) par rapport à une valeur continue de 6V.

Schéma structurel partiel de FS23:



Nota: On négligera l'effet du condensateur C1 dans les questions qui suivent.

Réalisation de la tension continue :

Q32. Indiquer le nom de la fonction assurée par U2A ainsi que son rôle. En déduire la valeur de V_{REF} .

Q33. Quelle fonction réalise l'agencement structurel, constituée autour U2B ? (Justifier son mode de fonctionnement). Quelle est, dans ce cas, la valeur de la tension différentielle entre l'entrée inverseuse (-) et l'entrée non inverseuse (+) de U2B. En déduire la valeur de la tension présente sur son entrée inverseuse (-).

Calcul permettant la prise en compte uniquement des valeurs représentatives (les plus importantes) du signal d'entrée :

Q34. Déduire de la question précédente les 2 valeurs limites de V_E pour lesquelles les diodes deviennent passantes.

(on rappelle qu'à cet instant le courant dans les diodes reste négligeable, les diodes étant idéalisées avec une tension de seuil $V_D = Cte = 0,6V$ lorsqu'elles sont passantes et équivalentes à un interrupteur ouvert lorsqu'elles sont bloquées).

Représenter ces deux valeurs sur le graphe de V_E feuille réponse CR3.

Q35. En supposant D1 passante, établir les expressions littérale et numérique : $V_S = f(V_{REF}, V_E, V_{D1}, R_{10}, R_{11})$. En déduire la valeur de V_E (que l'on notera V_{EMAX}) qui entraîne la saturation de l'amplificateur U2B avec $V_S = 0V$. Représenter celle-ci sur le graphe Feuille réponse CR3.

Q36. Même question mais pour D2 passante. $V_S = f(V_{REF}, V_E, V_{D2}, R_{10}, R_{11})$. En déduire la nouvelle valeur de V_E qui entraîne la saturation de l'amplificateur U2B avec $V_S = 12V$.

ESEL
IEELME

Calcul dans le cas où le signal d'entrée est trop faible (pas représentatif) :

Q37. Calculer la valeur de V_S lorsque les diodes sont bloquées (Tracer pour ce faire un schéma équivalent simplifié de l'ensemble structurel agencé autour de U2B) ? Représenter cette valeur sur la feuille réponse CR3.

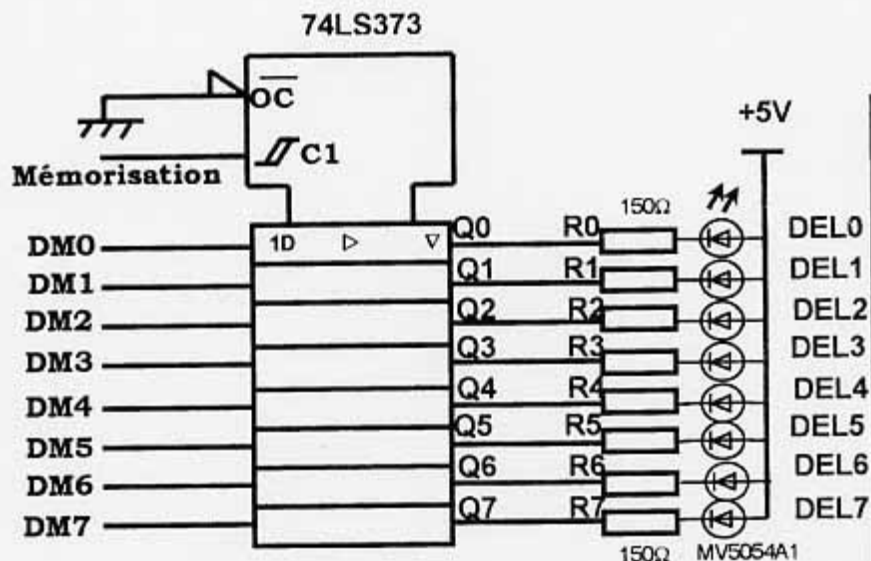
Synthèse :

Q38. Compléter le graphe relatif à V_S . Feuille réponse CR3.

IV. Visualiser l'état de fonctionnement de la billetterie : FP7

Pendant la fabrication du titre de transport la billetterie contrôle les différentes étapes de la fabrication et en informe le technicien.
L'information est visuelle grâce à la combinaison de 8 Diodes électroluminescentes (DEL).

**DEL7 : Incident de Transmission,
PB de communication**



DEL6 à DEL4 Valeur Hexadécimale Dels éclairées	DEL3 à DEL0 Valeur Hexadécimale Dels éclairées	Signification
2	0	Init Impression
2	1	Init position 0 des têtes
2	2	Init position tête
2	3	* Non affecté
2	4	Attente embravage
2	5	Présence billet Capteur Impression
2	6	Attente retrait ticket
2	7	Impression ligne
2	8	Fin Impression
2	9	Init mesure de distance parcourue billet
2	A	Attente fin de Translation têtes
2	B	Recherché Billet à imprimer.
2	C	Module inactif
2	D	Ticket entre capteur et têtes
2	E et F	* Non affecté

4.1. Transducteur Electrique/Optique :

L'information de l'état de la billetterie pendant la phase de fabrication du ticket est précisée au technicien de façon visuelle. La billetterie commande 8 DEL de référence MV5054A1. Les différentes combinaisons des 8 DEL (allumée= « 1 » ou éteinte =« 0 ») indiquent des informations de tout type (état de la billetterie, position, attente,...).

Q39. Dans la documentation (Annexe) des DEL, relever la tension de seuil V_F de la DEL lorsqu'elle est éclairée. (CAN6/8)

Q40. Quel état logique faut-il sur les sorties Q (Q0 à Q7) pour éclairer la DEL associée ? En déduire la valeur de la tension à cet instant.

Q41. Exprimer alors littéralement et calculer le courant qui traverse la DEL lorsqu'elle est éclairée.

Q42. Aurait-on pu remplacer le 74LS373 par un 74LS377 pour commander correctement les DEL ? Justifier votre réponse et valider le choix fait par le constructeur.(CAN7/8)

4.2. Mémorisation de l'information « état de la billetterie » : Il est nécessaire de mémoriser les informations afin que le technicien ait le temps de les visualiser.

Q43. Le mot suivant 11011010 est présent sur les entrées DM7...DM0.

Quelle condition faut-il sur l'entrée C1 (Mémorisation) pour prendre en compte ce nouveau mot ?

Si la condition sur C1 est respectée, quelles DEL seront dans ce cas allumées ? En déduire la signification de cette information.

V. Activer et Contrôler les étapes de la fabrication du ticket (FP1) :

FP1 organise les tâches à effectuer pour la fabrication du titre de transport. Il traite les informations issues des différents capteurs et transmet les ordres et consignes pour fournir un titre de transport valide. Il permet de contrôler l'état de la billetterie et d'informer d'éventuel dysfonctionnement.

FP1 est constitué principalement d'un micro-processeur 8085 associé à des mémoires (EPROM, RAM) dans lesquelles sont mémorisés d'une part le programme de gestion, les informations relatives aux codes à imprimer ou à coder magnétiquement et d'autre part les variables relatives à l'état de la billetterie et au calcul effectué par le micro-processeur.

Les schémas relatifs aux questions suivantes se situent en Annexe (CAN2/8).

5.1 Décodage d'adresses Mémoire :

Q44. A partir de la documentation et des schémas, compléter le tableau feuille réponse CR4.(mémoires concernées D7, C7, D5, C5)

Pour cela vous indiquerez le type de mémoire auquel le composant est associé et sa capacité en KO. Puis la capacité totale des mémoires « mortes » et celles des mémoires « vives » et ceci en KiloOctets (KO).(CAN8/8)

Q45. Le décodage d'adresse est essentiellement réalisé par le circuit E8 page CAN2/8. Préciser quel est le nom de la broche des boîtiers mémoires qui permet de valider chacune de ces mémoires et quel est son niveau logique d'activation.

Q46. Quelle sortie du circuit de décodage E8 permet de valider La mémoire D5 ? En déduire la valeur des adresses Adr11, Adr12 et Adr13 qui permettent la sélection de la mémoire D5.(CAN2/8)

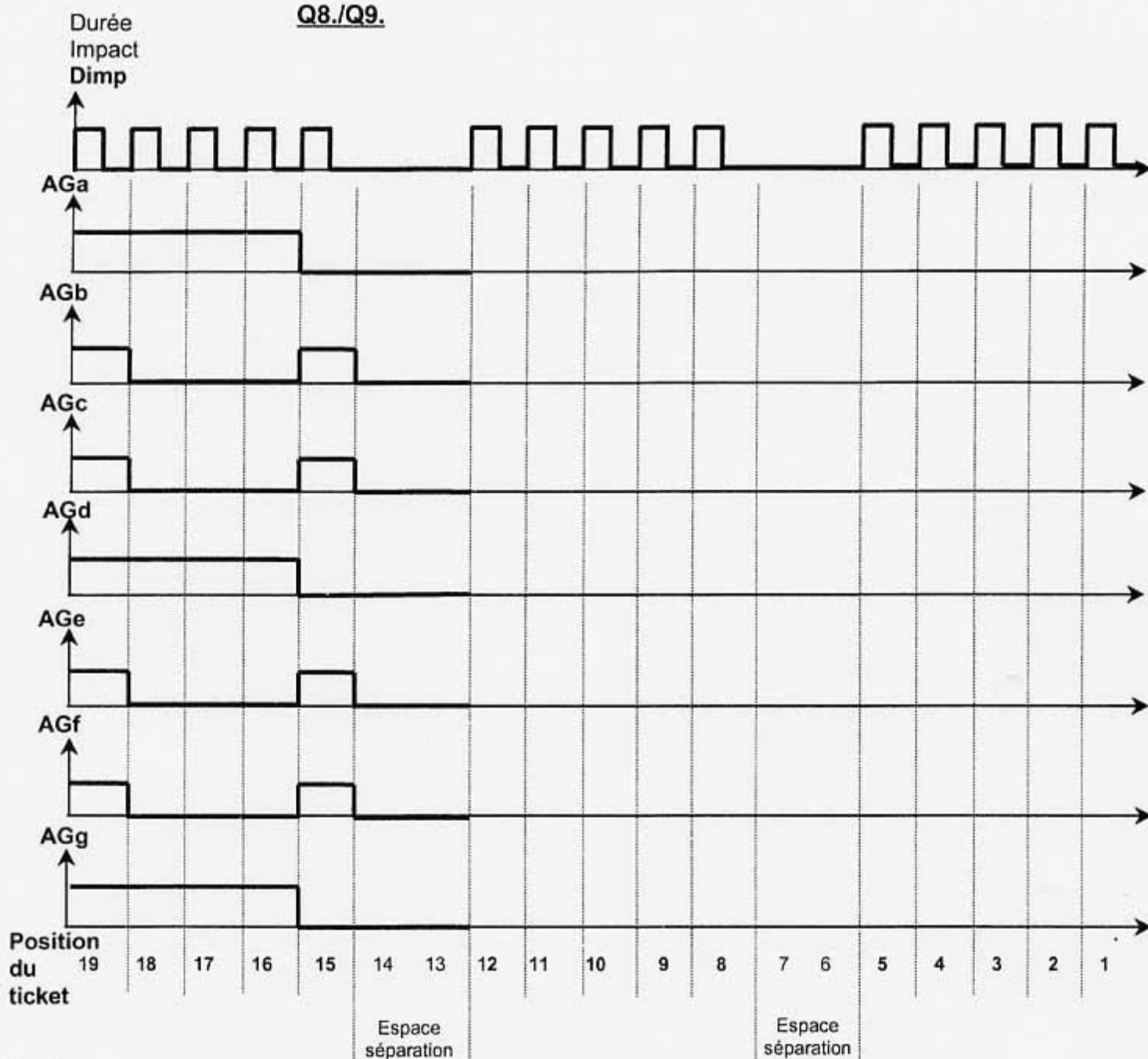
Q47. Etude de la plage d'adressage du circuit mémoire D5.
Remplir le tableau sur feuille réponse CR4 en validant chacune des adresses de début de plage et de fin de plage (adresse basse et adresse haute).

Q48. Suivant le même principe calculer les plages d'adresses de tous les circuits mémoires.

Remplir le tableau sur feuille réponse CR4.

Feuille réponse CR1

Q8./Q9.



Position du ticket

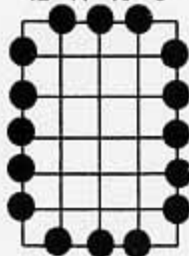
19 18 17 16 15

aiguille A
aiguille B
aiguille C
aiguille D
aiguille E
aiguille F
aiguille G

1^{er} Caractère imprimé

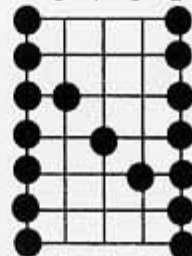
IEELME - ESEL

12 11 10 9 8



2^{eme} Caractère imprimé

5 4 3 2 1



3^{eme} Caractère imprimé

Feuille réponse CR2

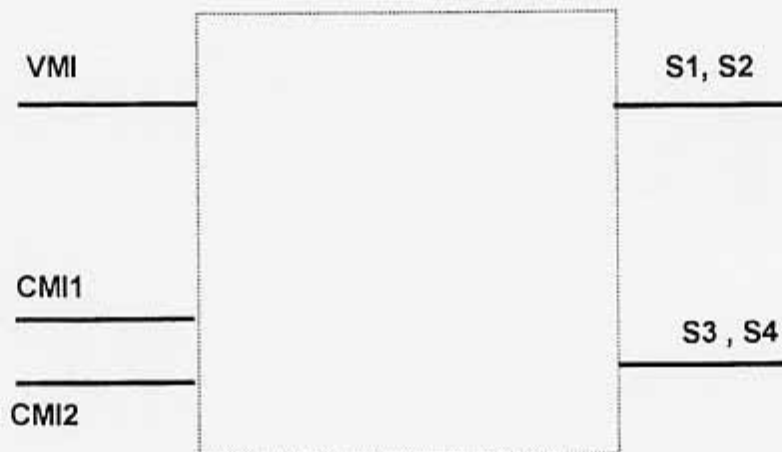
Q13./ Q14./Q16./Q22.

VMI	CMI1	CMI2	S1	S2	S3	S4	T22 Bloqué/ Saturé	T23 Bloqué/ Saturé	T24 Bloqué/ Saturé	T25 Bloqué/ Saturé	U _{AB}	Moteur Arrêt, Avance, Recul.
0	0	0	0	0								
0	0	1	0	0							-Vcc	
0	1	0	1	1								
0	1	1	1	1								Arrêt
1	X	X	0	0							0V	

X= Etat indifférent.

Q15.

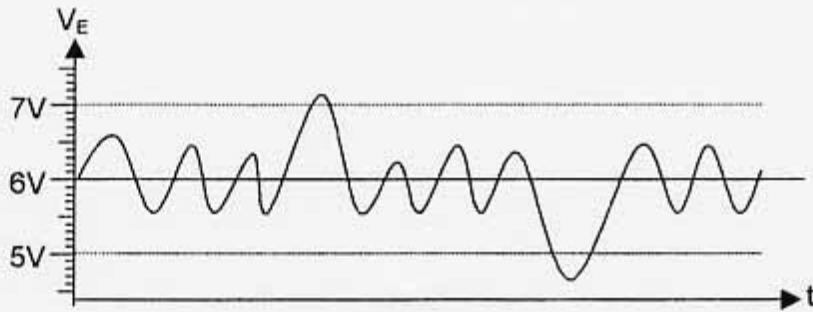
Logique de Commande



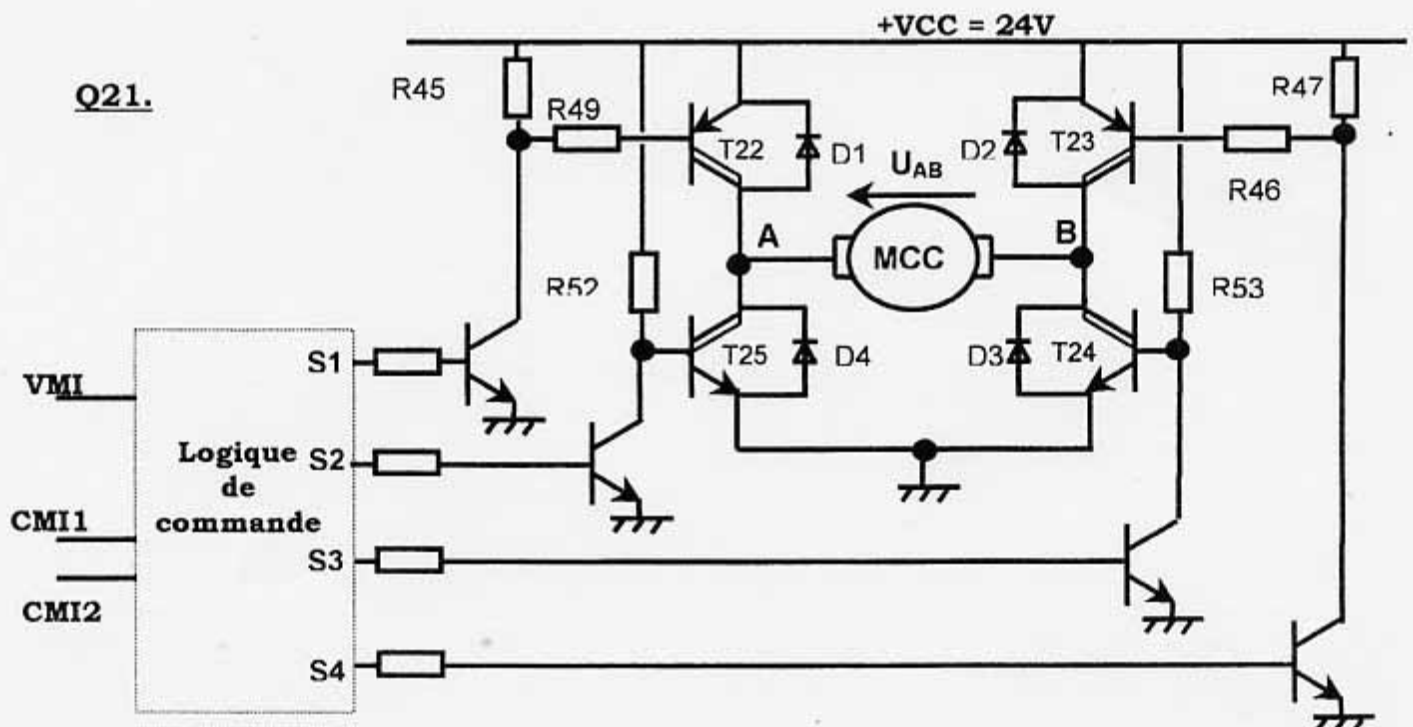
IEELME - ES&L

Feuille réponse CR3

Q34. à Q38.



Q21.



IEELME - ESSEL

Feuille réponse CR4

Q44.

CIRCUITS	D7	C7	D5	C5
Type de mémoire ROM, EPROM, EEPROM, RAM				
Capacité en KO				
Capacité totale des mémoires mortes	Exprimée en KO			
Capacité totale des mémoires vives	Exprimée en KO			

Q47.

Circuit D5	Adr13	Adr12	Adr11	Adr10	Adr9	Adr8	Adr7	Adr6	Adr5	Adr4	Adr3	Adr2	Adr1	Adr0
Adresse de début														
Adresse de fin														

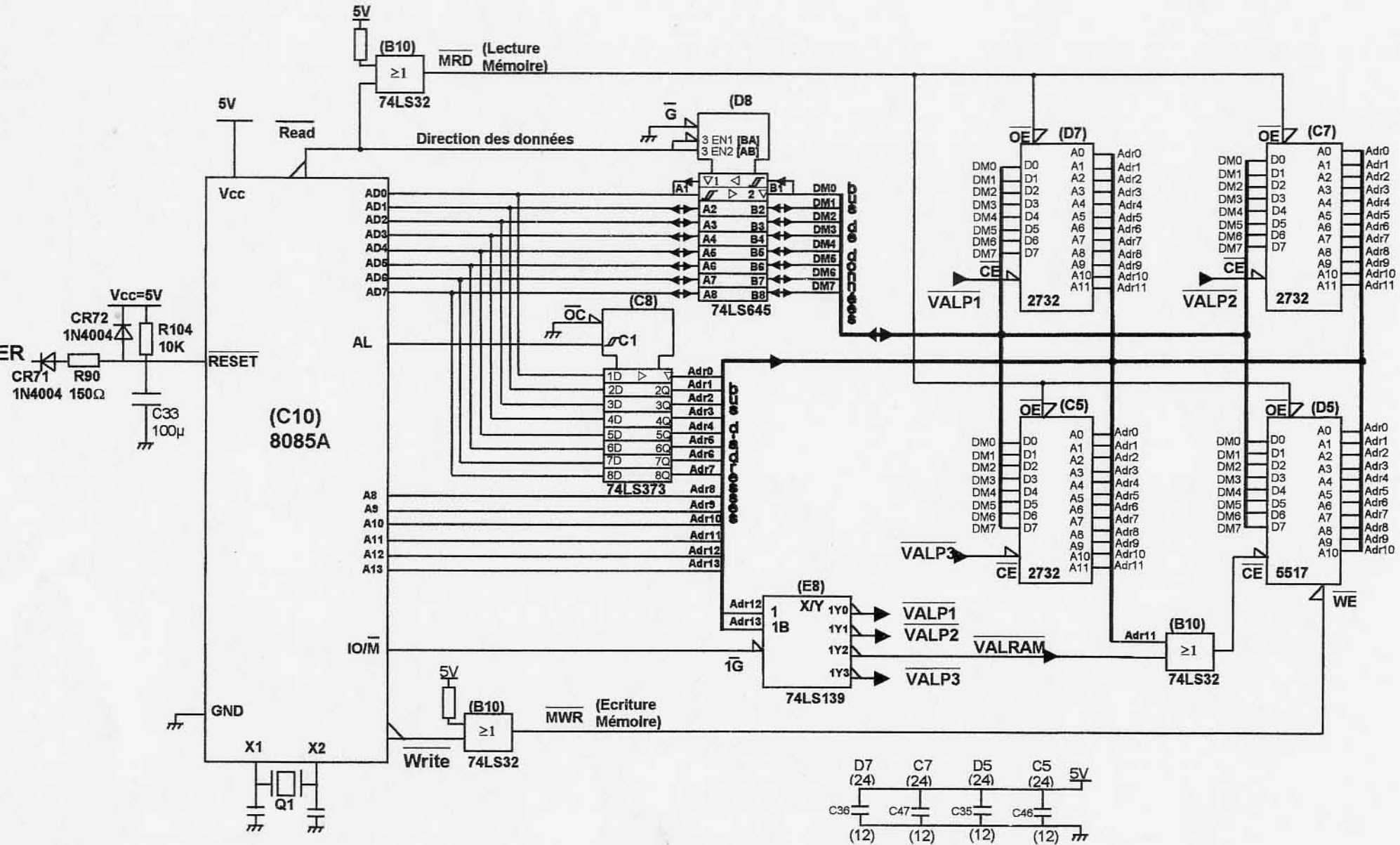
Add début en Hexa =

Add fin en Hexa =

Q48.

Circuit mémoire	Adresse de début en Hexa	Adresse de fin en Hexa
D7		
C7		
C5		

IEELME - ESEL



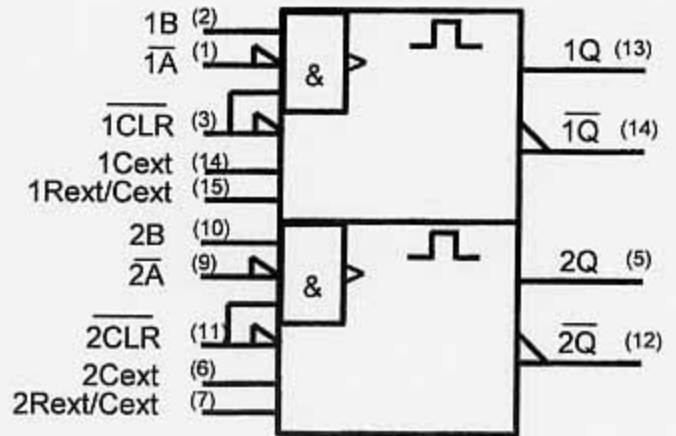
74LS123 : 2 Monostables redéclanchables avec RAZ.

Entrées			Sorties	
CLR	A	B	Q	\overline{Q}
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑		
1	↓	1		
↑	0	1		

CLR= Clear « Mise à zéro »

X= Etat indifférent.

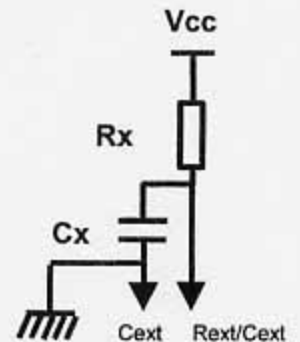
↑ front montant - ↓ front descendant.



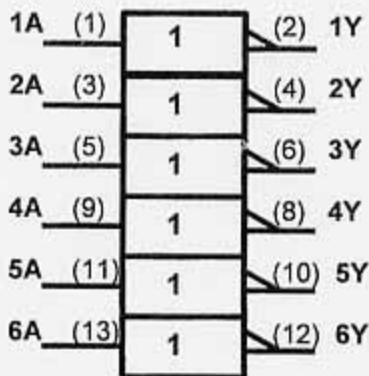
Circuits	Rx-Cx Pas de limites pour Cx	Tw en ns Rx en KΩ - Cx en pF
74123	$5K\Omega < Rx < 50K\Omega$	$Tw = K.Rx.Cx.(1 + 0,7/Rx)$
74HC123 74HCT123	$2K\Omega < Rx < 100K\Omega$	$Tw = 0,45.Rx.Cx$
74LS123	$5K\Omega < Rx < 260K\Omega$	$Tw = K.Rx.Cx$

K=0.25

Tw = durée de l'impulsion.



74 LS04 6 Inverseurs

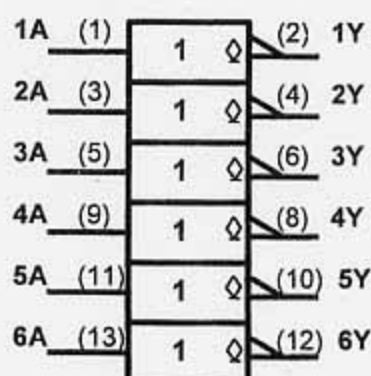


$$Y = \overline{A}$$

A	Y
0	1
1	0

74 LS 05 6 Inverseurs

à Collecteur Ouvert (◊) Amplificateur (▷)

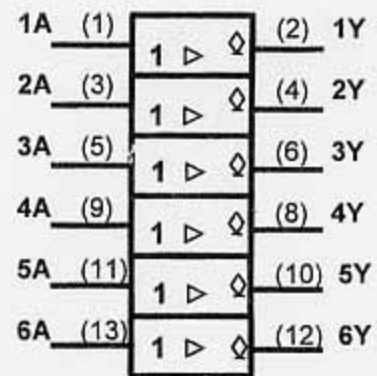


$$Y = \overline{A}$$

A	Y
0	1
1	0

74LS07 6 Non Inverseurs

à Collecteur Ouvert. (◊)



$$Y = A$$

A	Y
0	0
1	1

IEELME - ESEL

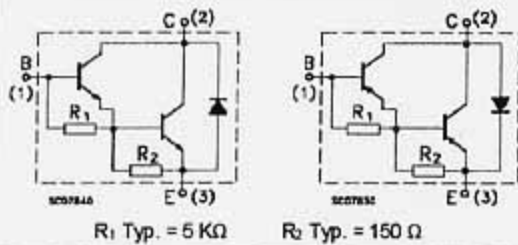
* TRANSISTOR TIP122/TIP127



TIP120/121/122
TIP125/126/127

COMPLEMENTARY SILICON POWER
DARLINGTON TRANSISTORS

INTERNAL SCHEMATIC DIAGRAM



Description :

Le TIP120, TIP121 et TIP122 sont des transistors de Puissance Darlington adapté soit à une utilisation en Amplificateur de Puissance soit à une utilisation en interrupteur.

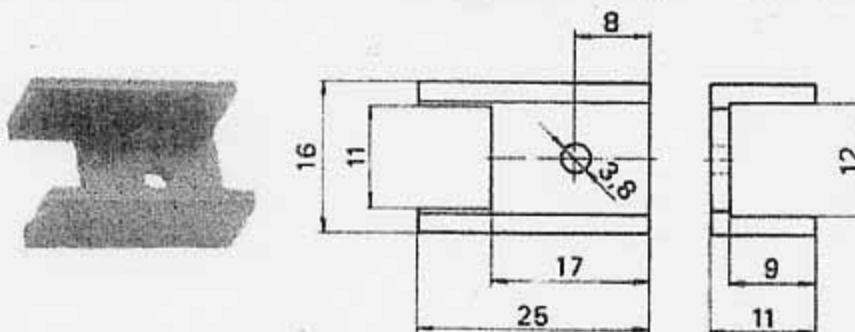
Le modèle complémentaire sont les TIP125, TIP126 et TIP127.

Symbole	Paramètre	Valeur					Unités
		NPN PNP	TIP120 TIP125	TIP121 TIP126	TIP122 TIP127		
VCEOmax	Tension Collecteur-Emetteur (IB = 0)		60	80	100		V
IC max	Courant de Collecteur max			5			A
Pdmax	Puissance dissipable max à Tamb ≤ 25 °C			2			W
Vcesat	Tension saturation Collecteur-Emetteur			2			V
Tjmax	Température de Jonction max			150			°C
Rtjb	Résistance Thermique jonction-boitier			1,92			°C/W

DISSIPATEUR :

WA 400—9P

Matériel : Alu anodisé noir.
Résistance thermique : 28 °C/W

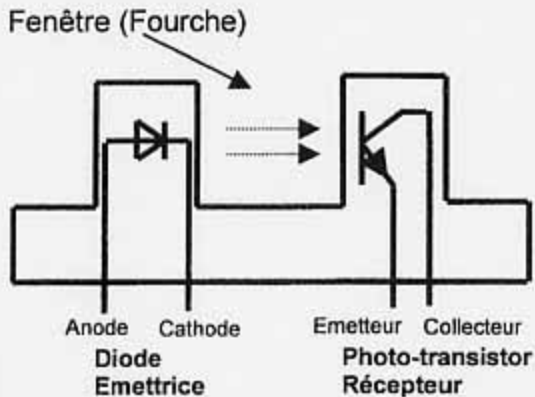


IEELME - ESEL

* CAPTEURS à Fourche , à Réflexion et Optocoupleur :

Capteur à Fourche

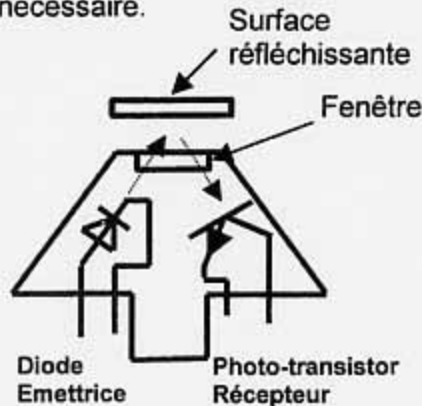
La Diode émet en direction du Phototransistor à travers la fenêtre.



Application : détection du passage d'un obstacle à l'intérieur de la fourche.

Capteur à Réflexion

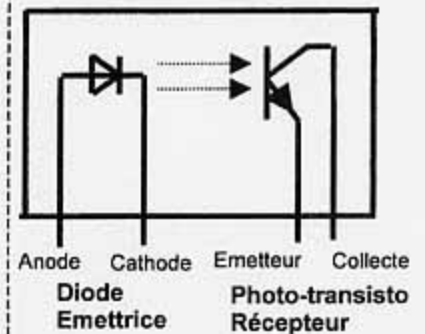
La Diode n'émet pas en direction du Phototransistor. Une surface réfléchissante est nécessaire.



Application : détection de la présence d'un objet réfléchissant (blanc) en face de la fenêtre.

Optocoupleur

Il n'y pas de fenêtre, la Diode émet en direction du Phototransistor.



Application : Transmission de données avec isolation.

* Capteur Optique OPB704 :

SYMBOLE	PARAMETRES	MIN	MAX	UNITES	Conditions de Test
Diode					
V_F	Tension directe		1,7	V	$I_F=40mA$
Transfert					
CTR en %	Taux de Transfert en Courant I_C/I_F	1%			
Transistor					
V_{cesat}	Tension de Saturation Collecteur-Emetteur		0,4	V	$I_C=4mA$

IEELME - ESEL

* **LM339: Quadruple Comparateurs à faible tension d'offset.**

Le LM339 consiste en 4 comparateurs possédant une faible tension d'offset de 2mV au maximum.

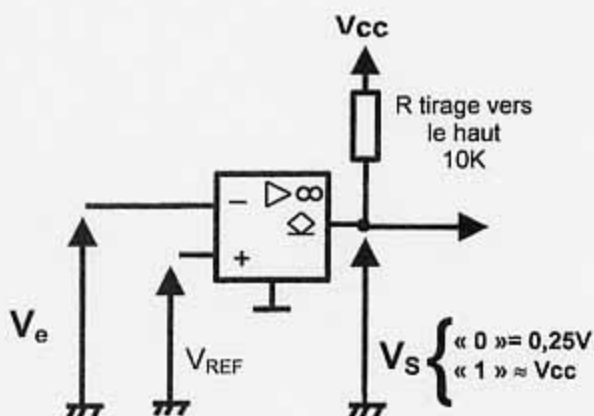
Caractéristiques Electriques :

Tension d'alimentation max : soit 36V ou soit $\pm 18V$.

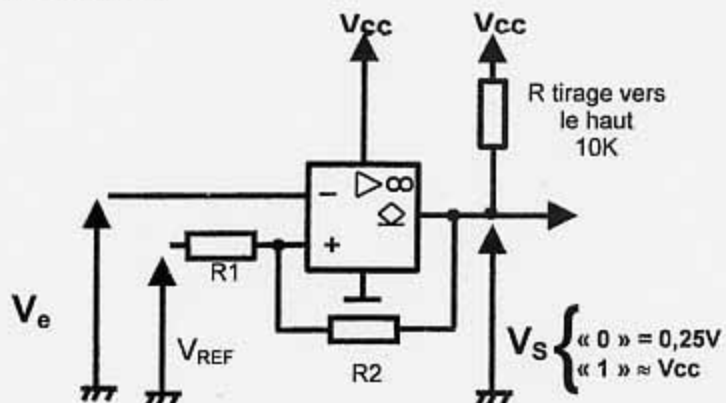
Tension d'offset max = 2mV.

Tension de saturation de la sortie à l'état « 0 » : 250mV à 4mA

Applications :

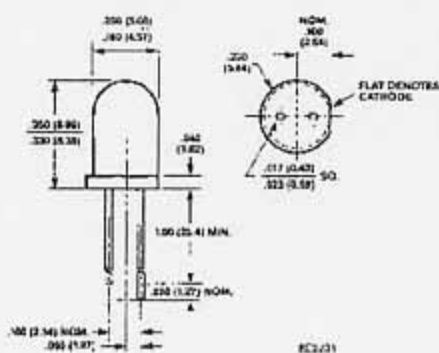


Comparateur à 1 seuil Inverseur



Comparateur à 2 seuils Inverseur
« Trigger de Schmitt »

* **DIODE ELECTRO-LUMINESCENTE : MV5054A1**



Caractéristiques Electriques/Optiques :

Intensité lumineuse min (Test $I_F=20mA$) : $I_V = 1mcd$

Tension de seuil Direct (Test $I_F=10mA$) : $V_F = 2,2V$

Longueur d'onde (Test $I_F=20mA$) : $\lambda_p=660nm$

Caractéristiques électriques maximum :

Courant direct continu max : $I_{Fmax} = 100mA$

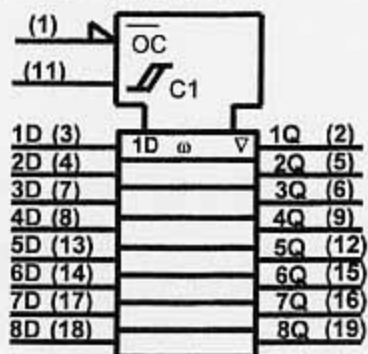
Tension inverse max : $V_{Rmax} = 5V$

IEELME - ESEL

74LS373 : Octuple Verrou, Sortie à 3 Etats.

OC	C1	D	Q
0	1	1	1
0	1	0	0
0	0	X	Q0
1	X	X	Z

X = Etat indifférent
Q0 = Etat précédent
Z = Etat Haute Impédance



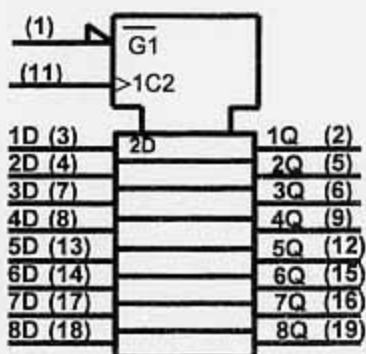
Courants et tensions circuit 74LS373 :

VOHmin= 2,4V
VOLmax= 0,5V
IOLmax= 24mA
IOHmax= - 2,6mA

74LS377 : Octuple Bascule D avec entrée de validation.

G1	1C2	D	Q
1	X	X	Q0
0	↑	1	1
0	↑	0	0
X	0	X	Q0

X = Etat indifférent
Q0 = Etat précédent
↑ front montant



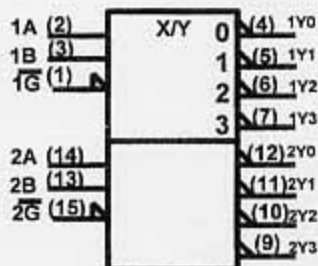
Courants et tensions circuit 74LS377 :

VOHmin= 2,7V
VOLmax= 0,5V
IOLmax= 8mA
IOHmax= - 400μA

74LS139 : Double décodeurs-démultiplexeurs 2 vers 4.

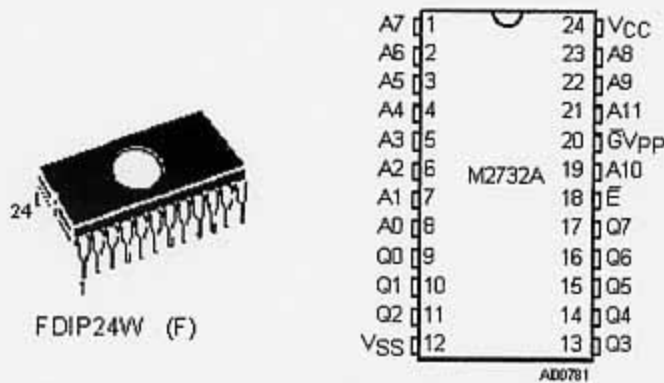
Entrées			Sorties			
Valid G	Select					
	B	A	Y0	Y1	Y2	Y3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

X = Etat indifférent



IEELME - ESEL

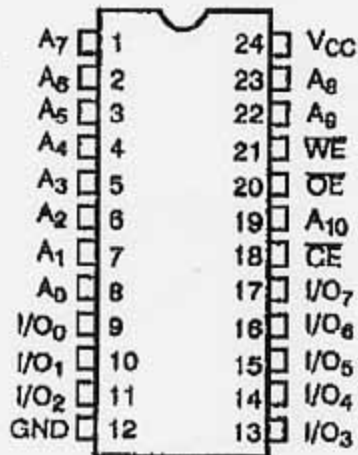
2732 : NMOS 32K (4K x 8) UV PROM. (EPROM)



Description : La M2732A est une mémoire EPROM électriquement programmable et effaçable par UV d'une capacité de 32768 bits. Elle est organisée sous la forme de 4096 mots de 8 bits. La M2732A possède une alimentation unique de 5V et un temps d'accès de 200 ns, elle est idéale pour les applications où la rapidité est importante.

Broche \bar{E} ou \overline{CE} (Chip Enable) (N°18) : Permet la validation du circuit. (Active à l'état Bas)

5517 : HIGH SPEED STATIC CMOS RAM



Description :

La 5517 est une mémoire de type RAM statique en technologie HCMOS. Sa capacité est 2K Octets.

Brochage :

CE (Chip Enable) : Validation du Circuit.

WE (Write Enable) : Validation d'Ecriture.

OE (Output Enable) : Validation des sorties(Lecture)

I/O : Entrée ou Sortie (Ecriture ou Lecture)

A0 à A10 : Entrée d'adresses.

VCC et GND : Entrées d'alimentation.